

포인터 技法을 使用한 通信시스템에 대한 지터解析

(Jitter Analysis for Communication Systems Employing Pointer Scheme)

張 勳*, 李 秉 基*

(Hoon Chang and Byeong Gi Lee)

要 約

본 論文에서는 국제전신전화자문회의의 標準案인 網-노드 接續標準에서 同期化方式으로 채택된 포인터技法의 의미와 그 중요성을 알아보고 既存의 正 位置맞춤 방식과 비교하여 그 長點들을 검토하였다. 또한 포인터技法에 따른 同期화가 多重비트 正/負/零 位置맞춤에 상응한다는 사실을 바탕으로 포인터技法을 사용한 通信시스템에 대한 待機時間지터를 解析하였다.

Abstract

This paper investigates the significance and the implication of the pointer scheme, which was recently adopted by CCITT as a standard synchronization method in the broadband network-node interface environment, and discusses the merits of the pointer scheme in comparison with the conventional positive justification method. It also analyzes the jitter performance of the communication systems employing the pointer scheme based on the fact that the pointer scheme corresponds to a multiple-bit positive/zero/negative justification.

I. 서 론

入力信號들을 多重化하여 더 높은 傳送率의 信號를 만들때 入力信號의 同期는 필수적이다. 既存의 非同期式 多重化시스템에서는 同期를 시킬때 入力信號보다 傳送率이 높은 정확한 클럭으로 入力信號를 뽑아내면서 位相差가 일정 수준이상 도달하면 無用비트(garbage bit)를 삽입하는 비트단위의 正 位置맞춤(positive justification)方式을 주로 使用하였다. 이때 발생하는 待機時間지터(wating time jitter)에 관해서는 여러문헌에 잘 정리되어 있다.^{[1][2]}

최근에는 光通信의 발달에 따라 既存의 通信시스템을 수용하면서 광대역 ISDN을 실현할 수 있는 방안들이 강구되었다. 이에 따라 北美通信標準 기구인 T1 위원회는 1987년 말에 光通信 시스템 接續 標準으로서 SONET(synchronous optical network)을 채택하였다.^[3] 또한 1988년 2월 CCITT(국제전신전화자문위원회)는 SG 18(study group 18)의 서울회의를 통해서, 광대역 ISDN에 관한 標準案을 마련한 바 있다.^{[4][5]} 이 중 網-노드 接續(network-node interface: NNI)標準은 同期式 전달모드(synchronous transfer mode: STM)방식에 기반을 두고 있다.^{[5][6]} 이것은 SONET에 바탕을 둔 同期式傳送 시스템을 규정한 것으로 北美方式과 유럽方式의 모든 디지털계층 信號를 동시에 수용시켜 通信의 유연성을 提高하

*正會員, 서울大學校 電子工學科
(Dept. of Elec. Eng., Seoul Nat'l. Univ.)
接受日字: 1989年 4月 29日

있을뿐만 아니라, 그 밖에도 많은 特徵과 長點을 가지고 있다.^{[7][8]}

본 論文에서는 網-노드 接續標準에서 처음으로 도입된 포인터技法(pointer scheme)을 사용한 正/零/負 位置맞춤(positive/zero/negative justification) 방식의 의미와 그 중요성을 고찰하고, 다른 同期化 방식들과의 比較를 통하여 포인터技法의 長點을 검토하고자 한다. 또한 비트단위 및 다중비트단위 正/零/負 위치맞춤에 따른 대기시간 지터를 해석하고, 그 결과를 網-노드 接續標準내의 포인터技法에 적용해 보고자 한다. II 장에서는 포인터技法에 의거한 同期化에 관하여 논의하고, III 장에서는 포인터技法에 따른 지터解析을 취급하기로 하겠다.

II. 포인터 기법에 의거한 同期化

1. 同期化 多重化 방식

網-노드 접속표준에서의 다중화방식은 同期式 多重化 방식으로서, 컨테이너(container)를 구성하는 최초의 단계를 제외하고는 모두 同期式으로 多重化된다. 입력 디지털信號 DS-n(n=1, 2, 3, 4)은 먼저 그에 알맞는 크기의 컨테이너 C-n에 담겨진다. 이때 DS-n 信號를 C-n에 同期化 시키는 데에는 비트단위의 正/零/負 위치맞춤이 사용된다. C-n에 경로 오버헤드(path overhead: POH)가 추가되면 VC-n 信號가 되고, 또 그위에 포인터가 추가되면 TU-n信號가 된다. TU-n 信號가 몇개 결합하면 차상의 VC 信號가 형성되고, 위와 같은 과정이 반복되어 결국 AU-4 信號를 형성하게 된다. AU-4 信號에 구간 오버헤드(section overhead: SOH)가 추가된 것이 곧 STM-1 信號이다.

網-노드 接續標準이 규정하는바의 同期式 多重化

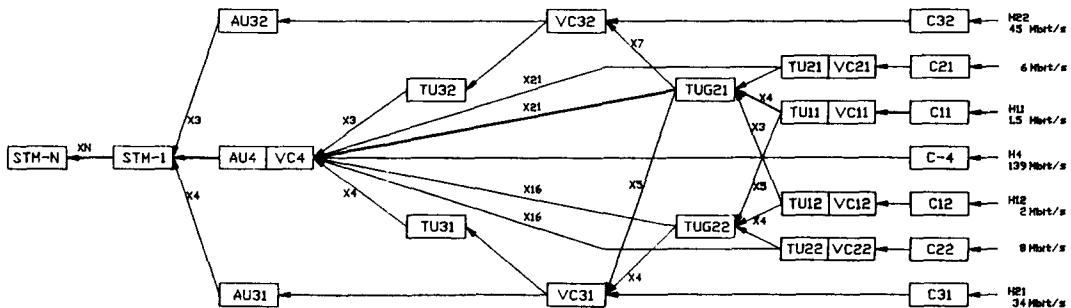


그림 1. 網-노드 接續標準의 同期化 多重化구조
Fig. 1. Synchronous multiplexing structure of the NNI standard.

경로는 그림1에 보인것과 같이 다양하다. 그림1에서 TUG는 특별한 신호나 처리과정이 아닌 잠정적인 그룹의 단계로 이해하고, 또 AU는 STM의 직전단계에 형성되는 TU로 간주하면 되겠다. 또 그림에서 연결선분상에 표시된 숫자는 多重化되는 入力信號의 갯수를 나타낸다. 예를들어 TU-11이 4개 결합하여 TUG-21이 되고 TUG-21이 21개 결합하여 VC-4 신호가 된다. 이때 2중 숫자포기를 하는 것은 신호를 北美式과 유럽식으로 세분하기 위한 것이다.

이와같은 다양한 多重化 경로들 가운데 본 論文에서는 非 同期式 DS-1/C-11/VC-11/TU-11/TUG-21/VC-4/AU-4/STM-1의 경로를 택하여 고찰하기로 한다. 그 이유는 DS-1 信號가 디지털信號의 기본이라 할 수 있고, 이것을 DS-2 信號레이트인 TUG-21을 경유하여 직접 STM-1 레이트로 多重化시키는 것이 효율적이고 실용적인 多重化 방식이기 때문이다. 이 경로에서는 그림2에 보인것과 같이 非 同期式 DS-1 신호가 C-11에 매핑될 때 비트단위의 正/零/負 위치맞춤이 발생하고, VC-11이 TU-11에 매핑될 때 포인터技法에 의한 바이트단위의 위치맞춤이, 또 VC-4가 AU-4에 매핑될 때 포인터技法에 의한 3바이트단위의 위치맞춤이 각각 발생한다.

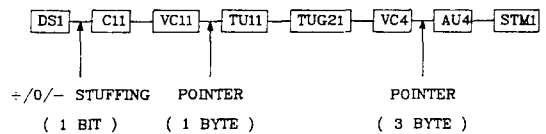


그림 2. 非 同期式 DS-1 信號의 多重化 경로의 예
Fig. 2. An example of multiplexing path for an asynchronous DS-1 signal.

2. 正/零/負 位置맞춤과 포인터技法의 비교

正/零/負 位置맞춤은 正 位置맞춤과 負 位置맞춤을 동시에 수용하는 位置맞춤 방식이다. 비트단위의 正/零/負 位置맞춤의 경우 프레임 포맷(frame format)내에는 正 位置맞춤용 비트, 負 位置맞춤용 예비비트와 이들의 상태를 표시하는 비트들이 미리 할당되어 있다. 만일 人力信號 레이트(rate)가 시스템의 전송 레이트보다 낮아지면 正 位置맞춤용 비트에 無用비트가 채워지고, 그 반대의 경우에는 負 位置맞춤용 비트에 유효한 데이터가 채워지는 것이다. 또 만일 양쪽 레이트가 동일하게 유지된다면, 正 位置맞춤도 負 位置맞춤도 일어나지 않게 된다(零 位置맞춤).

포인터技法에 의한 位置맞춤은 프레임포맷내에 미리 할당된 비트들을 사용하여 VC가 시작되는 位置의 주소를 기록해 두는 方式으로 이루어진다. 이때 VC 信號 레이트가 시스템의 전송 레이트에서 벗어나면, VC의 시작점이 변하게 되고, 따라서 해당주소도 변하게 되는 것이다. 좀 더 구체적으로 살펴보면, 바이트단위의 포인터技法의 경우, 位置맞춤용 오버헤드로서 H1, H2, H3의 세 바이트가 미리 할당되고, 이들중 H1, H2는 VC 시작점의 주소와 이 주소의 변화관계를 표시하는데 사용된다. 만일 VC 信號 레이트가 시스템의 전송레이트보다 낮아지면 H3 뒤에는 有效바이트에 無用바이트를 채운후 VC 시작점 주소를 하나 뒤로 늦춘다. 이와 반대의 경우에는 H3에 유효데이터 바이트를 채운 후 VC 시작점 주소를 하나 앞 당긴다. 또 만일 양쪽 레이트가 동일하게 유지된다면, H1 H2 H3에 아무런 변화도 일어나지 않는다.

위의 두가지 위치맞춤 방식을 비교해 볼때 포인터技法에 의한 位置맞춤은 해당 正/零/負 位置맞춤과 동일한 효과를 내는 것을 알 수 있다. 즉, 바이트단위 포인터기법에 의한 위치맞춤은 바이트단위의 正/零/負 位置맞춤과 같은 효과를 내게 되는 것이다. 이때 두 가지 방법의 차이점은 페이로드(payload)의 시작점에 관한 정보의 노출여부에 있다. 다시 말하면 正/零/負 位置맞춤의 경우에는 수신측에서 페이로드를 추출한 후 다시 프레임 색출과정을 거쳐야만 페이로드의 시작점을 찾아낼 수 있게 되는 반면에, 포인터技法의 경우에 있어서는 수신측이 페이로드를 추출함과 동시에 그 시작점을 알 수 있게 되는 것이다. 그러나 동기화나 지誌解析의 측면에 있어서는 페이로드 시작점에 관한 정보의 유무는 아무런 영향을 주지 않으므로, 포인터기법에 의한 位置맞춤방식을 해당 正/零/負 位置맞춤과 동일한 것으로 간주할

수 있겠다.

3. 포인터技法의 검토

同期化 전송방식에 기반을 둔 網-노드 接續標準에 있어 각 交換局은 중앙의 클럭소스(central clock source)로부터 공급된 시스템클럭을 갖거나, 정확도가 허용한계내 있는 독자적인 클럭소스를 갖고 있다고 간주할 수 있다. 이때 전자의 경우를 同期化(synchronous), 후자의 경우를 類似同期式(plesiochronous)이라고 칭할 수 있다. 교환국에서는 전송신호들이 Add/Drop이나 DCC(dynamic crossconnect) 과정을 거치게 되고, 이를 전후하여 同期化 과정들이 수반된다. 이 동기화 과정에서 포인터기법을 사용하도록 권고한 것이 網-노드 접속표준이다. 이때 포인터技法에 의한 同期化 방법은 앞절에서 확인한 것과 같이, 正/零/負 位置맞춤으로 간주할 수 있다. 그러나 동기화를 위해서는 그 밖에도 Elastic Store를 사용하는 방법과 正 位置맞춤 방식을 사용한 방법들을 사용할 수도 있는바, 이들 방법에 비하여 포인터技法이 갖는 장점을 규명해 볼 필요가 있겠다.

먼저 Elastic Store만으로 同期化시키는 경우에 관해서 STM-1 신호를 예로 살펴보자. STM-1 신호의 표준傳送率은 155.520Mbps이고, 최대 許容傳送率誤差를 15ppm으로 두는 경우 STM-1 신호는 155.117667Mbps 부터 155.522333Mbps 사이에 存在하게 된다. 어떤 순간에 입력 STM-1 레이트가 155.522333Mbps이고 交換국의 시스템클럭이 155.517667Mbps 이라 할때, 만일 이 상태가 1초동안 지속된다고 가정하면, 두 클럭의 差異는 4666비트나 된다. 이때 정보 손실없이 이 差異를 수용하기 위해서는 Elastic Store의 크기가 최소한 4666은 되어야 한다. 이와 반대로 人力信號 레이트가 155.517667Mbps이고 시스템 클럭이 155.522333Mbps인 경우에는 두 클럭간의 오차는 -4666비트이다.

이러한 관계가 그림3에 도시되어 있다. 그러므로 이러한 상황에 대처하기 위해서는 Elastic Store의 크기를 적어도 9332 비트가 되도록 해야한다. 따라서 Elastic Store 만으로 同期化시키기 위해서는 Elastic Store의 크기가 매우 커야하는 것을 알 수 있다. 그러나 이것은 同期式 시스템에서 유효한 예이고, 실제 類似 同期式시스템에 있어서는 Slip이 불가피하므로 Elastic Store에 의한 同期化는 不可能하게 된다.

STM-1신호를 正 位置맞춤으로만 同期化시키는 경우를 살펴보자. 網-노드 接續標準은 기본적으로 바이트單位の 多重化/逆 多重化的 기능을 수행하도록 되어있다. 따라서 비트단위의 正 位置맞춤을 행

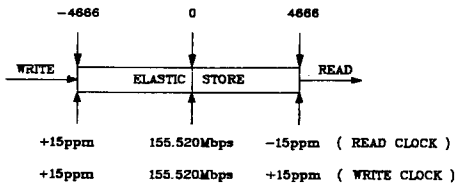


그림 3. Elastic store만을 사용한 同期化
Fig. 3. Synchronization based on elastic store.

하면 傳送信號 내부에 존재하는 신호열이 비트단위의 이동을 하게 되므로 바이트단위의 경계가 무너지게 되고 따라서 바이트 단위의 多重化/逆 多重化 動作이 매우 복잡하게 된다.

이를 해결하기 위해서는 바이트단위의 正 位置맞춤을 행하여야 하겠다. 그러나 바이트단위의 正 位置맞춤을 행하게 되면 비트단위의 正 位置맞춤의 경우보다 진폭이 더 크고 周波數가 더 낮은 지터성분들을 포함하게 되므로 지터과위는 더욱 커지게 된다. 또한 入力信號 레이트가 시스템 클럭 레이트와 똑같은 경우에 있어서도 正 位置맞춤 同期化方式은 待機時間지터를 발생시킬 수 있다는 점도 문제이다.

正/零/負 位置맞춤 방식으로 STM-1신호를 同期化 시킬때는 入力信號의 傳送率과 交換局의 시스템 클럭이 24 비트만큼씩 差異가 날 때마다 H3 세 바이트와 바로 그 다음에 위치하는 세 바이트를 이용하여 동기화를 시킨다. 入力信號의 傳送率이 시스템클럭 보다 낮은 경우에는 위상치가 세 바이트이상 차이가 나면 H3 다음의 세 바이트에 無用바이트를 채워서 同期化시키고(正 位置맞춤) 시스템클럭보다 높은 경우에는 位相差가 3바이트 이상 差異가 나면 H3 세 바이트에도 정보바이트를 채워서 同期化시킨다(負位置맞춤). 또 시스템클럭과 똑같은 境遇에는 아무런 位置맞춤이 발생하지 않는다(零 位置맞춤). 따라서 正 位置맞춤시 3바이트, 負 位置맞춤시 3바이트의 메모리가 필요하게 되어 이론상 Elastic Store의 크기는 6바이트정도이면 된다. 또한 모든처리가 바이트단위로 수행되므로 바이트의 경계가 항상 유지된다.

그러므로 Elastic Store 만에 의한 同期化방식에 비해서 正/零/負 位置맞춤의 경우에는 필요한 Elastic Store의 크기가 훨씬 작다. 더우기 正/零/負 位置맞춤 方式은 同期式 및 類似 同期式시스템 모두에 대해서 同期化가 可能하다. 正 位置맞춤方式에 비할 때 正/零/負 位置맞춤方式은 항상 125μsec 단위의 포맷을 유지할 수가 있어서 바이트 단위의 多重化/

逆 多重化를 수행할 수 있는 장점이 있다. 또 入力信號 레이트가 시스템클럭 레이트와 같을 경우에는 待機時間지터를 전혀 발생시키지 않는 장점도 있다. 그 밖에도 포인터기법을 사용할 경우에는, 페이로드의 시작점이 노출되어 있기 때문에 STM-1 신호가 여러 交換局을 거치면서 Add/Drop 이나 DCC가 자주 반복되는 상황에 효율적으로 대처할 수 있는 장점이 있다.

III. 포인터技法에 따른 지터解析

1. 비트單位の 正/零/負 位置맞춤

비트단위의 正/零/負 位置맞춤시의 待機時間지터를 解析하기위해서, 비트단위 正 位置맞춤시와 비트단위 負 位置맞춤시에 대한 待機時間 지터解析을 먼저 검토해 보기로 하자. 명목상의 入力信號 레이트와 出力信號 레이트가 각각 f_i, f_o 이고 프레임레이트가 f_m 인 同期化器(synchronizer)에 있어서, 매 프레임당 비트단위 位置맞춤機會(stuffing opportunity)가 한번씩 부여되어 있다면, 명목상 位置맞춤率 p_0 는

$$p_0 = (f_o - f_i) / f_m \tag{1}$$

이 된다. 正 位置맞춤시에는 $f_o > f_i$ 이므로 p 는 양수가 되고 負 位置맞춤 시에는 이와 반대로 음수가 된다. 실제 入力信號는 CCITT 권고안 G.703에 의거하여 最大傳送率誤差를 $\pm \Delta f_i$ 허용하고 있으므로, 실제 位置맞춤率 p 는

$$p = p_0 \pm \Delta p \tag{2}$$

범위내에 存在한다고 간주할 수 있다. 단,

$$\Delta p = \Delta f_i / f_m \tag{3}$$

이다.

일단 位置맞춤率이 결정되면, 이에 따른 待機時間 지터는 Duttwiler의 解式方法에 의해서 바로 구해 낼 수 있다.^[1] 즉 待機時間지터의 파워스펙트럼밀도 $S_1(f)$ 는

$$S_1(f) = \text{sinc}^2(\pi f) Q(f) + \sum_{n=1}^{\infty} [p/2\pi n]^2 (\delta(f-p) + \delta(f+p)) \tag{4}$$

이고, 逆 多重化器의 PLL을 통과한 후의 지터과위 P_1 은

$$P_1 = \int S_1(f) |H(f)|^2 df \tag{5}$$

이다. 이때

$$Q(f) = \sum_{n=1}^{\infty} [1/2\pi n]^2 (\text{rep } \delta(f-np) + \text{rep } \delta(f+np)), \quad (6)$$

$$\text{rep } X(f) = \sum_{k=-\infty}^{\infty} X(f-k) \quad (7)$$

이고, H(f)는 PLL에 의해서 결정되는 전달함수이다. H(f)를 参考文献[1]에서와 같이

$$H(f) = (0.12/(jf+0.12))^2 \quad (8)$$

로 두는 경우, 位置맞춤율을 0과1사이에서 변화시키면서 식(5)의 待機時間지터파워를 계산하면, 그림4와 같은 곡선을 얻게 된다.

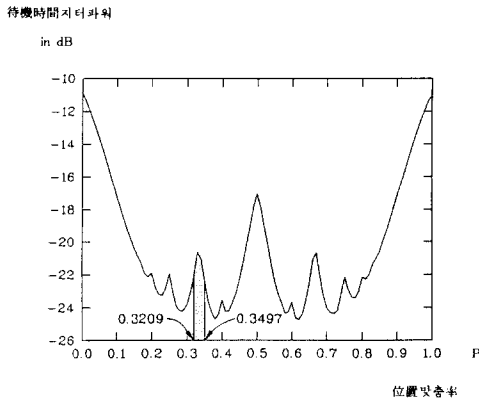


그림 4. 位置맞춤율에 따른 待機時間지터파워 (p=0~1)

Fig. 4. Waiting time jitter power versus stuffing ratio.

식(4)와(5)를 살펴보면 지터파워 P₁은 位置맞춤율 p의 우함수로 나타난다. 따라서 位置맞춤율의 절대값이 같으면 正 位置맞춤시나 負 位置맞춤시에 동일한 크기의 待機時間지터파워를 발생시키는 것을 알 수 있다. 그러므로 負 位置맞춤시의 待機時間 지터파워는, 위와 동일한 전달함수 H(f)를 사용하는 境遇, 그림4와 대칭인 곡선으로 나타난다. 이 관계를 바탕으로 位置맞춤율이 -0.5~+0.5 사이에 있을때의 待機時間지터파워를 도시하면 그림5의 곡선을 얻게 된다. 곡선에서 좌반부가 負 位置맞춤시에 해당한다.

正 位置맞춤을 사용하여 DS-1 信號를 DS-2 信號로 多重化시키는 非 同期式 M12의 境遇를 예로들어 살펴보자. CCITT 권고안에 의하면 DS-1 信號는 1.544Mbps±50ppm 범위내에 존재해야하므로, f₁ = 1.544Mbps, Δf₁ = 77.2bps 이다. 또 권고안의 DS-2

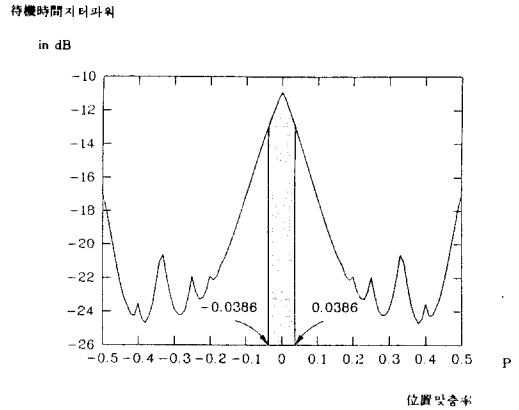


그림 5. 位置맞춤율에 따른 待機時間지터파워 (p= -0.5~0.5)

Fig. 5. Waiting time jitter power versus stuffing ratio.

프레임 포맷 (frame format)을 분석해 보면 f₀ = 1.5458Mbps 이고 f_m = 5.367kbps 임을 알 수 있다. 따라서 식(1)~(3)에 의해서 p₀ = 0.3353, Δp = 0.0144가 된다. 이것은 그림4의 빗금부분에 해당하며 이때 待機時間지터파워는 -22.417dB ~ -20.624dB의 범위에 있음을 알 수 있다.

비트단위의 正/零/負 位置맞춤의 境遇에는 일반적으로 出力信號레이트를 명목상의 入力信號 레이트와 같도록 설정한다. 즉 f₀ = f₁인 것이다. 또 매 프레임당 正 位置맞춤機會 및 負 位置맞춤機會가 각각 한번 한 비트씩 부여되어 있다. 따라서 프레임레이트가 f_m인 境遇 正 및 負 位置맞춤 각각에 대해서 식(1)부터 식(4)를 적용시킬 수 있다. 그러므로 비트단위의 正/零/負 位置맞춤시 발생하는 待機時間지터파워는 位置맞춤율 p를 0부터 ±Δp의 범위에서 변화시키면서 식(5)의 P₁을 계산한것과 같게 된다. 이때 P₁은 p에 대한 우함수로서 그림5와 같은 형태를 갖게 되므로, 결국 正/零/負 位置맞춤에 따른 待機時間지터파워는 그림5의 빗금부분에 해당하게 된다.

한편 正/零/負 位置맞춤의 立場에서 보면, 正 위치맞춤이나 負 位置맞춤은 正/零/負 位置맞춤의 특별한 경우라고 말할 수 있다. 이 관계는 그림6에 도시한 프레임 포맷들을 살펴보면 곧 알 수 있다. 오버헤드 공간과 페이로드 공간에 각각 負 位置맞춤용 비트 N과 正 位置맞춤용 비트 P가 할당되어 있다고, 간주할 때, 正/零/負 位置맞춤의 경우에는 이 두 비트를 모두 사용하여 位置맞춤을 꾀하게 된다. 그러나 正 位置맞춤의 경우에는 이중 N 비트에 항상 오버헤

드가 채워지고, 負 位置맞춤시에는 p비트에 항상 페이로드가 채워진다. 즉 正/零/負 位置맞춤의 경우와 마찬가지로 P 및 N 비트가 주어지지만, 실제 位置맞춤집행을 위해서는 正 位置맞춤의 경우에는 P비트만, 또 負 位置맞춤의 경우에는 N 비트만 사용하게 되는 것이다. 이 관계를 그림5와 같은 位置맞춤률대 지터파워곡선에서 조명해 보면, 正/零/負, 正 및 負 位置맞춤의 차이점은 단지 명목상 位置맞춤률 p_0 의 위치에 있다고 할 수 있다. 즉 정위치 맞춤시에는 우반부($p_0 > 0$)에 위치하던 것이, 正/零/負 位置맞춤시에는 원점($p_0 = 0$)에, 또 負 位置맞춤시에는 좌반부($p_0 < 0$)에 위치하게 되는 것이다.

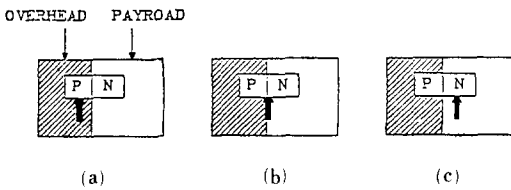


그림 6. 位置맞춤方式의 비교
 (a) 正/零/負 位置맞춤
 (b) 正 位置맞춤
 (c) 負 位置맞춤

Fig. 6. Comparison of justification schemes.
 (a) positive/zero/negative justification.
 (d) positive justification.
 (c) negative justification.

그림4와 그림5의 빗금친 부분을 비교할 때, 正 位置맞춤을 사용하는 M12에 비해서 正/零/負 位置맞춤을 사용한 경우에 지터파워가 훨씬 크게되는 것을 볼 수 있다. 실제로 $p=0$ 인 경우에는 待機時間지터 파워가 最大가 되기때문에 지터파워의 측면에서는 최악의 경우에 해당한다. 그럼에도 불구하고 正/零/負 位置맞춤을 사용하는 이유는 同期式 通信網내부에서 Add/Drop 이나 DCC가 자주 발생하는 상황에서 효율적으로 대처할 수 있고 바이트단위의 투명성(transparency)를 보장해 주며, 따라서 125usec 단위의 프레임 크기를 항상 유지할 수 있는 장점들이 있기 때문이다.

2. 多重비트位置맞춤에 따른 待機時間지터解析

비트단위의 正 位置맞춤방식을 사용하여 同期化시킬때 발생하는 待機時間지터를 그려보면, 그림7(a)에서 볼 수 있듯이 位相差가 한 비트이상 누적된 뒤

에 오는 최초의 位置맞춤機會에서 位置맞춤이 발생한다.

이 관계를 수식으로 표현하면

$$\psi_1(t) = (V-1) + pt - [p[t]] \tag{9}$$

이다. 이 식에서 []는 가우스 함수를 나타내고, t는 프레임주기로 정규화한 시간이고, (V-1)은 초기 위상차를 나타낸다. 또 p는 (1)~(3)에 의해서 결정되며 명목치 p_0 는 0과 1사이에 존재한다. pt는 두信號의 클럭편차에 따라서 시간이 지남에 따라 선형적으로 증가하는 위상차를 나타내고 [p[t]]는 位置맞춤의 집행을 나타내는 항이다. 이 항을 분석해 보면 [t]는 位置맞춤機會에서만 값이 변화하게되므로 p[t]는 p, 2p, 3p...의 값을 갖게 되고, 따라서 [p[t]]는 t가 정수일 때만 점프(jump)가능한 계단파형을 묘사하는 식이 되는 것이다.

한편 이러한 관계를 연장하여 다중비트 즉 m비트 단위의 正 位置맞춤을 통해서 同期化가 될 때 발생하는 待機時間지터를 도시하면 그림(b)와 같게 된다. 즉 위상차가 m 비트이상 커진 뒤에 오는 최초의 位置맞춤機會에서 位置맞춤이 발생하는 톱니파형이 되는 것이다.

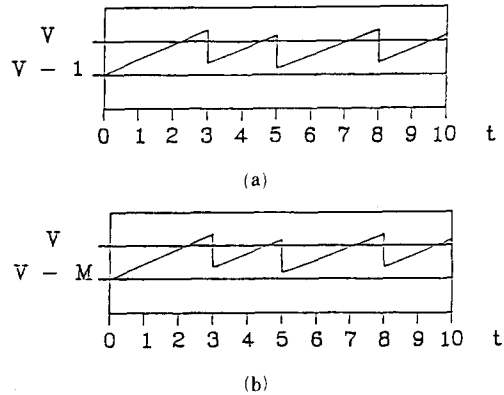


그림 7. 位置맞춤시의 待機時間지터
 (a) 비트단위
 (b) m비트단위

Fig. 7. Waiting time jitter in case of positive justification.
 (a) bit stuffing.
 (b) m bit stuffing.

그림에서 그래프의 기울기 p는 位置맞춤률로서 식 (1)~(3)에 의해서 결정되며, 그 명목치 p_0 는 0부터 위치맞춤에 사용되어진 비트수 m 사이에 존재하게

된다. 이를 수식으로 나타내면

$$\psi_m(t) = (V-m) + pt - m[p\{t\}/m] \tag{10}$$

라 표현할 수 있다. 이 식에서 마지막 항은 t가 정수인 때의 위상차이가 m비트의 정수배가 될때만 위치맞춤을 집행하며, 이때 m 비트만큼의 점프를 하게 됨을 나타낸다. 이때 위치맞춤률 p를 위치맞춤에 사용되는 비트수 m으로 정규화시킨 위치맞춤률을 p'이라 하면, 그 명목치 p₀은 0과 1사이의 값을 갖게 되고, 식(10)은

$$\psi_m(t) = (V-1) + mp't - m[p'\{t\}] \tag{11}$$

로 표기된다. 이 식은 결국 식(9)를 일반화한 것임을 알 수 있다. 즉 식(11)에서 m을 1로 두면 식(9)를 얻게 되는 것이다.

그러므로 다중비트 正 위치맞춤시에 대한 待機時間 지터의 解析은 단일 비트단위 正 위치맞춤시에 대한 解析으로 부터 직접 얻어질 수 있다. 즉, 식(11)을 식(9)와 비교할 때, 시간에 따라 변화하는 위상차를 나타내는 부분에 m을 곱해준 것만이 차이점임을 알 수 있다. 이때 식(9)에 의거한 待機時間지터 解析結果는 식(4) 및 (5)와 같으므로, 결국 다중비트 正 위치맞춤시 待機時間지터의 스펙트럼 밀도 S_m(f) 및 지터파워 P_m은 각각

$$S_m(f) = m^2 \cdot S_1(f) \tag{12}$$

$$P_m = m^2 \cdot P_1 \tag{13}$$

과 같게 된다.

이상에서 살펴본 바와 같이 多重비트 위치맞춤에 따른 待機時間지터의 파워스펙트럼 밀도 및 待機時間지터파워는 단일비트 위치맞춤의 경우와 比較할 때 위치맞춤에 사용되어진 비트수의 자승만큼 커짐을 알 수 있다. 그러므로 m비트단위 正 위치맞춤시의 待機時間지터파워는 단일비트 正 위치맞춤方式에 의거하여 구한 待機時間지터파워에 20 log m(dB) 만큼을 더해주면 된다.

이 관계는 곧바로 다중비트 단위의 正/零/負 위치맞춤에 대한 지터解析에 연장 적용된다. 즉, 단일비트 正/零/負 위치맞춤시의 待機時間지터파워에 20log m(dB)를 합해주면, m비트 단위의 正/零/負 위치맞춤시의 待機時間지터파워가 되는 것이다.

3. 網-노드 接續標準에의 적용

(1) DS-1 信號의 同期化

앞서 그림2에 보인바와 같이, 非 同期式 DS-1 신호가 C-11에 매핑될 때에는 비트단위의 正/零/負 위치

맞춤이 발생한다. 標準에 의하면 C-11 프레임이 500usec의 시간을 점하므로, 프레임 레이트 f_m은 2000/sec이 된다.

入力信號의 명목상 레이트 f₁는 1.544Mbps이고 f₀=f₁이므로, 명목상 위치맞춤률 p₀는 0이다. 또 f₁의 最大許容誤차는 ±50 ppm 이므로, Δf₁=77.2 bps 이고, 식(3)에 의해서 Δp=0.0386이 된다. 이 값을 식(4)~(8)에 적용하면, 그림5의 빗금부분에 해당하는 지터파워를 얻게 된다. 이때 지터파워는 p=0일 때 최대 -10.923 dB이고 p=±0.0386일 때 최소 -13.123 dB임을 알 수 있다.

그러므로 正 위치맞춤에 의거한 同期化시와 비교하면 비트단위 正/零/負 위치맞춤시의 최대지터파워는 9.92 dB만큼 증가하였다.

(2) VC-11 信號의 同期化

VC-11 信號를 同期化시켜서 TU-11 信號를 형성할 때에는, 그림2에 보인 것과 같이 바이트단위의 포인터技法이 적용된다. 따라서 이 때 待機時間지터의 解析을 위해서는 11.2절의 논의에 의거하여, 바이트단위의 正/零/負 위치맞춤에 대한 지터해석을 적용하면 된다. 標準에 의하면 VC-11 信號의 프레임 크기는 125usec 당 26바이트이므로 入力信號의 명목상 레이트 f₁는 1.644 Mbps이고, 프레임 레이트 f_m은 앞의 경우와 마찬가지로 2000/sec이다. 또 VC-11 信號의 最大許容誤차를 DS-1 信號의 경우와 마찬가지로 50ppm으로 가정하면, Δf₁=83.2 bps이고, Δp=0.0416이 된다. 명목 위치맞춤률 p₀는 0이고, 위치맞춤에 사용된 비트수 m은 8이므로, 결국 정규화된 위치맞춤률 p'은 ±Δp/m, 즉 ±0.0051 사이에 존재하게 된다. 이 값들을 식(4)~(8) 및 식(13)에 적용하면 그림8의 빗금부분에 해당하는 지터파워를 얻게 된다. p'=0일때의 최대지터파워는 7.139 dB이다.

(3) VC-4 信號의 同期化

VC-4 信號를 同期化시켜서 AU-4 信號를 형성할 때에는, 그림2에 보인 것과 같이 3바이트단위의 포인터技法이 적용된다. 따라서 m=24로 두고 多重비트 正/零/負 위치맞춤시의 지터解析을 적용하면 되겠다. 標準에 의하면 VC-4 信號의 프레임 크기는 125usec 당 261×9바이트이므로 入力信號의 명목상 레이트 f₁는 150.336 Mbps 이고, 프레임 레이트 f_m은 8000/sec이다. 또 VC-4 信號의 最大許容誤차를 15 ppm으로 두면, Δf₁=2255 bps, Δp=0.28188을 각각 얻는다. 명목 위치맞춤률 p₀는 0이고, m은 24이므로 정규화된 위치맞춤률 p'은 ±0.01176 사이에 존재한다. 이 값들을 적용하여 앞서와 마찬가지로 방법으로 지터파워를 구하면 그림9와 같다. p'=0일때의 최대

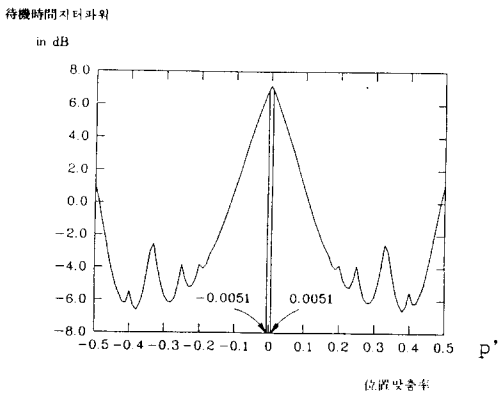


그림 8. 바이트단위 正/零/負 位置맞춤시의 待機時間 지터파워

Fig. 8. Waiting time jitter power for byte-level positive/zero/negative justification.

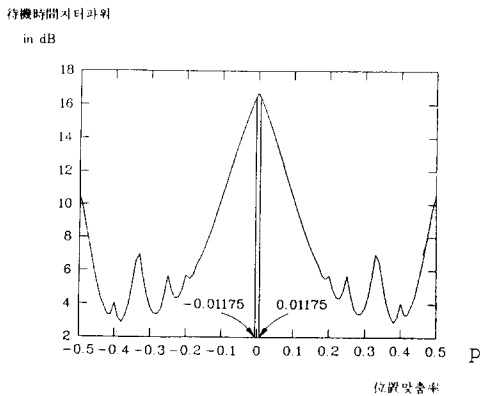


그림 9. 3바이트단위 正/零/負 位置맞춤시의 待機時間지터파워

Fig. 9. Waiting time jitter power for 3 byte-level positive/zero/negative justification.

지터파워는 16.681dB이다.

그림5, 8, 9의 지터파워 곡선들을 p 또는 p' 이 0일 때에 대해서 비교하면, 그림5에 비해서 그림 8의 경우가 18.06($=20 \log 8$)dB 만큼 증가했고, 그림11의 경우가 27.60($=20 \log 24$)dB 만큼 증가한 것을 확인할 수 있다.

IV. 檢討 및 結論

본 논문에서 채택한 多重化경로는 非 同期式 DS-1 信號가 TU-11과 TUG-21을 거쳐서 STM-1이 되는 경로이다. 기존 傳送시스템에서 가장 기본이 되

는 信號는 24명의 가입자 信號를 多重化하여 만든 非 同期式 DS-1 信號이다. 또한 網-노드 接續標準에서 정한 標準傳送信號가 STM-1 信號이므로 본 논문에서는 非 同期式 DS-1 信號가 多重化되어 STM-1 信號가 되는 多重化 경로를 채택하여 컴퓨터 모의실험을 행하였다. 또한 網-노드 接續標準에서 새로이 도입된 포인터技法에 의거한 同期化에 관해서 그 의의를 고찰하고, 그에 수반되는 지터문제를 解析하였다.

포인터技法에 의거한 同期化에서는 同期化 시키고자 하는 프레임의 시작점을 포인터에 의하여 제공해 준다. 이때 클럭의 차이에서 비롯되는 정보량의 寡多는 프레임 내에 설정된 位置맞춤용 공간을 이용해서 正/零/負 位置맞춤의 형태로서 처리를 한다. 따라서 포인터技法은 비트 스템핑에 의거한 正/零/負 位置맞춤에 대응되는 것으로 간주할 수 있음을 알았다. 또한 既存의 正 位置맞춤에 비할 때, 포인터技法은 바이트 투명성을 유지시켜 주고, 소모 Elastic Store의 크기가 작은 등의 장점이 있음을 보았다.

포인터技法에 의거한 同期化시의 지터를 解析하기 위해서 단일비트단위의 正/零/負 位置맞춤시의 지터를 먼저 解析하였다. 이를 기반으로하여 포인터技法에 의거한 다중비트 단위의 位置맞춤에 따른 待機時間지터를 컴퓨터 모의실험을 통해 해석한 결과, 待機時間지터파워가 단일비트 위치맞춤시에 비하여 사용 비트수의 제곱만큼 증가한다는 結論을 얻을 수 있었다.

각각의 동기화기에서 대기시간지터를 해석하는데 있어 多重化되는 入力信號는 입력지터가 없다고 가정하였으며, 網-노드 接續標準에 따라 규칙적으로 반복되는 오버헤드는 待機時間지터에 영향을 미치지 않으므로 오버헤드의 영향을 무시하고 해석을 하였다. 또한 入力信號는 CCITT에서 정한 最大 傳送率 誤差의 범위내에서 변화한다고 가정하여 位置맞춤율을 구하고 이에따른 待機時間지터파워를 컴퓨터 모의실험을 통해 구하였다. 이러한 가정에 따라서 非 同期式 DS-1 信號가 C-11, TU-11, AU-4를 거치는 同期式 多重化 경로에 적용했을때, 각각 -10.923 dB, 7.139dB, 16.681dB의 最大待機時間 지터파워를 얻었다.

參 考 文 獻

- [1] D.L. Duttweiler, "Waiting time jitter," *Bell System Technical Journal*, vol. 51, no. 1, pp. 165-207, Jan. 1972.

- [2] Bell Telephone Laboratories, *Transmission Systems for Communications*, pp. 692-699, 1982.
- [3] T1 Committee, "American National Standard For Telecommunications," SONET Standard, 1987.
- [4] CCITT TD48 (PLEN), "Report of the Seoul Meeting (25 Jan. -5 feb. 1988) of the BBTG (Broadband Task Group)-Part A"
- [5] CCITT Working Party 7, "NNI Standard: Draft Recommendation G. 70 X, Y, Z," Feb. 1988.
- [6] CCITT Blue Book, Recommendations G. 707, G. 708, G709. 1988.
- [7] 李秉基, "광대역 ISDN을 위한 CCITT의 NNI 標準," 韓國 通信學會紙, 제5권 2호, 1988년 6월.
- [8] 李秉基, "광대역 디지털 傳送方式," 大韓 電子工學會紙, 제15권 4호, 1988년 8월.

著 者 紹 介



李 秉 基 (正會員)

1951年 5月 12日生. 1974年 서울대학교 전자공학과 학사학위 취득. 1978年 경북대학교 전자공학과 공학석사학위 취득. 1982年 University of California, Los Angeles 공학박사학위 취득. 1974

년~1979年 해군사관학교 전자공학과 교관. 1982年~1984年 미국 Granger Associates 연구원. 1984年~1986年 미국 AT&T Bell Laboratories 연구원. 1986年~현재 서울대학교 전자공학과 조교수. 주관심분야는 디지털 신호처리, 광대역 통신 및 광통신. 회로이론 등임.



張 勳 (正會員)

1964年 8月 15日生. 1987年 서울대학교 전자공학과 학사학위 취득. 1989年 서울대학교 전자공학과 대학원 공학석사학위 취득. 1990年 현재 University of Texas, Austin 박사과정. 주관심분야는

광대역 통신 및 광통신, 디지털 신호처리임.