

ULSI를 위한 금속박막 CVD 기술

閔 碩 基* 金 龍 泰**

韓國科學技術研究院 半導體材料研究室
室長,* 先任研究員**

I. 서 론

다층 금속배선기술은 ultra large scale integration(ULSI) 및 wafer scale integration을 위한 반도체 소자 제조 공정기술 가운데 대단히 중요한 위치에 있다.^[1-4] 그 이유는 향후 반도체 소자에서 가장 결정적인 요소로 판단되는 chip size 및 switching speed가 금속배선기술에 의해 좌우될 것으로 예측되고 있기 때문이다.^[5-7] 즉, 축소되어져 가는 회로 설계규칙 하에서 scaling factor를 α 로 할때 표 1에서 알 수 있는 바와 같이 단위회로의 특성은 scaling factor만큼 향상되는데 반해서, interconnect line에서는 line 저항 및 contact 저항이 α 및 α^2 로 증가하며, switching speed를 결정하는 RC time constant는 scaling factor에 의해서 변하지 않음으로써 긴 선로를 통한 신호 전달을 고려하면 ULSI 반도체 소자에서는 scaling down에 의한 switching speed 개선은 기대하기 어려움을 알 수 있다. 뿐만 아니라 선로의 전류밀도가 α 배로 증가하게 됨으로써 electromigration failure에 의한 신뢰도에도 심각한 문제발생 소지를 안게 되는 것이다.^[8] ULSI 소자를 위한 interconnect line에서 고려되어야 할 중요한 특성을 구체적으로 살펴 보면, 첫째, 배선길기와 배선재료의 비저항으로써 식 (1)에서와 같이 RC time constant를 결정하는 key factor이다.^[1]

$$RC = \rho \frac{\ell^2 \epsilon}{t_{ox}} \quad (1)$$

여기서 ρ 는 비저항, ℓ 은 배선길기, ϵ 는 절연막의 유전상수, t_{ox} 는 절연막의 두께이다. 둘째로는 식 (1)에서 알 수 있는 바와 같이 금속배선기술은 금속

박막 자체에만 국한된 것이 아니고, 다층 금속배선에서 intermetallic dielectrics 와도 밀접한 관련을 가지게 된다. 셋째, 금속박막은 interconnect 뿐만 아니라 contact layer, diffusion barrier, gate electrode에 사용됨으로써, 금속 및 금속합금이 반도체 기판과 일으키는 상호작용(ohmic contacts to shallow n^+ , p^+ junctions, Schottky barriers, strapping of n^+ and p^+ source/drain(S/D), burried interconnects, via technology etc.)이 고려되어야 하며, 넷

표 1. Circuit performance와 interconnect line에 대한 scaling factor^[3]

소자 혹은 회로변수	Scaling Factor
Device dimension, t_{ox} , L, W, x_j , W, t or d	$1/\alpha$
Doping 농도, N_a	α
전압, V	$1/\alpha$
전류, I	$1/\alpha$
Capacitance, $C = \epsilon W \ell / t$	$1/\alpha$
Delay time/circuit, VC/I	$1/\alpha$
Power dissipation/circuit, VI	$1/\alpha^2$
Power density, $VI/W \ell$	1
Line 저항, $R_e = \rho \ell w / t$	α
Normalized 전압강하, IR_e/V	α
Line response time, $R_e C$	1
Line current density, $I/W \ell$	α
Contact 저항, R_c	α^2

t_{ox} : 절연막 두께
L : channel 길이
W : channel 폭
 x_j : junction 깊이

W : Line width
d, t : Line thickness
 ϵ : 유전상수
 ℓ : length

제, 절연막과 adhesion이 좋아야 하고 mobile ion을 발생시키지 않아야 한다.

소자 제조과정에서 재료의 특성과 함께 당연히 고려되어야 할 사항은 금속박막의 제조 공정이다. 실제로 최근의 연구개발은 새로운 금속 재료의 합성보다는 ULSI 반도체소자의 제조공정에 적합한 공정기술과 그에 따른 장치개발이 더 중요시 되고 있는 경향이다.¹¹⁾ 그 이유는 높은 throughput, 박막의 uniformity, 복잡한 topography를 극복할 수 있는 step coverage, particulate generation의 억제, 낮은 증착 온도와 소자 제조과정에서의 thermal budgets의 감소, gate와 source/drain의 전도성, interconnect 재료의 안정성 등을 공정기술로 성취할 수 있어야 한다는 needs가 절실하기 때문이다. 따라서 이와 같은 needs를 충족시킬 수 있는 기술로서 가장 관심이 집중되고 있는 것이 화학증착법(chemical vapor deposition; CVD)인데, 특히 저압화학증착법(low pressure CVD; LPCVD), 플라즈마 화학증착법(plasma enhanced CVD; PECVD), 레이저 화학증착법(laser assisted CVD) 및 ion beam 증착법에 대한 연구가 활발히 진행되고 있다.

따라서 본 고에서는 MOS 구조의 반도체 소자를 기준으로 gate electrode 및 source/drain에서의 금속-반도체 접합에 사용되는 여러가지 금속박막의 특성과 문제점을 먼저 살펴보고, 화학증착법(CVD)을 중심으로 금속박막 제조공정상의 특성을 고찰해 보았다.

II. 다층금속배선을 위한 금속 박막의 특성

1. Gate 금속

Gate 금속으로 현재 가장 많이 쓰이고 있는 재료는 poly-Si이며, 최근에는 tungsten(W), molybdenum(Mo)등의 refractory metal 및 silicide가 사용되고 있다. Poly-Si은 620°C에서 LPCVD 방법에 의해 SiH₄의 열분해반응으로 (100) 방향의 columnar 구조의 박막을 얻을 수 있다.¹²⁾ 최근에는 580°C에서 비정질구조의 박막을 도포한 후 900~100°C에서 열처리하여 결정화를 시킴으로써 low stress를 가지며 surface flatness가 대단히 우수한 박막을 얻을 수 있으며 절연파괴전압 및 누설전류 특성 또한 우수한 것으로 알려져 있다.¹³⁾ Refractory metal은 metal-organic gas의 환원반응을 이용하여 화학증착방법으로 제조하거나 sputtering등에 의한 physical vapor deposition으로 박막을 얻을 수 있다. Refractory

metal에서 고려되어야 할 사항은 비저항값, 절연막과의 adhesion, 절연막 및 Si와 반응성, 기계적 응력, 신뢰성 등이 적절한 재료를 택하는 요소이다.¹⁴⁾ Silicide 박막은 비교적 복잡한 공정을 필요로 하는 polycide 구조 대신 사용되고 있는데, silicide 박막은 gate oxide와 계면특성의 순수성을 유지해야만 하고 산화 공정에서도 silicide stoichiometry를 균일하게 유지할 수 있어야 한다. 현재 MoSi₂, WSi₂ 및 ReSi₂가 TiSi₂, TaSi₂보다 SiO₂에 대해서 상대적으로 안정되어 있는 것으로 알려져 있다.^{13,4)} Refractory metal nitride는 TiN, TaN, ZrN 등이 diffusion barrier로서 쓰이고 있으며 poly-Si 및 SiO₂의 보호막으로도 사용되고 있다. 그 이유는 산화공정시 Si이 nitride 박막내로 확산되지 않음으로써 silicide에서 발생하는 문제를 제거할 수 있다. Poly-Si, refractory metal, silicide 및 nitride에 대한 장단점을 정리하면 다음과 같다.¹⁵⁾

1) Poly-Si

(1) 장점

- 자기정열(self aligning) electrode
- Poly-Si/SiO₂/Si 구조에서 stable and controllable work function
- Readily controlled resistivity(2×10^{-3} to 1×10^4 ohm-cm)
- Easy deposition by LPCVD
- Selective dry etching processes에서 미세선풍 가공이 가능
- Ohmic contacts to metal
- Compatibility with all silicon wafer processes (high temperature stability, self-passivation by thermal oxidation, processing chemical stability)

(2) 단점

- High resistivity (20-30 ohms/sq for 450-500nm heavily-doped poly-Si line)
- $2\mu\text{m}$ 이하의 설계규칙이 적용되는 VLSI에서는 RC delay time이 증가됨

2) Refractory metal

(1) 장점

- Poly-Si에 비해서 1/100배 낮은 비저항
- CVD-W 박막의 경우 selective deposition, surface conformality가 우수

(2) 단점

- No resistance to an oxidizing atmosphere at high temperatures
- Large internal stress

-Poor masking capability against ion implantation

3) Silicide

(1) 장점

-Poly-Si 보다 1/10배 낮은 비저항

-Refractory metal의 단점들을 개선

-Poly-Si과 같이 사용하여 polycide 구조를 이루어서 고온 열처리 및 산화 공정에서 안정되고 낮은 저항값을 갖는 금속배선 가능

(2) 단점

-MOS에서 poor reproducibility of threshold

· ages

silicide stoichiometry 및 uniformity 제어가 어려움

-Silicide/gate oxide interface에서 상호작용 발생

4) Refractory metal nitride

(1) 장점

-산화공정에 대해 안전하다

-Inert atmosphere ambient 하에서 1000°C 열처리에 도 장시간 안전하다

(2) 단점

-Sputtering에 의한 radiation damage가 크다

2. 금속-실리콘 Contacts

Interconnect 공정에서 발생하는 문제들은 주로 source/drain의 contact window에서 일어나는 것으로 알려져 있다.^[4] 특히 low resistance ohmic contacts, stability of metal/semiconductor interfaces 및 metal layer의 step coverage가 interconnect 공정을 평가하는 주요한 특성들이다. 현재 사용되고 있는 contact 금속은 Al, silicide, refractory metal, refractory nitride 등이며, 각각의 장단점을 살펴보면 다음과 같다.

1) Pure aluminum과 Al alloy/silicon contacts^[3,4,12,13]

$3\mu\text{ohm-cm}$ 내외의 매우 낮은 비저항값을 가지며 쉽게 고순도의 금속박막을 증착할 수 있으나, Al spike 및 Al line내의 Si dissolution, 낮은 electromigration resistance, contact 구조의 thermal stability가 취약하며, shallow junction profile, conformal step coverage가 나쁘다는 것이 단점이다.

2) Silicide^[3,4,14-16]

Pt, Pd, Ni등의 near-nobel metal과 Ti, Mo, W과 같은 refractory metal silicide 들이 사용되고 있는데 refractory metal silicide는 n, p형 실리콘과 Schottky barrier heights가 거의 같으나 nobel metal silicide는 0.66-0.84eV로서 높은 값을 가진다. Silicide는 그림

1과 같은 다층 금속배선에 사용되며, 이와 같은 silicide가 형성되는 동안 shallow junction에서 interdiffusion을 막기 위해서는 silicidation 온도가 낮아야 한다.

3) Metal nitride, carbide 및 boride^[3,4,17]

Contact 구조에서 열적 안정도를 높이기 위해서는 그림 1에서의 TiN과 같은 diffusion barrier가 필요하다. Barrier층에서의 불순물의 diffusivity는 대단히 낮아서 TiN의 경우 Cu의 확산에 필요한 활성화 에너지가 4.4eV(다른 금속박막에서는 1-2eV임)이다. ZrB₂과 Al의 상호작용은 625°C에서 2시간 동안 열처리 후에도 전혀 interdiffusion을 관찰할 수 없는 것으로 알려져 있다. 그러나 contact size가 줄어들수록 contact resistivity가 증가하는 문제점이 있다.

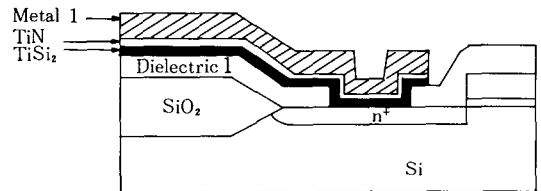


그림 1. Metal 1/TiN/TiSi₂에 의한 contact metallization

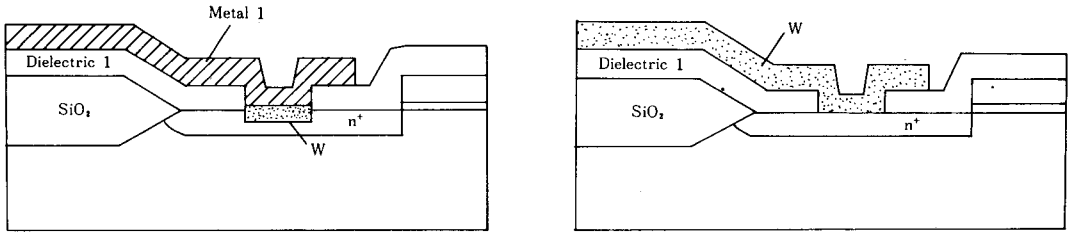
4) Refractory metal^[3,4,16,19]

W, Mo는 실리콘과 work function이 거의 같고, diffusivity가 매우 낮다. 뿐만 아니라, 그림 2(a)와 같은 selective-W이나 그림 2(b)와 같이 non-selective-W deposition이 가능하고, diffusion barrier 및 contact 금속으로 동시에 만족시킬 수 있다는 장점이 있다.

지금까지 살펴본 각종 금속박막에 대해서 고려되어야 할 조건에 따라서 특성을 분류해 보면 표 2와 같다.

III. 화학 증착기술

종래의 금속박막 증착기술은 주로 물리적 증착법(physical vapor deposition)에 의해서 이루어져 왔다. 그러나 최근에 Al을 위시하여 Ti, Mo, W, TiSi₂, WSi₂, TaSi₂ 등의 금속박막 및 각종 절연박막까지 PVD 법에 비하여 몇가지 중요한 장점을 가진 CVD 증착기



(a) Selective-W deposition

(b) Non-selective W deposition

그림 2. W과 같은 refractory metal을 이용한 contact metallization

표 2. Interconnect 재료에 대한 전기 및 물리, 금속적 특성의 비교^[1]

전기적 특성	A/Si/Cu	PtSi, Pd ₂ Si	TiW	n ⁺ & p ⁺ Layers within Bulk Si	Doped Poly-Si	WSi ₂	TiSi ₂ TaSi ₂ MoSi ₂	W	Mo
Criteria									
1. Low Resistivity	G	F	F	P	F	G	G	G	G
2. Low Contact Resistance to n ⁺ and p ⁺ Si	G	G	F		G	G	G	G	
3. High Electromigration Limit at Contacts and in Interconnects	F	F	G	F	F	?	?	G?	?
4. Good MOS Properties (Reliable Interface with SiO ₂ , φ _{m2} , No Mobile Ions)	P				G	G?	G?	G	G?
5. Good Schottky Barrier Properties	F	G	F			G	G	G?	G
물리, 금속적 특성									
Criteria									
1. Reliable Shallow Junction Contacts (No Spiking)	P	G	P		F	G?	G?	P	G
2. Ability to Withstand High Alloying Temps.	P	P	P		G	G?	G?	G	P
3. No Hillock Formation	F		F		F	G	G	G	G
4. Good Barrier Property	P	P	G		P	F	F	F	G?
5. Low Stress	F	F	F		F	F	F	P	F
6. Good Adhesion	G		G		G	F	F	P	P
7. High Integrity Native Oxide	P		P	G	G	G	G	G	P
8. Planarization	F			G	G			G	

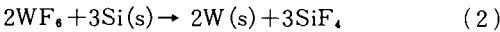
(Note : "G" good, "F" fair, "P" poor)

술이 개발되고 있다.^[16] 즉, (1) 증착층의 surface conformity (2) 박막순도 및 화학양론적 제어 (silicide의 경우) (3) 선택적 증착이 CVD 증착기술로 가능하게 되었다. 표 2에서 살펴본 바와 같이 물리, 재료, 전기, 화학적 조건을 통하여 가장 적절한 금속재료로서 W과 같은 refractory metal을 들 수 있으며 ULSI소자에서 그림 2와 같이 contact, barrier, gate/interconnect, via filling/planarization 등에 그 응용범위가 매우 다양하다. 따라서 본 고에서는 주로 refractory metal 박막의 CVD 기술을 다루도록 한다.

1. 저압화학증착법 (low pressure CVD)

Gaseous species들을 solid 표면에 반응시켜서 반응물이 solid phase가 되도록 하는 공정을 화학증착법이라고 한다. 반응경로에 따라 (1)물질전달 (2)흡착 (3) 표면에서의 이중표면반응 (4) 기상반응물의 탈착 (5) 반응생성물의 표면이탈 등으로 나뉘어서 연구가 진행되고 있다.^[19] 반도체소자 제조공정에서 요구되는 조건은 보다 낮은 증착온도에서 양질의 박막을 성장시킬 수 있어야 하므로 압력을 낮춤으로써 열역학적으로 안정된 반응을 유도할 수 있다. 현재 사용되고 있는 refractory metal용 source gas들은 $TiCl_4$, WF_6 , MoF_6 로서 200-500°C의 매우 낮은 온도에서 환원반응을 통하여 금속박막 및 silicide 박막을 얻고 있다. W 박막의 경우 환원반응의 방법에 따라 다음 3가지 방법이 있다.

1) Si 환원반응^[20,21]



Si 환원반응은 WF_6 가 Si를 침식하여 W이 증착되는 반응으로 주로 초기증착 과정에서 일어나며, 선택적 W 박막을 성장시킬 수 있다. 그러나 W 박막이 임계치에 달하면 Si의 공급이 더 이상 일어나지 않음으로써 제한 두께현상(self limiting thickness)이 나타난다. Si 환원반응은 수소환원 반응시에도 속도론적으로 더 빠르게 진행됨으로 W 박막의 초기증착 과정에서 contact resistance, silicide formation kinetics등과 같은 계면특성을 결정하게 되며, Si 표면의 과도한 침식은 shallow junction을 파괴하거나, encroachment, worm hole등의 원인이 된다.

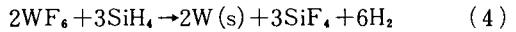
2) 수소 환원반응^[20-22]



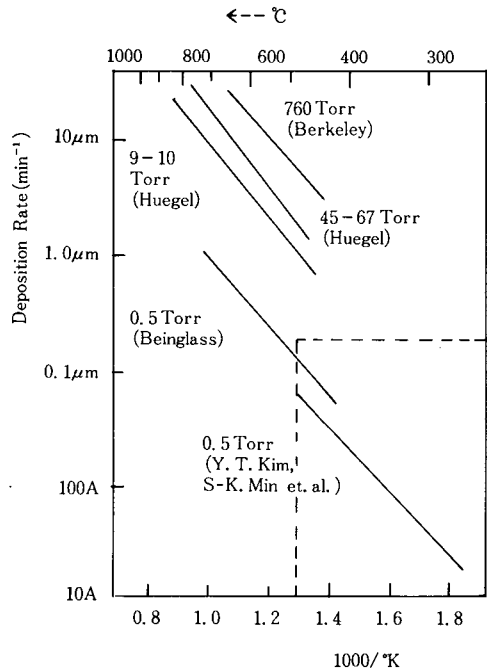
수소 환원반응의 경로는 흡착된 수소의 분해에 의하여 WF_6 와 H의 화학반응으로 생성된 HF가 탈착

됨으로써 완료된다. 따라서 증착반응이 표면반응 지배기구에 의해 진행됨으로 증착속도는 반응기체중의 수소 분압의 1/2승에 비례하는 것으로 알려져 있으며, 증착반응의 활성화에너지가 약 0.7eV인데 이 값은 흡착된 수소의 표면화산 활성화 에너지값과 일치한다. 압력 및 온도에 따라서 그림 3에서와 같이 제한적인 선택적 W 박막을 얻을 수 있으나 Si 환원반응에서 언급한 바와 같이 Si 표면의 침식이 일어남으로써 그림 4와 같은 encroachment 현상등이 발생할 가능성이 매우 높다.

3) SiH_4 환원반응^[23,24]



수소 환원반응에서 발생하는 encroachment, worm-hole 현상을 제거하기 위하여 SiH_4 를 소량 첨가하여 SiH_4 분해반응을 통하여 Si를 공급함으로써 Si 표면 침식을 막을 수 있고, 증착온도를 300°C 정도로 낮출 수 있으며, 증착속도를 높일 수 있다.



(Dashed line: temperature-low pressure regime, low rates, controllable selectivity를 가진다.)

그림 3. WF_6 - H_2 반응계를 이용한 W박막 증착속도의 온도 및 압력의존성^[16,22,36]

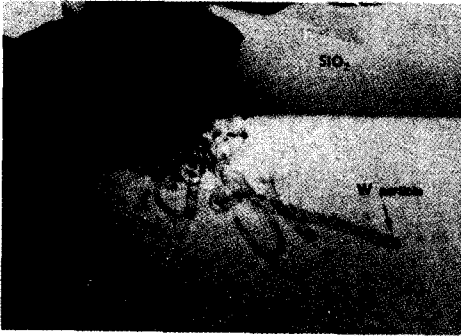


그림 4. W의 tunneling 현상에 대한 TEM 사진⁽¹⁶⁾

4) Al 및 silicide 표면 반응

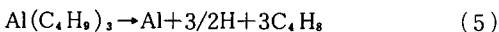
WF₆-Al 반응은 AlF₃가 부산물로 만들어짐으로써 환원반응을 시킬 수 있으나 AlF₃가 저온에서는 탈착이 잘 일어나지 않고 W-Al 표면에 trap되어 있음으로 계면의 contact resistance를 증가시킨다. Silicide 표면에서는 WSi₂ 표면을 NF₃로 etching한 후 500-600°C에서 증착할 경우 8-10μohm-cm의 비저항값을 얻은 것이 보고되어 있다.

5) Silicide 증착^(10,26-29)

WSi₂, MoSi₂는 WF₆, MoF₆와 SiH₄를 반응시켜 silicide를 만들 수 있으며 이때 SiH₄와 WF₆(MoF₆)의 비는 70:1이며 증착된 박막내의 Si:W(Mo)의 비는 2.2-2.7의 값을 가진다. TaSi₂, TiSi₂는 각각 TaCl₅ 및 TiCl₄와 SiH₄를 반응시켜 silicide 박막을 얻는다. 특히 TiSi₂는 silicide 박막들 가운데 가장 비저항값(22μohm-cm)이 낮으며 etching이 잘됨으로 silicide 박막이 가지고 있는 공통적인 단점인 patterning의 문제점이 있다.

6) CVD-Al⁽³⁰⁾

Al이 가지고 있는 여러가지 문제점 가운데 특히 step coverage의 불량으로 인한 device failure가 가장 큰 단점이다. CVD-Al을 이용함으로써 conformal coverage를 얻을 수 있다. 지금 현재 가장 많이 연구되고 있는 source는 aluminum-organic compound로서 Al(C₂H₅)₃이다. 반응경로는 다음과 같다.

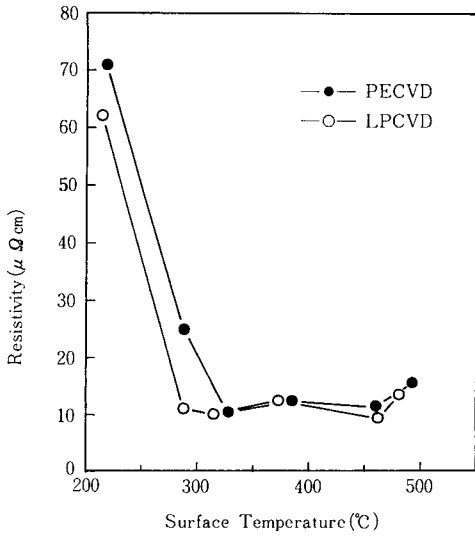


증착반응은 200-300°C에서 Si 표면을 활성화시키기 위하여 TiCl₄를 먼저 흘려서 Ti가 증착되게 함으로써 Al(C₂H₅)₃ 분해반응의 촉매로 사용하는 방법

이 연구되고 있다. Si이 incorporation되도록 하기 위하여 SiH₄+H₂를 같이 첨가하고 있으나 아직 Cu의 첨가는 시도되지 않고 있다.

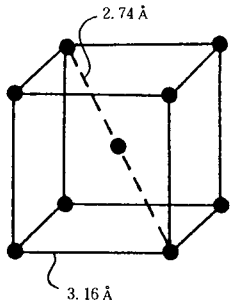
2. 플라즈마 화학증착법(plasma enhanced CVD)

PECVD 방법에 의한 금속박막 증착은 LPCVD에 비하여 거의 연구가 진행되어져 있지 않고 있다. 그 이유는 (1)glow-discharge 상태에서 fragmentation 경로가 매우 복잡하고 그 제어에 쉽지 않으며 (2) 증착된 박막이 porous하며 비저항값이 매우 크고(100μohm-cm) (3)adhesion이 불량하다는 연구 결과들이 발표되어 있기 때문이다.^(19,31,32) 특히 WF₆-H₂ 반응계를 이용할 경우 HF가 다량으로 생성될 가능성이 높으므로 Si 및 SiO₂층의 etching이 일어날 수도 있다.^(33,34) 또한 비저항과 adhesion을 개선하기 위하여 고온 열처리공정이 뒤따라야 함으로 낮은 온도에서 금속박막을 증착시키는 장점이 없어지는 것으로 보고 되어있다.^(31,32) 그러나 LPCVD가 표면반응을 이용하는 데 반하여 PECVD는 기상상태에서 반응물을 만들어 냄으로써 적절히 증착반응을 제어할 경우 LPCVD보다 증착속도가 빠르고 비저항값도 LPCVD와 거의 같은 값을 얻을 수 있다.⁽³⁵⁻³⁷⁾ 그림 5는 KIST 반도체연구실에서 PECVD 및 LPCVD방법으로 증착시킨 W 박막의 비저항 특성을 조사한 결과이다. PECVD의 경우 활성화에너지가 0.34eV로서 LPCVD의 0.72eV보다 약 1/2정도 낮음을 알 수 있고, 비저항값은 300°C 이상에서 증착할 경우 11 μohm-cm의 낮은 비저항을 가진 bcc구조의 알파 텅스텐(그림 6)을 성장시킬 수 있었다. PECVD의 경우에서도 SiH₄를 첨가할 경우 증착온도를 낮출 수 있는데 실험 결과에 의하면 약 280°C에서 10μohm-cm 내외의 비저항값을 가진 W 박막을 얻을 수 있었다. 동일한 온도에서 SiH₄를 첨가하지 않은 경우 비저항값이 28μohm-cm인 것과 비교하면 SiH₄를 첨가함으로써 증착온도를 낮출 수 있음은 물론이며, 비저항값도 더 낮아짐을 알 수 있다. 그러나 4인치 wafer 전면에서 균일한 결과를 얻기가 어렵고, adhesion이 같은 조건에서 성장시킨 LPCVD-W 박막보다 불량하였다. 그러나 PECVD 증착과정을 플라즈마 분광분석법에 의하여 in-situ monitoring 함으로써 증착과정에 대한 해석이 가능할 것으로 생각한다.⁽³⁵⁾ W외에도 Mo, Ta, Ti 등에 대한 PECVD 증착 결과에 대한 보고를 살펴보면, Mo의 경우 MoCl₅와 수소를 사용하여 170-430°C, 1 Torr의 압력하에서 비정질 상태의 Mo박막을 성장

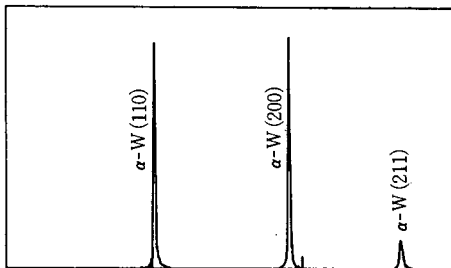


(-●- : PECVD, -○- : LPCVD, WF₆-H₂ system, 0.5Torr 0.7 W/cm²)

그림 5. 기판 표면온도에 따른 텅스텐 박막의 비저항변화^[37]



(a) α-W의 결정구조^[38]



(b) PECVD 텅스텐 박막의 x-ray pattern

그림 6.

시킨 후 열처리를 통하여 비저항값을 1/10정도 낮출 수 있다.^[38] 그러나 지금까지 보고된 Mo 박막의 열처리 전 비저항값이 10,000μohm-cm 이상이므로 실용성에는 많은 문제가 있다. MoSi₂의 경우는 역시 SiH₄를 첨가하여 800μohm-cm의 비저항값을 얻은 결과가 보고되어 있다.^[38] Ta의 경우 TaCl₅와 SiH₂Cl₂을 사용하여 580°C에서 180-60μohm-cm의 비저항값을 얻을 수 있으며, 기판온도를 650°C로 높일 경우 다결정 박막을 얻을 수 있는 것으로 보고되어 있고,^[39] TaSi₂의 경우 역시 LPCVD와 유사한 결과를 얻을 수 있다. Ti의 경우 비교적 낮은 비저항값을 가진 박막을 PECVD 방법으로 얻을 수 있는 것으로 보고 되어 있는데,^[40, 41] 600-650°C에서 14μohm-cm의 large grain을 가진 박막을 얻었다. TiSi₂는 LPCVD 방법으로 보고된 결과가 거의 없는데 반하여 대단히 우수한 silicide 박막을 얻을 수 있는데 그림7은 열처리에 따른 비저항 변화를 WSi_x와 비교한 결과이다. Al의 경우 AlCl₃, Al(CH₃)₃를 수소 혹은 Ar과 혼합하여 증착할 경우 5-10 μohm-cm의 매우 낮은 비저항값을 얻을 수 있었다.^[42]

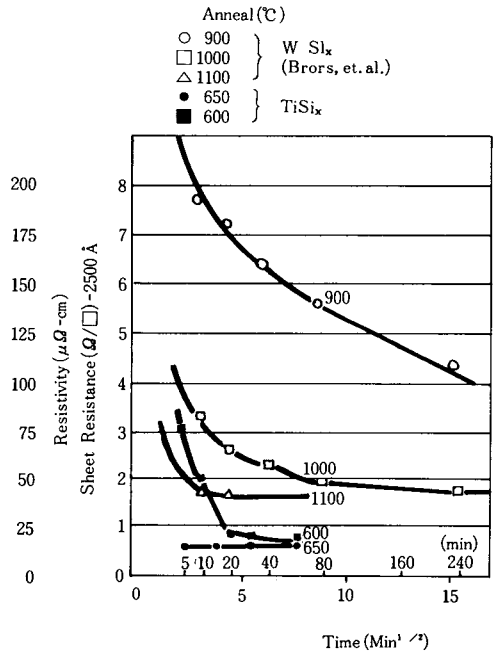


그림 7. WSi_x 및 TiSi_x에 대한 열처리온도 및 시간의 변화에 따른 비저항^[14,40]

3. Laser CVD

Ar ion laser를 이용하여 선택적인 금속박막 증착 기술이 최근 연구되고 있다. 이와 같은 연구의 장점은 선택도를 월등히 높일 수 있으므로 patterning 공정이 전혀 필요하지 않고, 비교적 낮은 온도에서 증착할 수 있으며, 비저항값 역시 LPCVD의 특성과 유사한 결과를 얻을 수 있는 것으로 보고되어 있다.^[43] 그러나 지금까지 언급된 여러가지 source gas 가운데 분해반응에 적절한 에너지(laser의 광장변화에 따른)를 가진 laser irradiation에 따른 실험이 한정되어 있어서 현재 발표된 문헌으로는 WF₆와 SiH₄를 source gas로하여 W 박막 증착을 시도한 결과가 있을 뿐이다.^[44] 그러나 향후 laser CVD 기술은 maskless process로서 대단한 장점을 지니고 있음으로 많은 연구가 기대된다.

4. Ion Beam 증착 기술^[45,46]

Ion beam 증착기술은 그림8과 같이 증착입자를 이온화하여 수 eV에서 수 100eV까지 증착입자의 운동 에너지를 변화시켜서 박막의 증착속도 및 특성을 제

어하기 쉽게할 수 있다는 특징이 있다. 특히 금속박막의 경우 stress release를 쉽게 하고 contact 영역에 native oxide등에 의한 영향을 없앨 수 있도록 증착표면을 pre-cleaning 할 수 있다. 또한 고체상태의 물질을 100-2000개의 거대한 원자집단(cluster)화할 수 있음으로써 박막성장예 전혀 새로운 반응특성이 나타날 수 있다. 그 한 예로 Si 기판상에 epitaxial Al막을 증착시켜서 종래의 Al 박막에서 나타나는 hillock, junction spike 등이 전혀 없고, 결정구조의 변화도 일어나지 않으며, electromigration 시험 결과 sputter 방법에 의한 Al에 비하여 20배 이상의 긴 수명을 가진 것으로 나타나 있다. 또한 Cu-Al cluster를 가속화하여 증착하면 230°C에서 60분간 열처리하여도 intermetallic compound가 형성되지 않음을 보여 주었다. 뿐만 아니라 ion beam 증착기술을 이용하면 Si, GaAs, InSb, CdTe-PbTe 등의 각종 반도체는 물론하고 절연박막까지 새로운 가능성을 가진 박막을 증착할 수 있을 것으로 기대된다.

IV. 맺음말

지금까지 ULSI를 위한 금속박막 기술을 중심으로 현재 혹은 가까운 장래에 사용될 금속 및 금속합금 재료에 대한 특성과 이와 같은 금속박막을 제조할 수 있는 증착기술에 대한 고찰을 해 보았다. 그 결과 W, TiSi₂, Al 및 TiN등이 여타 재료에 비하여 contact, interconnect 및 barrier로서 우수한 재료로 평가되며, 증착방법은 재료의 특성에 따라 각기 다른 장점을 지닌 것을 알 수 있다. 그러나, 금속박막에 대한 연구가 단순히 금속재료에 국한된 것이 아니며, 절연막, 반도체 기판 등과 상호작용을 고려해야 하며, 증착방법에 따라 박막의 특성이 매우 다양하게 변화함으로써 금속 박막기술에 관한 분야는 전기, 화학, 물리, 재료, 기계 등 모든 학문 분야가 종합적으로 관련되어져 있음을 알 수 있다. 따라서 새로운 재료의 개발 및 증착기술에 대한 보다 많은 기초연구가 대학 및 연구소에서 시작되어서 산업계로 파급되도록 해야 할 것이다.

參 考 文 獻

[1] A.N. Saxena, D. Pramanik, "VLSI multilevel metallization," *Solid State Technol.*, vol. 27, p. 93, 1984.

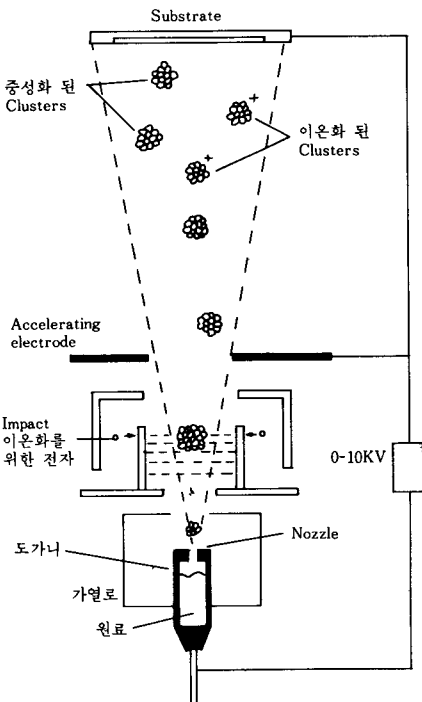

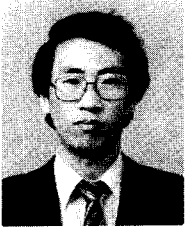


그림 8. Ion cluster beam deposition source에 대한 개념도^[45]

- [2] Y. Akasaka, "Three dimensional IC trends," *Proc. IEEE*, vol. 74, p. 1703, 1986.
- [3] Y. Pauleau, "Interconnect materials for VLSI circuits," *Solid State Technol.*, vol. 30, p. 61, 1987.
- [4] Y. Pauleau, "Miniaturization requirements and materials for gate electrode," *Solid State Technol.*, vol. 30, p. 155, 1987.
- [5] T. Nishida, M. Saito, S. Iijima, T. Kure, E. Sasaki, and K. Yagi, "Multilevel interconnection for half-micron ULSI," *Proc. 6th Int'l IEEE VLSI Multilevel Interconnection*, p. 19, 1989.
- [6] T. Nishimura, Y. Akasaka, "Trends in three-dimensional integration," *Tungsten and Other Refractory Metals for VLSI Application IV*, MRS, p. 3, 1989.
- [7] R.H. Dennard, F.H. Gaensslen, H.N. Yu, V.L. Rideout, and E. Bassaus, "Design of ion implanted MOSFET's with very small physical dimensions," *IEEE J. Solid State Circuits*, vol. SC-9, no. 5, p. 256, 1974.
- [8] K.C. Saraswat, F. Mohammadi, "Effect of scaling of interconnections on the time delay of VLSI Circuits," *IEEE Trans. Electron Devices*, vol. ED-29, p. 645, 1982.
- [9] A.C. Adams, *VLSI Technology*, S.M. Sze, ed., McGraw-Hill, NY, p. 93, 1983.
- [10] K.C. Saraswat, D.L. Brors, J.A. Fair, K.A. Monnig, and R. Beyers, "Properties of low pressure CVD tungsten silicide for MOS VLSI interconnections," *IEEE Trans. Electron Devices*, vol. ED-30, no. 11, p. 1497, 1983.
- [11] G. Harbeke, L. Krausbauer, E.F. Steigmeir, A.E. Widmer, H.F. Kappert, and G. Neugebauer, "Growth and physical properties of LPCVD polycrystalline silicon films," *J. Electrochem. Soc.*, vol. 131, p. 675, 1984.
- [12] D. Pramanik, A.N. Saxena, "VLSI metallization using aluminum and its alloys-part II," *Solid State Technol.*, vol. 26, no. 3, p. 127, 1983.
- [13] C.C. Tang, J.K. Chu, D.W. Hess, "Plasma enhanced deposition of tungsten, molybdenum, and tungsten silicide films," *Solid State Technol.*, vol. 26, no. 3, p. 125, 1983.
- [14] D.L. Brors, J.A. Fair, K.A. Monnig, and K.C. Saraswat, "Properties of low pressure CVD tungsten silicide as related to IC process requirements," *Solid State Technol.*, vol. 26, no. 4, p. 183, 1983.
- [15] M.J.H. Kemper, S.W. Koo, and F. Huizinga, Abstract 377, *Electrochem. Soc. Ext. Abst.*, p. 533, 1984.
- [16] E.K. Broadbent, W.T. Stacy, "Selective tungsten processing by low pressure CVD," *Solid State Technol.*, vol. 28, p. 51, 1985.
- [17] M. Wittmer, "Properties and microelectronic applications of thin films of refractory metal nitrides," *J. Vac. Sci. Technol.*, vol. A3, no. 4, p. 1797, 1985.
- [18] S.P. Murarka, *Silicides for VLSI Applications*, Academic Press, NY., 1983.
- [19] A. Sherman, *Chemical Vapor Deposition for Microelectronics*, Noyes Pub. NJ., 1987.
- [20] J.M. Shaw, J.A. Amick, "Vapor deposited tungsten as a metallization and interconnection material for silicon devices," *RCA Review*, vol. 31, p. 306, 1970.
- [21] W.T. Stacy, E.K. Broadbent, and M.H. Norcott, "Interfacial structure of tungsten layers formed by selective low pressure chemical vapor deposition," *J. Electrochem. Soc.*, vol. 132, no. 2, p. 444, 1985.
- [22] N.E. Miller, I. Beinglass, "Hot wall CVD tungsten for VLSI," *Solid State Technol.*, vol. 23, no. 12, p. 124, 1980.
- [23] S. Sivarani, B. Tracy, and L. Watson, "Thin film interactions in the titanium-silicon system," *Proc. 10th Int'l Conf. on CVD*, *Electrochem. Soc.*, p. 614, 1987.
- [24] *Tungsten and Other Refractory Metals for VLSI Applications IV*, ed. R.S. Blewer, MRS, 1988.
- [25] T. Moriya, S. Shima, Y. Hazuki, M. Chiba, and M. Kashiwagi, "A planar metallization process its application to tri-level aluminum interconnection," *IEEE IEDM Tech. Dig.*, p. 550, 1983.
- [26] S. Inoue, N. Toyokura, T. Nakamura, M. Maeda, and M. Takaji, "Properties of molybdenum silicide film deposited by chemical vapor deposition," *J. Electrochem. Soc.*, vol. 130, p. 1603, 1983.
- [27] W.I. Lehrer, J.M. Pierce, E. Good, and S. Justi, *Semiconductor Structure*, in *VLSI*

- Science and Technology 1982, eds. C.J. Delloca, W.M. Bullis, Electrochem. Soc. NJ, p. 258, 1982.
- [28] C. Wiczorek, "Chemical vapor deposition of tantalum disilicide," *Thin Solid Films*, vol. 126, no. 3/4, p. 227, 1985.
- [29] D. Tedrow, V. Ilderem, and R. Reif, "Low pressure chemical vapor deposition of titanium silicide," *Appl. Phys. Lett.*, vol. 46, p. 189, 1985.
- [30] M.L. Green, R.A. Levy, R.G. Nuzzo, and E. Coleman, "Aluminum films prepared by metalorganic low pressure chemical vapor deposition," *Thin Solid Films*, vol. 114, no. 4, p. 362, 1984.
- [31] C.C. Tang, D.W. Hess, "Plasma enhanced chemical vapor deposition of β tungsten, a metastable phase," *Appl. Phys. Lett.*, vol. 45, p. 633, 1984.
- [32] M. Wong, K.C. Saraswat, "Direct tungsten on silicon dioxide formed by RF plasma enhanced chemical vapor deposition," *IEEE Trans. Electron Devices*, vol. ED-9, p. 582, 1988.
- [33] J.K. Chu, C.C. Tang, D.W. Hess, "Plasma enhanced chemical vapor deposition of tungsten films," *Appl. Phys. Lett.*, vol. 41, p. 75, 1982.
- [34] D.W. Hess, "Plasma enhanced chemical vapor deposition of transition metals and transition metals silicides," in *VLSI Electronics Microstructure Science*, vol. 8, p. 55, 1984.
- [35] 김용태, 민석기, 홍종성, 홍치유, 김충기, "Si H₄/WF₆ 변화에 따른 플라즈마 화학증착 텅스텐의 플라즈마 분광분석(II)," 1990년도 전자계산, 반도체·재료 및 부품, 씨에이디 합동 학술발표회, 대한전자공학회, p. 31, 1990.
- [36] 김용태, 민석기, 홍종성, "플라즈마 화학증착 텅스텐 박막 특성," ULSI를 지향한 반도체 소재공정기술 Workshop, 대한화학공학회, p. 95, 1990.
- [37] Y.T. Kim, S-K. Min, J.S. Hong, C.Y. Hong, and C.K. Kim, "Plasma enhanced chemical vapor deposition of low resistive tungsten thin films," Submitted to *Appl. Phys. Lett.*
- [38] A. Tabuchi, S. Inoue, M. Maeda, M. Takagi, "Plasma enhanced chemical vapor deposition of molybdenum silicide," Proc. 23rd Symp. on Semicond. and IC Technol. of Japan, p. 60, 1982.
- [39] K. Hieber, M. Stolz, C. Wiczorek, "Polycrystalline tantalum silicide," Proc. 9th Int'l Conf. on CVD, eds. MCD Robinson, G.W. Cullen, *Electrochem. Soc.*, vol. 84-6, p. 205, 1984.
- [40] R.S. Rosler, G.M. Engle, "Plasma enhanced CVD of titanium silicide," *J. Vac. Sci. and Technol.*, vol. B2, no. 4, p. 733, 1984.
- [41] A.E. Morgan, W.T. Stacy, J.M. DeBlasi, and T-Y. Chen, "Material characterization of plasma enhanced chemical vapor deposited titanium silicide," *J. Vac. Sci. and Technol.*, vol. B4, no. 3, p. 723, 1986.
- [42] T. Ito, T. Sugii, T. Nakamura, "Aluminum plasma CVD for VLSI circuit interconnections," Dig. of Papers of 1982 Symp. on VLSI Technology, IEEE, NY, 1982.
- [43] *Laser Microfabrication in Thin Film Processes and Lithography*, eds. D.J. Ehrlich, J.Y. Tsao, Academic Press, Boston, MA, 1989.
- [44] J.G. Black, S.P. Doran, M. Rothschild, and D.J. Ehrlich, "Low temperature laser deposition of tungsten by silane and disilane assisted reactions," *Appl. Phys. Lett.*, vol. 56, p. 1072, 1990.
- [45] J.M.E. Harper, "Ion beam techniques in thin film deposition," *Solid State Technol.*, p. 129, 1987.
- [46] T. Takagi, "Low temperature epitaxy by ionized-cluster beam," Proc. 11th Symp. on Ion Sources and Ion-assisted Technol.-ISIAT '87, Res. Group of Ion Eng., Kyoto Univ., Kyoto, 1987. 

筆者紹介



金 龍 泰

1954年 3月 3日生
 1981年 2月 경북대학교
 전자공학과(B. S)
 1982年 2月 경북대학교 대학원
 전자공학과(M. E)

1990年 현재 한국과학기술원 전기및 전자공학과
 박사과정
 1982年 3月~12月 경북대학교 전자공학과 강사
 1983年 1月~현재 한국과학기술연구원 반도체재료
 연구실 선임연구원



閔 碩 基

1938年 12月 14日生
 1964年 2月 고려대학교 물리학과
 1966年 고려대학교 대학원 고체
 물리학(이학 석사)
 1989年 Osaka 대학 전자공학과
 (공학박사)

1968年 고려대학교 물리학과 조교
 1969年~1970年 고려대학교 물리학과 강사
 현재 KIST 반도체재료연구 실장
 주관심분야 : Si, GaAs 단결정 성장기술, MOCVD,
 VPE 에피성장, 반도체 내의 Deep level 연구 등임.
