

## 0.5 $\mu$ m에 대응하는 평탄화 기술의 현황과 과제 (CVD를 중심으로)

李 鍾 吉, 李 鍾 武\*

三星電子(株), 仁荷大學校 金屬工學科\*

### I. 서 론

반도체 maker들의 소자를 보다 더 빠르고 그 기능을 더 다양하게 만들려는 꾸준한 노력에 의해 IC는 scale-down을 거듭한 끝에 마이크로 submicron의 시대로 접어들게 되었다. Design rule이 0.8 $\mu$ m가 되는 4M DRAM 수준에서는 Al/Si contact에서 발생하는 Si의 석출(Si nodule)에 의하여 contact 저항이 높아지는 문제가 심각해진다. 따라서 이 문제를 해결하기 위하여 Al/Si contact에 TiN이나 TiW와 같은 barrier metal층을 삽입하여 원자들의 확산을 억제하는 방법이 널리 적용되고 있다. 4M 수준까지는 scaling 법칙에 따라 소자를 scale-down 하더라도 contact hole의 aspect ratio(hole 직경에 대한 hole 높이의 비)는 그대로 유지될 수 있었다. 그러나 design rule이 0.5 $\mu$ m이 되는 16M 수준에 이르르면, contact hole의 직경은 scaling 법칙에 따라 작아지지만, 막두께는 줄지 않아 aspect ratio가 크게 된다. 막두께를 줄이면 막에 crack이 생기거나 기생 capacitance가 생기는 등 소자의 특성을 저하하는 문제가 발생하기 때문이다. 이렇게 aspect ratio가 큰 contact hole은 Al이나 TiN 또는 TiW과 같이 주로 sputter deposition하는 metal로는 잘 메꾸어 줄 수 없다. 이에 따라 halfmicron 소자의 contact filling을 위한 metallization 테크닉들이 연구되고 있는데 현재 가장 유력한 후보가 CVD 텅스텐이다.

Device의 scale-down에 따라 다른 부작용도 발생하기 때문에 device를 횡방향으로 scale-down하는 방법만으로는 집적도를 높이는 데에 한계가 있다. 따라서 횡방향으로의 scale-down과 더불어 종방향으로도 금속 배선층을 다층화하는 테크닉이 소자의 작동속

도를 높이고 기능을 다양화하기 위하여 아울러 채용되고 있다. 소자의 구조가 이렇게 다층배선화 되면, 소자의 topology가 심화되므로 상부배선층의 step coverage가 나빠져 배선이 끊어지기 쉽다. 따라서 다층배선구조에서는 metal층들 사이에 들어가는 층간 절연막을 평탄화하여 topology를 완하시켜 주는 것이 필수적이며, 층간절연막 재료는 step coverage가 좋고 conformality한 조건을 갖출 것이 더욱 엄격히 요구된다. 또한 다층배선구조에서의 metal층과 metal층간의 절연막은 poly-Si층과 metal 층간의 절연막에 비해 훨씬 더 낮은 온도(450 $^{\circ}$ C 이하)에서 flow 또는 reflow 되어야 한다.

다층배선구조에서의 층간 절연막의 평탄화 방법으로는 etch back, SOG, polyimide법등 매우 많은 기술들이 제안되었고, 그것들의 개발을 위한 지속적인 노력이 이루어지고 있다. 양산성까지 고려할 때 그 중에서도 특히 TEOS 저온 CVD와 SOG를 조합한 방법이 유력하다.

그러므로 여기서는 0.5 $\mu$ m에 대응하는 평탄화 기술로 CVD-W, TEOS CVD법, 평탄화 SOG 법에 관하여 살펴보기로 한다.

### II. CVD-W

CVD-W으로 contact hole을 메꾸는 데에는 selective W법과 blanket W법의 두가지 방법이 있다. W은 Si과의 부착성은 비교적 좋으나 SiO<sub>2</sub>와는 부착성이 매우 나쁘기 때문에 SiO<sub>2</sub>나 PSG 또는 BPSG 막위에는 W 박막을 직접 형성할 수 없다. 이 성질을 이용하여 그림 1(a)와 같이 BPSG 또는 SiO<sub>2</sub> 막에 contact window를 opening하고 이 contact hole

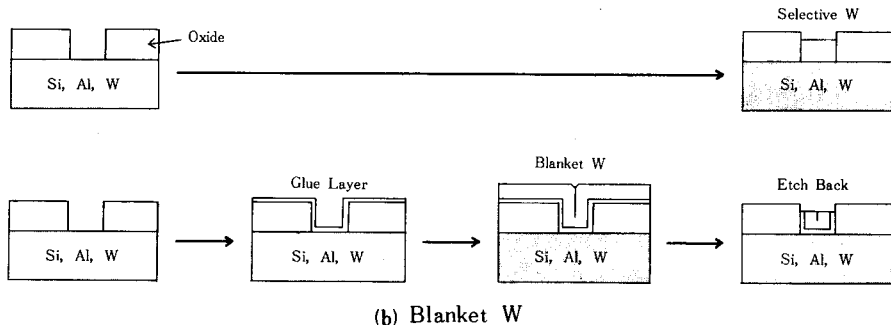


그림 1. CVD-W에 의한 contact filling 공정순서

들에만 W를 선택적으로 deposition하는 것이 selective CVD-W 기술이다. 한편, blanket W 기술은 그림 1 (b)에서와 같이 BPSG나 Si이노출되는 contact hole에 관계없이 wafer 전면에 TiN과 같은 adhesion promoting 막층을 얇게 coating하고 이어서 W막을 deposition한 다음, BPSG상의 W막을 etch back하여 배선을 만들거나 혹은 contact hole이나 via hole을 CVD-W로 메꾸는 방법이다. CVD-W막은 W의 소스 기체인  $\text{WF}_6$ 를 다른 기체에 의하여 환원하는 반응에 의하여 deposition하는데, 이 환원반응은 substrate의 표면 상태에 크게 의존한다. Selective W의 경우 처음에는 환원기체로서 수소가 사용되었으나 이 수소환원 공정에서는 Si substrate를 W이 파고들어가는 “encroachment 현상”이나 “wormhole”과 같은 tunnel이 발생하는 문제가 있다. 이로 인해 전류누설이 증가하고 확산층이 파괴되는 경우가 자주 발생하기 때문에 수소환원에 의한 CVD 법으로는 실제로 양산에 적용할 만한 신뢰성 있는 W 박막을 얻을 수 없었다. 그러나 불과 수년전부터 사용되기 시작한  $\text{SiH}_4$  환원에 의한 selective-W법에서는 수소환원법에서 발생하는 encroachment나 wormhole 문제가 없을 뿐만 아니라 막 deposition rate 또한 수소환원법에 비해 훨씬 더 높아 일부 회사에서는 양산공정에서 via hole (through-rate)을 메꾸는 데에 selective-W법을 채용하기도 한다. 그러나 contact hole의 경우에는  $\text{SiH}_4$  환원에 의한 selective W법 역시 contact 측벽, contact의 끝과 field oxide의 edge가 만나는 부분에서 누설전류가 상존하고, 특히 W막과 substrate Si간의 부착성이 불량하여 W막이 치켜올라오는 lifting 현상이 발생하는 등 양산적용에는 문제가 있다. 그러므로 그동안 selective W법의 개발

에 역점을 두고 있던 많은 IC maker들이, selective W법 보다는 공정이 더 복잡하지만 좀 더 안정된 blanket W법으로 전환하고 있는 실정이다. Maker에 따라서는 W 대신 poly-Si으로 contact hole을 메꾸는 다음 etch back 하는 데도 있다.

### III. TEOS-CVD

종래의 CVD- $\text{SiO}_2$ , PSG 또는 BPSG에서는 Si의 소스 기체로 모두  $\text{SiH}_4$ 를 사용함으로써 gas phase reaction에 의하여 막을 형성하였다. 그러나 device가 scale-down되고 집적도가 증가함에 따라 topology는 더욱 심해지고 junction은 더욱 shallow해지고 있다. 따라서 이렇게 심한 topology에 적응을 할 수 있도록 막의 step coverage와 conformality가 더 우수하고 shallow junction을 파괴하지 않도록 저온에서 deposition될 수 있는 새로운 절연막이 요구된다. 이러한 요구에 부응하여 주로 surface reaction에 의하여 막이 형성되는 TEOS (tetraethylorthosilicate)-CVD가 새로운 CVD법으로 등장하게 되었다. TEOS-CVD에서는  $\text{Si}(\text{OC}_2\text{H}_5)_4$ 의 분자식을 갖는 액상 유기 재료인 tetraethylorthosilicate를  $\text{N}_2$ 나 He bubbling에 의하여 기체상태로 바꾼 다음 반응 시킨다. TEOS 등의 유기 silane을 소스 기체로 사용되는 CVD 막은 substrate 표면에 흡착된 유기분자의 surface migration에 대한 mean free path가 크기 때문에 종래의 CVD막 보다 더 우수한 step coverage를 나타내며, 더 저온에서 deposition될 수 있다.

Al 배선의 하부절연막층의 평탄화에는  $\text{SiH}_4$ - $\text{O}_2$ 를 상압에서 반응시켜 얻은 APCVD-BPSG 막의 reflow 법이 일반적으로 사용되어 왔다. 그러나 이 막

으로는  $0.5\mu\text{m}$  수준의 device에서 요구하는 step coverage를 얻을 수 없다. 현재 새로이 각광 받고 있는 것은  $\text{O}_3$ 와 TEOS를 소스 gas로 사용하는 APCVD로 형성하는 BPSG 막으로 이 막은  $850^\circ\text{C}$ 에서 reflow 시킴으로써 매우 우수한 step coverage를 얻을 수 있다.

한편, metal-metal 층간의 절연막은 저온에서 deposition 되어야 한다. 또한  $0.5\mu\text{m}$  소자의 다층배선 구조에서 요구되는 평탄화 정도는 미세한 형상을 patterning 하는 측면 뿐만 아니라 신뢰성 측면에서도 엄격하기 때문에 종래의 평탄화법을 개선하는 정도로는 곤란하다.

$300\sim 400^\circ\text{C}$ 의 저온 형성 방법으로는 TEOS- $\text{O}_3$  반응에 의한 LPCVD, APCVD 및 PECVD 법이 있다. LPCVD 및 APCVD법은 PECVD 법보다 더 우수한 step coverage를 나타내는 반면, PECVD 법에 의하여 형성된 막은 치밀하고 crack에 강한 장점이 있다. 그러나 단일공정으로는  $0.5\mu\text{m}$  수준의 층간 절연막에 요구되는 평탄화 정도를 만족시키기 어려우므로 다른 deposition 방법이나 etching법을 조합하여 적용할 필요가 있다. 단일 공정에 의한 막은 막두께가 두꺼울 경우 종래와 마찬가지로 step 부위에서 overhang이 형성되고, 이 overhang에 의한 key hole이 여전히 발생하기 때문이다. 따라서 2층 Al층간 절연막에는  $\text{O}_3 + \text{TEOS}$ 의 APCVD-SiO<sub>2</sub>에 plasma TEOS와 액상재료인 SOG를 조합하여 사용한다. 또 plasma etch에 의한 etch-back 법, bias ECR 법이나 bias sputtering법과 같은 etching 법과 조합하여 사용하거나 개발중에 있다.

TEOS- $\text{O}_3$ 계 LPCVD의 경우 막두께에 무관하게 거의 conformal하지만, 여전히 막질에 문제가 있는 듯하다. 특히 막을 두껍게 입힐 때에는 crack이 발

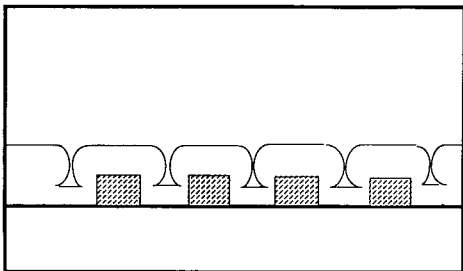


그림 2. TEOS plasma CVD법에 의해 막의 overhang으로 인한 단차부에서 key hole 형성

생하기 때문에 층간절연막의 주요 부분을 이 막으로 구성하기 어려운 점이 있다. 이러한 점을 해결하기 위하여 AMT 등의 CVD 장비 회사에서는 상압에 가까운 압력조건의 TEOS-CVD 장비를 연구하고 있다 한다. 그러나 TEOS- $\text{O}_3$  LPCVD법은 conformality가 좋으므로 sacrificial층을 이용한 etch-back 평탄화법에 의하여 우수한 평탄화를 얻을 수 있는 장점이 있다.

#### IV. SOG

Spin-on glass(SOG)는 polyimide와 더불어 액상으로 사용되는 또다른 한 층간 절연막재료이다. SOG와 polyimide 막은 둘 다 CVD 막보다도 훨씬 더 좁은 공간을 void 없이 메꿀 수 있다. 따라서 평탄화에 잘 이용될 수 있으나 종래에 주로 사용하던 silanol을 bass로 하는 무기형 SOG는 crack이 생기기 쉽고 脫 gas에 의하여 pinhole이 생기기 쉬워 두꺼운 막을 형성하기 어려운 문제점이 있다. Silanol의 OH 기의 일부를 유기기로 치환한 유기형 SOG는  $450^\circ\text{C}$ 에서 열처리해도 안정하고 crack에 대한 내성도 더 좋다. 그러나 SOG 막은 polyimide와 같이 열처리 특성이나 흡습성 측면에서 CVD 막에 비해 본질적으로 떨어지므로 다른 방법과의 조합에 의하여 두께를 최소한으로 제어하는 것이 중요하다. 그러므로 SOG는 단일막으로의 사용은 곤란하고 전술한 바와 같이 다른 CVD 막과 조합하여 사용하게 된다. 그림 3의 (a)와 (b)는 SOG를 CVD 막 및 etchback 공정과 조합하여 층간 절연막을 형성하는 예들을 보인 것이다.

이상으로 간단히 CVD-W에 의한 contact hole 및 via hole의 메움과 층간 dielectric에 의한 평탄화에 대하여 기술하였다.

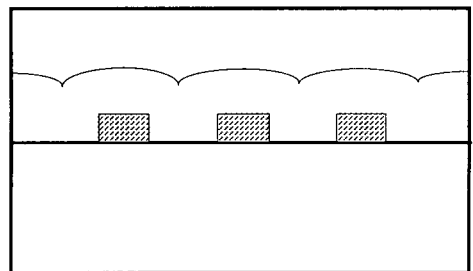


그림 3. TEOS- $\text{O}_3$ 계 상압 CVD에서의 conformality

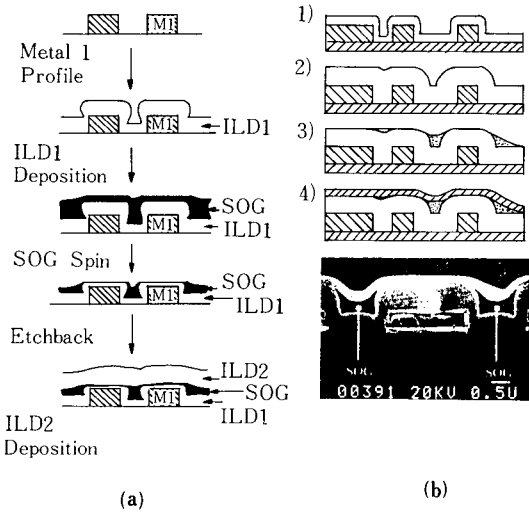


그림 4. (a) Etchback SOG 공정단계  
(b) Plasma TEOS를 먼저 deposition 되는 CVD 막의 일부로 사용하는 etchback SOG 공정

W의 메몰에서는 blanket W이 부착성이나 step coverage, contact 저항등의 문제를 해결해 나가고 있으나 아직도 wafer의 전처리, W의 back side deposition 등의 문제가 과제로 남아있다.

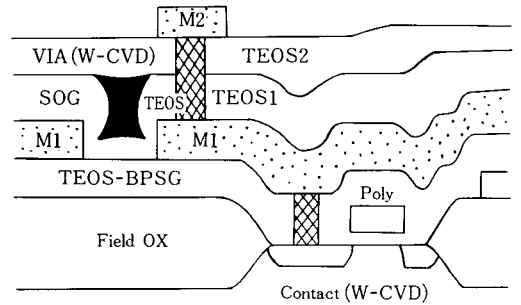


그림 5. Double metal과 평탄화된 구조

한편 층간 절연막으로서의 TEOS 유기재료의 사용은 여러 막의 조합에 따른 stress(tensile과 compressive)의 최소화 및 우수한 step coverage를 얻기 위한 공정 parameter의 최적화, 특히 量産化를 위한 deposition 속도 극대화등의 해결되어야 할 문제가 있다.

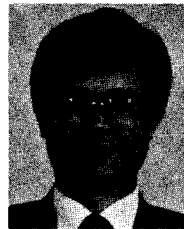
앞으로 올 16M나 64M 시대에 있어서 이들 CVD W이나 TEOS 절연막을 어떻게 잘 활용해서 평탄화를 얻을 수 있느냐가 성공의 관건이 된다고 하겠다. ㉔

筆者紹介



李鍾吉  
1941年 6月 2日生  
1964年 서울대 문리대 물리학과 졸업  
1976年 미국 노틀담대학 전자공학 (박사)

1983年 5月 삼성반도체통신(주)  
1985年 삼성반도체통신(주) 제품담당이사  
1990年 3月~현재 삼성전자(주) 기흥연구소 기반 기술담당 이사



李鍾武  
1950年 9月 20日生  
1974年 2月 서울대학교 금속공학과 (학사)  
1976年 2月 한국과학기술원 재료공학과 (석사)  
1983年 12月 Stanford 대학교 재료공학과 (박사)

1976年~1980年 영남대학교 금속공학과 전임강사, 조교수  
1984年 삼성반도체통신주식회사 연구원  
1984年~현재 인하대학교 금속공학과 부교수, 정교수