

차세대 기억소자의 캐패시터 형성 기술

李 璟 秀, 李 炳 憲*

韓國電子通信研究所 記憶素子工程研究室
先任研究員, 半導體研究團 調査役*

I. 서 론

세계 반도체 제조 업체들은 16 Mbit나 64 Mbit DRAM의 개발을 위해 치열한 경쟁을 벌이고 있다. DRAM의 셀(cell)은 한 개의 트랜지스터와 한 개의 캐패시터로 구성되어 있는데, 이들 DRAM 개발에서 가장 큰 문제는 작은 셀 면적을 갖으면서도 어떻게 큰 축전 용량의 캐패시터를 만들어 내느냐 하는 것이다. 이러한 축전용량은 α 입자에 의한 soft error 문제 때문에 셀 면적이 작아지더라도 크게 감소시킬 수가 없으며, 잡음 레벨(level)을 넘어서는 신호를 검지해낼 수 있을 정도의 축전 용량을 가져야만 한다. 이러한 캐패시터의 축전 용량은 캐패시터의 면적에 비례하고, 캐패시터 절연막의 두께에 반비례한다. 따라서 지금까지의 DRAM 개발에 있어서는 그림 1과 그림 2에서처럼 캐패시터 구조의 입체화와 절연막의 박막화를 통해서 셀 면적당 축전 용량을 증대시켜 왔다. 그림 2에서처럼 캐패시터 절연막은 16Mbit DRAM에서는 규소산화막 두께로 6nm, 64 Mbit DRAM에서 5nm 이하가 되리라고 예측하고 있다. 본고에서는 이러한 캐패시터 형성 기술에 있어서 현재 적용되고 있는 규소질화막계와 앞으로 적용되리라 예상되고 있는 고유전율 절연막, 강유전체막 등에 대한 기술을 살펴보고자 한다.

II. 본 론

1. 규소질화막과 규소산화막계의 절연막

규소산화막은 박막화 됨에 따라 누설 전류가 증가하고 절연 파괴 전압이 낮아지는 문제점을 갖고 있다. 따라서 이를 개선하기 위해 규소질화막을 사용하는데, 산화막보다 비유전율이 큰 질화막을 사용하

는 것이 축전 용량을 크게하는데 더 유리할 것은 명백한 사실이다. 또한 산화막과 질화막을 적층시킨 다층막의 경우, 산화막 환원 유효 두께로 같은 두께의 산화막에 비해서 절연막의 결함에 의한 초기 불량률이 감소하고 절연 특성이 우수하다는 것은 잘 알려져 있다. 따라서 4Mbit DRAM급 소자에서는 ONO 구조($\text{SiO}_2/\text{Si}_3\text{N}_4/\text{SiO}_2$)의 절연막을 사용하여 왔다. ONO 구조의 절연막을 형성시키는 방법은 그림 3과 같이 먼저 Si기판이나 다결정 Si를 열산화시켜 하층산화막을 형성시키고, 질화막을 저압화학증착법

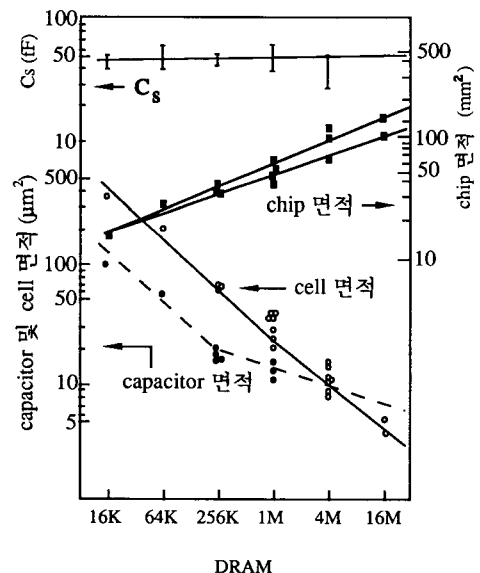


그림 1. DRAM에서의 셀면적 및 캐패시터 면적, 캐패시터 용량, 칩면적의 변화

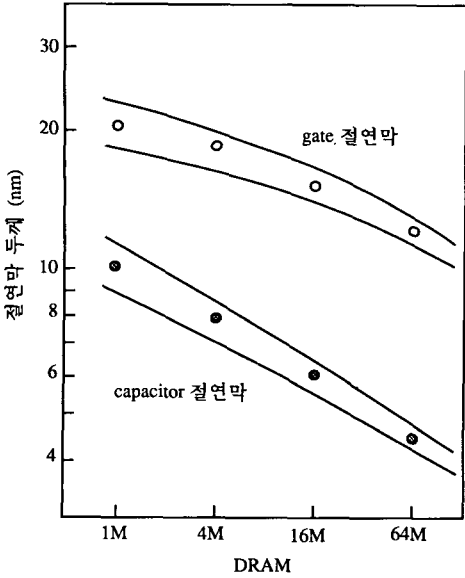


그림 2. DRAM의 gate 및 capacitor 절연막 두께변화

성할 필요가 있다. 이것은 그림 4에서와 같이 질화막에 존재하는 핀홀(pin hole)과 같은 결함부분을 재차 산화시켜 보강해줌으로써 절연 특성을 개선시킬 수 있기 때문이다. 그림 5는 질화막 두께를 일정하게 하고 상층 산화막의 두께를 변화시킬 때 게이트 전류 밀도 변화를 나타내었다. 게이트에 (-)를 가할 때 두께가 증가함에 따라 전류 밀도가 약간 감소하지만, 게이트에 (+)를 가할 때는 상층 산화막의 두께가 약 3nm를 경계로 전류 밀도가 크게 변화됨을 보이고 있다.^[11] 이것은 질화막 전도 전류는 주로 정공의 흐름에 기인되는데, (+) 게이트에서 정공이 상층 산화막을 통해 질화막에 주입될 때 상층 산화막의 두께가 3nm 이하가 되면, 산화막이 정공에 대한 장벽 역할을 할 수가 없기 때문인 것으로 생각된다. 따라서 고신뢰성 ONO 막을 얻기 위해서는 상층과 하층의 산화막 두께를 최적화해야 한다.

ONO 구조에서 고신뢰성을 유지하면서 박막화하다 보면, 신뢰성 보다는 박막화된 ONO 다층막을 제어성 있게 형성시키는 기술에 한계가 있게 된다. 현재 ONO 막의 박막화의 한 방법으로 NO막의 응용이 고려되고 있다.^[2,3] 축전 전극(storage electrode)인 Si기판이나 다결정 Si 위에 질화막을 직접 증착시킨 후, 그 표면을 열산화시키는 방법이다. 이 방법에서는 축전 전극의 자연 산화막 형성을 어떻게 재현성 있게 제어하느냐 하는 문제가 중요하다. NO막의 구성을 살펴보면, 질화막의 band gap이 5.1eV로 산화막의 9.0eV보다 매우 작은 값을 갖고 있다. 따라서 질화

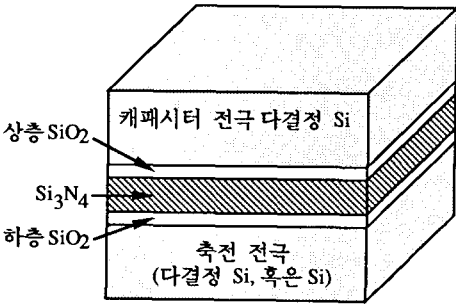


그림 3. ONO 구조의 다층 절연막

(low pressure chemical vapor deposition; LPCVD)으로 증착한 후, 질화막 표면을 열산화시켜 상층 산화막을 형성시킨다. 이 때 산화막 환산 유효 두께(t_{eff})는 식 (1)과 같다.

$$t_{eff} = t_1 + t_2 \times (\epsilon_0 / \epsilon_N) + t_3 \quad (1)$$

여기서 t_1 은 하층산화막 두께이고, t_2 는 최종 질화막 두께, t_3 는 상층산화막 두께, ϵ_0 와 ϵ_N 는 산화막과 질화막의 비유전율로서 각각 3.9와 7.5이다.

고신뢰성 ONO 막을 얻기 위해서는 질화막을 증착한 후, 질화막 표면을 열산화시켜 상층산화막을 형

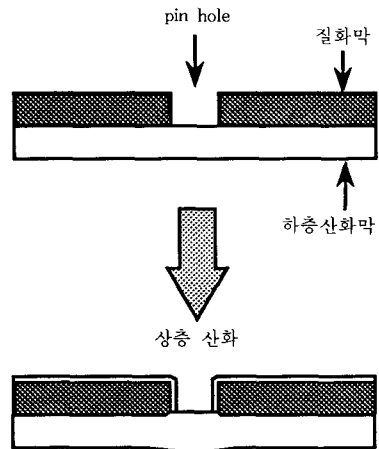
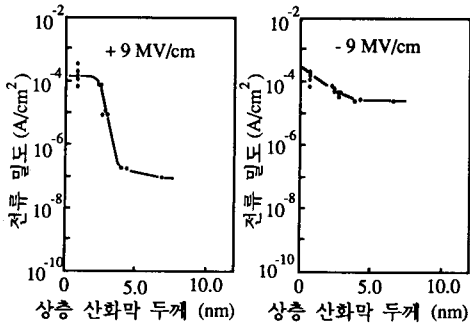


그림 4. 상층 산화에 의한 결함 보강



(a) +9MV/cm (b) -9MV/cm

그림 5. ONO막에서 상층산화막 두께에 따른 전류 밀도

막과 산화막 계면에 포획(trap)된 전하가 시간이 지남에 따라 질화막을 통해 detrapping됨에 따라 축전 전극의 전위를 변화시킨다고 Kumagai와 그 동료들은 보고하고 있다.^[4] 또한 NO막의 경우 유효 두께가 5nm 이하로 박막화되면 그림 6에 나타낸 바와 같이 누설 전류가 급격히 증대된다.^[5] 따라서 유효 두께 5nm 이하를 요구하는 64 Mbit 이상의 DRAM에서는 새로운 절연막을 필요로 한다.

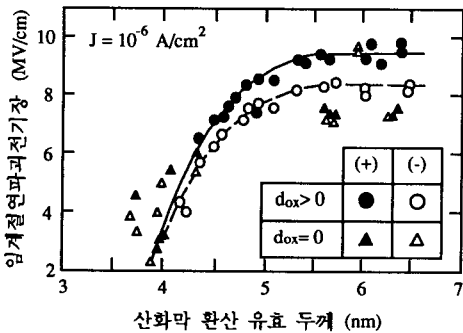


그림 6. NO막에서 산화막 환산 유효 두께에 따른 임계절연 파괴전기장^[5]

2. 고유전율 절연막

64 Mbit DRAM급 이상에서는 산화막 유효 두께 5nm이하의 절연막을 요구하고, 질화막과 산화막의 적층 구조로서는 이미 물리적 한계에 도달함으로써 새로운 재료의 절연막이 필요하게 되었다. 그림 7은

각종 절연막의 비유전율과 절연파괴 전기장의 관계를 나타낸다. 그림 7에서와 같이 비유전율이 큰 것일수록 절연 파괴 전기장이 낮아지는 것을 알 수 있다. 캐패시터의 절연체로 응용될 때 문제가 되는 것은 최대 축전 용량, 즉 비유전율과 절연 파괴 전기장의 곱으로 나타나는 값이 커야 한다. 따라서 그림 7에서 보면 Ta₂O₅나 TiO₂가 최대의 축전 용량을 나타낸다. 그러나 TiO₂의 경우에는 수십 nm로 박막화될 때 비유전율이 급격히 작아지는 문제가 있다. 따라서 현재로서는 Ta₂O₅막에 대한 관심이 가장 높다.

먼저 Ta₂O₅막 형성 방법으로 양극산화법과 열산화법, 반응성 스피터링법, 화학증착법(CVD)등의 네가지 방법이 있다. 양극산화법은 전해액 중에 존재하는 Ta이 외부의 전계에 의해 Ta이온과 전자로 분리되고 산소와 결합하여 산화물을 형성하는 방법이다.^[7] 그러나 이 방법은 전해액 중의 불순물 오염과 균일한 박막을 얻기 어려운 점 등의 문제점 때문에 반도체 공정으로서는 부적당하다.

열산화법은 Ta을 스피터링하여 Si기판에 도포한 후, 산소 분위기에서 고온으로 가열하여 산화시키는 방법이다.^[8] 이 방법은 뒤에 설명할 반응성 스피터링법에 의한 Ta₂O₅막에 비해 누설 전류가 크다. 스피터링으로 형성된 Ta박막은 다결정구조를 가지며, 따라서 표면은 큰 굴곡의 요철을 갖게 된다. 이것을 열

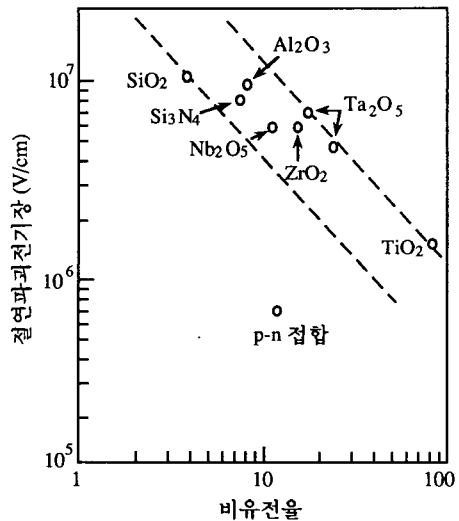


그림 7. 각종 절연막의 비유전율과 절연파괴전기장^[6]

산화시키면 표면의 요철 형상이 그대로 잔류하며 이것이 절연 내압을 작게하는 하나의 원인이 된다.

반응성 스퍼터링법은 알곤(Ar)과 산소의 혼합 가스를 사용해서 플라즈마(plasma)를 발생시켜 금속 타게트인 Ta를 반응성 스퍼터링하여 Ta₂O₅막을 얻는 방법이다.^{10,11} 이 방법에 의한 Ta₂O₅는 막질이 치밀하고, 절연내압이 우수한 특성을 갖지만, 피복성(step coverage)이 좋지 않아 64 Mbit급 이상의 VLSI 공정에는 적용하기가 쉽지 않다. 따라서 현재로서는 64 Mbit급 이상에 적용하기 위해서 피복성이 뛰어난 CVD법에 관한 관심이 높다.

따라서 본고에서는 CVD법에 의한 Ta₂O₅ 절연막 기술에 대해 집중적으로 살펴보고자 한다. Ta₂O₅ CVD법은 크게는 세가지 방법이 있는데, LPCVD법과^{11,12} 플라즈마 CVD법이며,¹³ 기타 방법으로는 광 CVD법이 있다.¹⁴ CVD법에서 Ta의 원료로는 염화물인 TaCl₅와 금속유기화합물인 Ta(OC₂H₅)₅ 등이 있다. 일반적으로 생산성을 생각하면 LPCVD법이 유리하다. 따라서 Ta(OC₂H₅)₅를 이용하여 400°C 안팎에서 hot-wall LPCVD법으로 Ta₂O₅막을 형성시키는 방법이 있다. 이렇게 형성된 Ta₂O₅막은 화학증착 후 열처리를 해야 한다. 그러나 이러한 Ta₂O₅막은 그림 8에서 보는 바와 같이 반응성 스퍼터링법으로 얻은 Ta₂O₅막보다 누설 전류가 큰 것을 알 수 있다.¹² 화학증착 후 열처리를 하면 Ta₂O₅막의 절연특성을 개선시킬 수 있는데, 현재로서는 Hitachi에서 제안한 UV-오존과 dry O₂를 사용한 이단계 열처리 방법이 유효한 것으로 알려져 있으며, 그 효과는 그림 8과 같다.¹² 그러나 Ta(OC₂H₅)₅를 사용한 LPCVD법으로 Ta₂O₅막을 형성하면, Ta(OC₂H₅)₅에 포함되어 있는 탄소 원자가 증착된 Ta₂O₅막 내에 포함되어서 누설 전류의 원인이 된다. 따라서 탄소 원자가 없는 TaCl₅를 사용한 plasma enhanced CVD(PECVD)법으로 Ta₂O₅를 얻는 방법이 주목받고 있다.¹⁵ TaCl₅는 상온에서 고체이므로 150°C 정도로 가열하여 승화시켜서 carrier gas를 사용하여 반응관에 주입시킨다. 이 때 반응의 주요 변수는 플라즈마 강도인데, 증착막에 플라즈마 손상을 주지 않으면서 막을 치밀하게 할 수 있는 최적 플라즈마 강도를 찾아야 한다. PECVD법에 의해 형성된 Ta₂O₅막을 SIMS 분석하여 보면 탄소는 전혀 검출되지 않는다. 이러한 PECVD Ta₂O₅막의 절연 특성은 그림9에 나타낸 바와 같이 Ta(OC₂H₅)₅를 사용한 LPCVD법과 TaCl₅를 사용한 광 CVD법으로 형성된 Ta₂O₅막 보

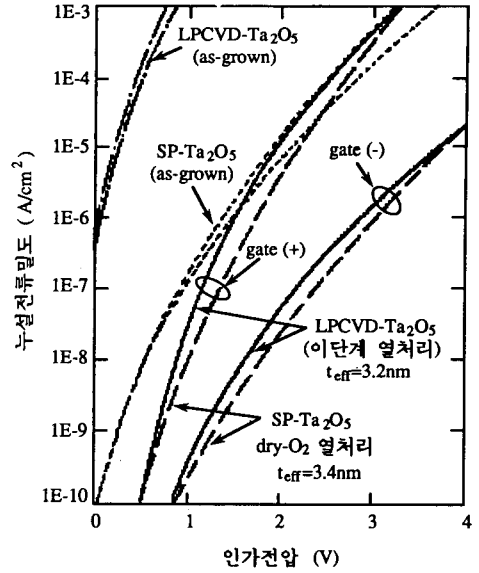


그림 8. Ta₂O₅ 형성법과 열처리 방법에 따른 전류-전압 특성

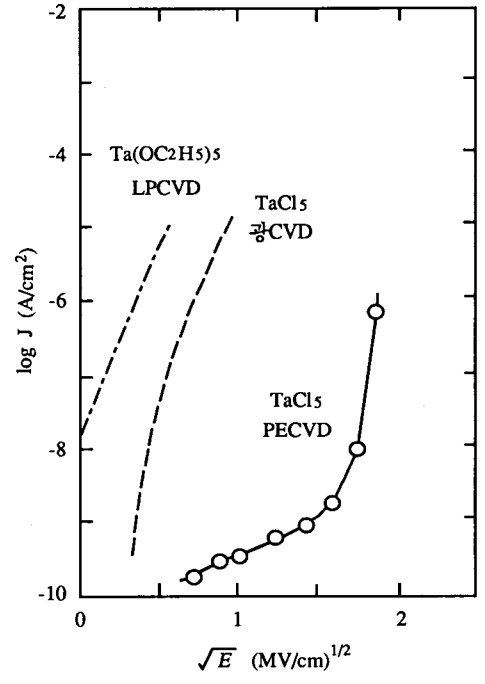


그림 9. Al(+)/Ta₂O₅/n-Si MIS구조의 전류-전압 특성(모두 as-grown 상태임)

다 더 우수한 절연특성을 나타낸다.^[13]

3. 강유전체막

매우 큰 유전율을 갖고며 분극반전성을 갖고, 반도체 공정이 가능한 강유전체를 이용한 기억소자가 새롭게 제안 연구되고 있다.^[15-17] 이것은 1950년대 AT & T에서 처음 제안되었으나,^[18] 실용화되지 못했다. 제안된 강유전체 기억소자(ferroelectric random access memory; FERAM)는 강유전체의 정·반전 잔류 분극(remanent polarization)을 이용한 소자이다. 이것은 DRAM과 같이 refresh cycle이 불필요하고, α -입자에 대한 내성이 우수하며, electrically erasable and programmable read only memory (E²PROM)와 같이 데이터를 써넣을 때 고전계가 필요하지 않은 장점이 있다.

강유전체의 한 종류인 PZT(lead zirconate titanate)는 perovskite 형태의 결정 구조를 가지며, 자발 분극(spontaneous polarization)을 하는 domain으로 구성되면서 P-E 히스테리시스 현상을 보인다. 그림 10에서 처럼 처음 (+) 전계를 가하면 AB곡선을 따라 분극되면서 포화 분극(saturation polarization)값 P_s 에 도달한다(B점). 전계를 zero로 하면 C점에 도달하면서 잔류 분극 P_r 값을 갖게 된다. 이 잔류 분극이 zero가 되기 위해서는 (-) 전계로 대항장 E_c (항분극력)가 필요하다. 이러한 현상이 (-) 전계 쪽에서도 거의 대칭적으로 일어나면서 히스테리시스 현상을 나타낸다.

이러한 히스테리시스 현상을 이용하여 FERAM을 만드는데, 일반적으로는 트랜지스터 두개와 캐패시터 두개를 한 셀로 구성하는 방법이 있으며,^[19] 데이터 쓰기/지우기를 반복하면 강유전체막의 특성이 쇠퇴되는 것을 회로적으로 보강하기 위해 shadow RAM이 제안되기도 하였다.^[16] 이러한 강유전체막의 중요한 전기적 특성으로는 첫째 분극의 스위칭 특성, 둘째 낮은 대항장(E_c), 세째 높은 잔류 분극, 네째 대칭적 P-E 히스테리시스 곡선, 다섯째 안정성 및 고신뢰성 등이다.

Perovskite 형태 ABO₃의 강유전체로는 BaTiO₃와 PbTiO₃가 있는데, BaTiO₃는 잔류 분극이 $1\mu\text{C}/\text{cm}^2$ 이고, PbTiO₃는 $10\mu\text{C}/\text{cm}^2$ 값을 갖는다. BaTiO₃는 잔류 전극값이 작아 FERAM에 부적당하며, PbTiO₃가 적당하다. 그런데 PbTiO₃에 PbZrO₃를 고용시킨 PbZr_xTi_{1-x}O₃(PZT)는 잔류 분극값이 PbTiO₃보다 커서 FERAM에 더 적당하다.

PZT 형성 방법은 스퍼터링법^[20]과 sol-gel법, metal

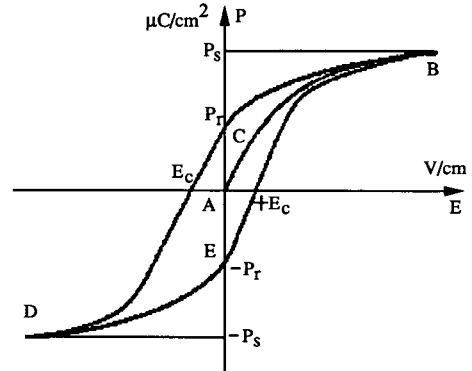


그림 10. 강유전체의 P-E 히스테리시스 곡선

organic chemical vapor deposition (MOCVD) 법^[21] 등이 있다. 스퍼터링법은 200-250°C에서 비정질막을 얻어서 500°C 이상에서 열처리하여 강유전체막을 얻는다. 그러나 열처리 과정에서 Pb가 증기압이 높은 PbO로 되어서 막에 핀홀과 같은 결함을 발생시킨다. Sol-gel법도 역시 후속 열처리 과정에서 스퍼터링법과 같은 문제점을 안고 있다. 따라서 이런 문제점을 피하기 위해서 최근 MOCVD법으로 강유전체막을 얻는 방법이 연구되고 있다.^[21]

PZT를 사용한 캐패시터의 전극 재료는 내산화성과 내식성, 큐리 온도(T_c) 이상에서의 내열성, PZT와의 적정 격자 상수 및 열팽창 계수 값을 갖는 물질이어야 하는데, Ti를 중간층으로하고 Pt를 최종 전극 재료로 하는 것이 가장 우수할 것으로 생각된다.

Ⅲ. 결 론

고집적도의 DRAM에 사용되는 절연막에 대해 살펴보았다. 64 Mbit 이상의 DRAM에서는 고유전율 절연체인 Ta₂O₅가 사용될 것이 확실시 되고 있으며, 탄소 원자가 함유되어 있지 않는 TaCl₅를 원료로 한 PECVD 방법이 가장 우수한 Ta₂O₅막을 얻는 공정 방법으로 생각된다. 또한 Ta₂O₅의 절연 특성을 개선하기 위한 열처리법으로는 UV-오존 열처리와 dry-O₂ 열처리의 이단계 열처리 방법이 가장 유효하다고 보고되고 있다. 강유전체막이 실용화 되기 위해서는 높은 잔류분극값과 낮은 대항장값을 갖고, 고신뢰성이 있는 박막을 만드는 방법이 먼저 개발되어야 한다.

參 考 文 獻

[1] K. Kobayashi, H. Miyatake and M. Hirayama, Ext. Abst. 21st Conf. on SSDM, p. 485, 1989.

[2] Y. Ohji, T. Kusaka, I. Yoshida, A. Hiraiwa, K. Yagi, K. Mukai and O. Kasahara, Proc. of IRPS, p. 55, 1987.

[3] Y. Ohno, T. Kaneoka, I. Ogoh, J. Mitsuhashi, M. Hirayama and T. Kato, Proc. of Symp. on VLSI Technology, p. 35, 1988.

[4] J. Kumagai, K. Toita, S. Kaki and S. Sawada, Proc. of IRPS, p. 170, 1990.

[5] J. Yugami, T. Mine, S. Iijima and A. Hiraiwa, Ext. Abst. 20th Conf. on SSDM, p. 173, 1988.

[6] Y. Nishioka and H. Shinriki, 일본 응용 물리, 58권 11호, p. 1622, 1989.

[7] P.M. Smith, *J. Electrochem. Soc.*, vol. 113, p. 2, 1966.

[8] G.S. Oehrlein and A. Reisman, *J. Appl. Phys.*, vol. 54, p. 6502, 1983.

[9] S. Kimura, Y. Nishioka, A. Shintani and K. Mukai, *J. Electrochem. Soc.*, vol. 130, p. 2414, 1983.

[10] Y. Nishioka, H. Shinriki and K. Mukai, *J. Electrochem. Soc.*, vol. 134, p. 410, 1987.

[11] M. Saitoh, T. Mori and H. Tamura, Technical Dig. of IEDM, p. 680, 1986.

[12] H. Shinriki, M. Nakata, Y. Nishioka and K. Mukai, Proc. of Symp. on VLSI Technology, p. 25, 1989.

[13] Y. Numasawa, S. Kamiyama, M. Zenke and M. Sakamoto, Technical Dig. of IEDM, p. 43, 1989.

[14] S.G. Byeon and Y. Tzeng, Technical Dig. of IEDM, p. 722, 1988.

[15] W.I. Kinney, W. Shephero, W. Miller, J. Evans, R. Womack, Technical Dig. of IEDM, p. 850, 1987.


[16] S. Sheffield, E. Aton, D.B. Butler, M. Parris, D. Wilson and H. Mcneillie, ISSCC, p. 130, 1988.

[17] G.C. Messenger and F.N. Coppage, *IEEE Trans. on Nuclear Science*, vol. 35, no. 6, p. 1461, 1988.

[18] W.J. Merz and J.R. Anderson, Bell Laboratories Record, p. 335, 1955.

[19] F. Gnadinger, Ramton's Technical Report.

[20] K. Sreenivas, M. Sayer and p. Garrett, *Thin Solid Films*, vol. 172, p. 251, 1989.

[21] M. Okada, H. Watanabe, M. Murakami and A. Nishiwaki, *J. Ceram. Soc. Jpn. Inter. ed.*, vol. 96, p. 676, 1988. 

筆 者 紹 介



李 璟 秀

1960年 2月 1日生
 1982年 2月 연세대학교 금속공학 (학사)
 1983年 9月 한국과학기술원 재료공학(석사)
 1987年 2月 한국과학기술원 재료공학(박사)

1987年 2月~현재 한국전자통신연구소 선임연구원
 주관심분야 : CMOS 및 DRAM에서의 절연막, 박막 기술 분야 등.



李 炳 憲

1934年 12月 19日生
 1958年 4月 서울대학교 문리대 물리학(학사)

1986年 한국전자통신연구소 기술 지원단장 (선임기술위원)

1987年 한국전자통신연구소 반도체기술지원센터장
 현재 한국전자통신연구소 반도체연구단 조사역