

다층 배선 기술의 문제점 및 동향

梁斗榮, 金亨駿, 李熙國
金星일렉트론株式會社

I. 서 론

소자의 분리(격리)와 선택적인 연결(배선)로 이루어지는 반도체 제조 기술중 배선기술에 국한하여 DRAM을 기준으로 현재 한국에서의 기술수준을 먼저 소개하고자 한다.

양산을 시작하고 있는 $0.8\mu\text{m}$ 최소 선폭의 4M DRAM을 현세대라고 명명할 수 있는데 그 내부는 3층의 폴리실리콘, 1층의 폴리사이드(폴리실리콘+금속 실리사이드)와 1층의 알루미늄 도합 5층의 도체층으로 이루어져 있는 것^[1]이 일반적이다.

이것은 전세대라고 부를 수 있는 1M DRAM의 1층의 폴리사이드, 1층의 폴리실리콘, 1층의 알루미늄 구조보다 한층 진보된 구조이다. 더 나아가, 현재 개발중인 차세대의 16M DRAM은 3층의 폴리실리콘, 1층의 폴리사이드와 2층의 알루미늄^[2] 등으로써 더욱 복잡해진다.

본 고에서는 이러한 다층 배선의 출현 배경과 그 실현에 있어서 문제가 되는 기술들과 해결책으로 대두되는 신기술의 동향에 대하여 언급하고자 한다.

II. 다층 배선의 출현 배경

집적회로가 추구하는 방향을 (1)고속화, (2)고밀도화 (3)다기능화로 나누어서 살펴보고자 한다.

1. 고속화

최소 선폭이 줄어들면서 MOS 트랜지스터의 스위칭 스피드가 IC의 access time에 기여하는 바는 거의 없다. C. T. Sah^[3]가 지적한 것처럼, 전자가 10^7cm/sec 의 속도로 $0.8\mu\text{m}$ 로 되어 있는 4M DRAM의 한 게이트/밀을 통과하는 시간은 8ps에 불과하고 게이트 지연을 고려하더라도 1ns 정도이다. 그러나 4M

DRAM의 access time은 $\sim 80\text{ns}$ 로써 한 개의 게이트에서 생기는 지연의 80배나 되는 시간이다. DRAM에서는 80개의 게이트가 직렬로 배선되는 경우는 결코 없으므로, 지연시간은 주로 배선에서 비롯되는 RC 지연에 기인한다는 것을 알 수 있다. RC 지연과 배선의 길이와의 관계를 살펴보면 다음과 같다.

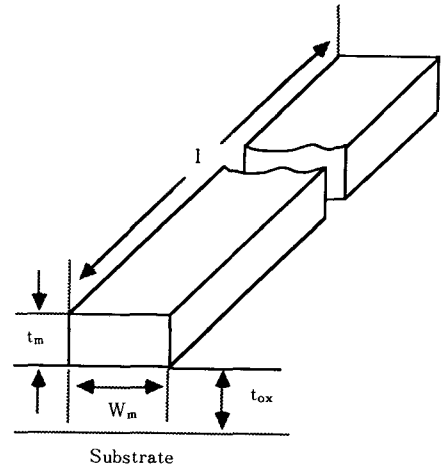


그림 1.

그림 1과 같은 구조에서 배선의 길이를 L이라 하면,

$$R = \rho \cdot \frac{L}{W_m \cdot t_m}, \quad C = \frac{\epsilon \cdot W_m \cdot L}{t_{ox}} \quad (\text{상하층간})$$

$$\therefore RC = \frac{\rho \epsilon L^2}{t_m \cdot t_{ox}} \quad (\rho \text{는 비저항, } \epsilon \text{는 유전상수})$$

로써, 배선 길이의 제곱에 비례하게 되므로 지연시

간은 재료변화에 의한 ρ 감소 뿐만 아니라 길이를 가능한 한 줄이는 것이 속도 증가에 큰 기여를 하게됨을 알 수 있다.

효율적인 설계로 전체적인 배선길이를 줄인다 하더라도 많은 배선들 중에서 어떤 배선만이 나머지 배선들 보다 유난히 길어진다면 그것으로 인하여 전체적인 회로의 지연은 길어지게 될 수 있으므로, 배선들의 길이를 가능한 한 평균적인 어떤길이로 집중 분포 시킬 필요가 있다. 이상과 같은 요구는 다층 배선을 필요로 하게 되었다.

2. 고밀도화

DRAM에서 power line을 넓게 설계하여 이층으로 올리고 그 밑에 sense amp.나 decoder등 반복적인 회로를 설계하면 앞절에서 언급했던 RC 지연 감소로 인한 고속화와 더불어 cell array에 할당할 수 있는 면적이 늘어나므로 고밀도화도 꾀할 수 있다.

또한 바이폴라에서의 예로써 R. W. Keyes^[4]의 보고를 인용하면, 게이트 수 1,500개, 면적 0.29cm² 인 바이폴라 칩을 단층 알루미늄 배선으로 설계 했더니 전체 배선이 차지하는 면적이 0.26cm² 이나 되었다고 하였다. 최소 선폭을 줄여서 게이트 숫자를 더 늘리기 위해서는 단층 알루미늄 배선 구조로는 불가능하다는 것을 알 수 있다. 최소 선폭을 줄이는 만큼 배선폭을 따라서 줄이면 되지 않겠는가 생각할 수도 있으나 배선의 길이가 더 큰 비율로 늘어나기 때문에 곧 배선의 면적이 칩 면적을 초과하는 경우도 발생할 수 있다. 이러한 문제를 해결하기 위해서는 다층 배선 구조로하여 배선이 차지하는 면적을 나누는 방법이 필요하게 되었다.

3. 다기능화

다기능화의 예를 DRAM의 경우에서 보면 같은 4mega 용량의 칩이라 하더라도 사용자의 다양한 요구를 충족시키기 위해서 기능상 그 구성을 $\times 1, \times 4, \times 8$ 등으로 다양화 할 수 있는데 이때에도 배선이 한층 더 늘어나면 그 실현이 용이해진다. 또한 ASIC (application specific IC) 제품등에서는 custom metal mask를 설계 제작할 때, 만들어진 게이트를 최소한의 노력으로 배선하는 것과 만들어진 게이트를 전부 는 아니더라도 최대한으로 활용하는 것이 중요한 데 이때 다층 배선 설계가 큰 기여를 할 수 있다.

J. J. Lajza^[5]에 의하면, 어떤 바이폴라 게이트 어레이를 3층 배선 구조로 설계하는 시간이 2층 배선 구조로 설계하는 것보다 4배나 빨랐다고 보고하였다.

Ⅲ. 다층 배선 구조 공정에 있어서의 문제점

그림 2와 같이 한 층의 폴리실리콘과 두 층의 금속선으로 이루어지는 배선 구조를 보면, 점차적으로 높아지는 단차가 metal 2 공정 후 2.2 μ m까지 이르게 되는 것을 볼 수 있다.

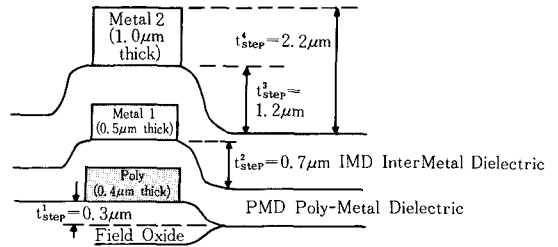


그림 2.

이렇게 단차가 심한 경우 발생하는 문제점들을 나열하면 다음과 같다.

(1) 그림 2에서 metal 1 또는 metal 2가 배선의 방향 (종이 앞에서부터 뒤로)으로 진행되는 과정에서요철이 심한 PMD 또는 IMD를 넘어가게 되는데, 이때 절연층의凹부분의 높이/밑면 비(aspect ratio)가 커질수록 metal 선이 얇아지는 문제가 심각해져서 심한 경우 배선이 끊어지는 문제가 발생하게 된다 (그림 3 참조).

(2) 그림 4와 같이 두번째 metal 층을 식각하기 위하여 감광제(photoresist)가 코팅되어 있을 때, 첫번째 metal 층까지 단차가 이미 t² step이 되었고 IMD에서 추가된 단차를 합하면 두번째 metal 표면은 t³ step 만큼의 높이 차이를 보여주고 있다(실제는 앞의 (1)에서 설명했던 metal의 좋지 못한 단차 피복성 때문에 t³ step 보다 더 클 수도 있음).

감광제 표면에 초점을 맞추고 노광하는 경우 노광기(stepper)의 초점 심도(DOF)가 아래의 식^[6]을 만족하지 못한다면,

$$1.6 \times |DOF| \geq T \text{ resist} + t^3 \text{ step}$$

(T resist; 감광제의 두께, 1.6; 감광제의 굴절율) Metal 선폭을 균일하게 유지하지 못할 뿐만 아니라 심한 경우는 선이 끊어지거나 붙어버리는 경우가 발생할 수 있다.

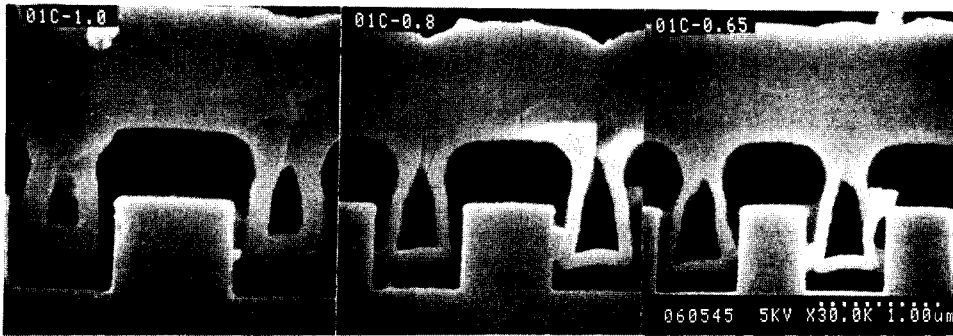


그림 3.

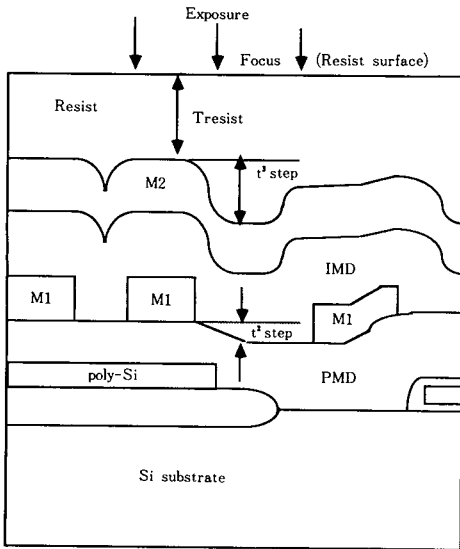
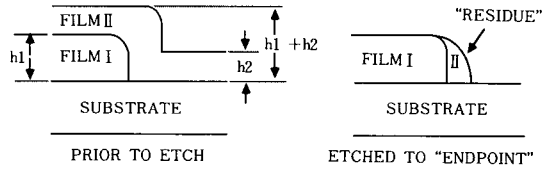


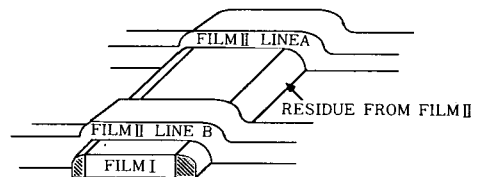
그림 4.

(3) 그림 5(a)에서 보여주는 것처럼 도체 film II 를 이방성 건식 식각(anisotropic dry etch)할 때 평탄화 되지 못한 절연체 film I의 측벽에 film II가 남게 되어 그림 5(b)와 같은 경우가 발생한다면 film II line A와 line B가 단락(short)되는 문제가 발생할 수 있다. 이러한 찌꺼기 막을 보통 ribbon, 또는 stringer 라고 부르는데 이것들은 추가 식각에 의해서 제거시킬 수 있다.

그러나 film II가 평탄화 되지 못한凸부분의 film I



(a)



(b)

그림 5.

위를 지날 때에는 그 부분에서 감광제의 두께가 얇아지게 되기 때문에, 추가 식각 시간을 찌꺼기가 완전히 제거될 때까지 하다가는 보호되어야 할 film II가 손상을 입게 되는 새로운 문제가 발생할 수 있다.

IV. (층간)절연막 평탄화 기술 동향

앞장에서 제시한 문제점들은 절연막의 평탄화가 얼마나 필요한가를 설명하기에 충분하다고 생각된다. 본 장에서는 우리나라에서 현재 한창 개발중인 16M DRAM과 그에 준하는 0.6μm 기술에서 응용되고 있는 절연막 평탄화 기술들에 관하여 언급하고자

한다.

16M DRAM은 일반적으로 2층 금속 배선구조로 되어 있다. 다층 배선 절연막 평탄화에 직접적인 영향을 미치기 시작하는 1차 금속 배선 아래층 절연막 평탄화 동향부터 살펴본다.

1. 2층의 Al배선을 쓰는 경우 제1차 배선 아래층

16M DRAM에서는 대부분의 회사가 적층형 캐패시터 (stacked capacitor) 구조를 개발하고 있는데, 캐패시터 플레이트로 사용되는 4번째 폴리실리콘층이 형성되고 나면 그림 6 과 같이 표면단차 (surface topography)가 심해진다. 앞으로 두 층의 metal을 더 형성시켜야 하기 때문에 가능한 한 평탄한 표면을 갖는 절연층 막이 필요하다. 현재 대부분의 회사들이 그림 7 처럼 증착 직후 열처리를 해주면 연화되어 점성유동 (viscous flow) 성을 나타내는 glass (주로 boro phospho silicate glass; $x\text{B}_2\text{O}_3 \cdot y\text{P}_2\text{O}_5 \cdot z\text{SiO}_2$) 를 사용하고 있다.

그러나 SiH_4 가스를 Si의 원료로 사용하는 CVD 방법은 그림 8(a) 같이 증착 직후의 단차 피복성이 나쁘기 때문에 좁고 깊은 골에서 역 삼각형 모양의 void가 형성되어 열처리 후에도 제거되지 않아 contact 부위에 생성되면 contact etch의 재현성을 떨어뜨리는 등의 문제가 있어서, 그 해결책으로 그림 8 (b)와 같이 막 성장 과정에서 표면 물질 이동이 커서 단차 피복성이 양호한 TEOS, TMCTS, DADBS 등의 액체원료를 사용하는 CVD 기술을 많이 연구하고 있다.

2. 제 1차 Metal과 2차 Metal사이 절연막

금속층간 절연막 (intermetal dielectric)은 주로 용

점이 낮은 알루미늄 사이에 위치하게 되므로, 첫째 형성방법이 온도제한 ($<400^\circ\text{C}$)을 받으며 그 평탄화 방법을 원리적으로 분류하면 다음과 같은데 보통 한 두개가 조합되어 사용된다.

1) Conformal CVD법

주로 다음과 같은 3가지 방법이 연구되고 있다.

- (1) 플라즈마 중에서 TEOS를 반응시키는 PETEOS CVD,
- (2) 저압에서 TEOS와 O_3 를 반응시키는 LP (또는 subatmospheric) 오존 TEOS CVD,
- (3) 상압에서 TEOS와 O_3 를 반응시키는 AP 오존 TEOS이다.

그림 9는 (3)의 방법으로서 void 없는 자기 평탄화 (self planarization)의 가능성을 보여준다. 스핀 코딩 방법에 의하여 희생막을 추가 도포한 후, 희생막과 AP 오존 TEOS막의 식각속도가 동일한 조건으로 최종적으로 원하는 두께만 남도록 etch back하면 좋은 평탄화가 얻어질 수 있다. 단, 막 중에 포함되어 막의 절연 특성 및 crack 내성을 저하시킬 우려가 있는 H_2O , OH, 탄소등의 불순물을 최소화 시키는 공정 조건을 찾기가 어렵다는 것이 문제로 남아있다.

2) 도포법

액체상태로 적용되기 때문에 깊은 골은 두껍게, 얇은 골은 얇게 코딩되므로 평탄화 측면에서는 가장 이상적이지만 SOG등의 도포막은 본질적으로 CVD 산화막에 비해 절연성, 밀착성, crack 저항성등이 떨어지기 때문에 주로 아래, 위의 CVD막 사이에 깐채 사용된다(그림10 참조).

Silanol($\text{Si}(\text{OH})_4$)을 기본으로 하는 무기형 SOG의 crack 저항성을 증가시키기 위하여 OH기 일부를 유기기로 치환한 유기형 SOG를 사용하는 연구도 활발히 진행되고 있다.

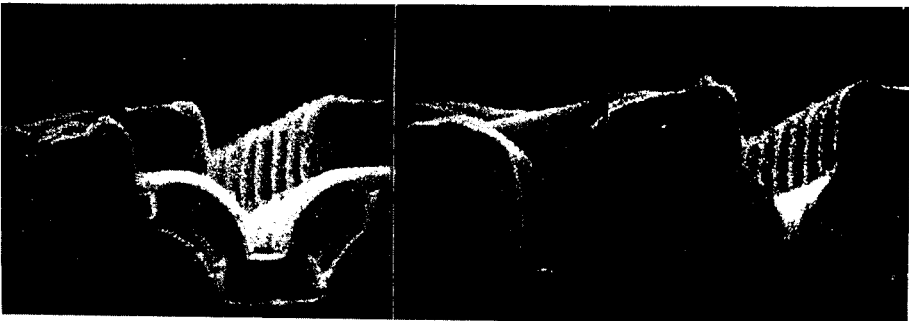
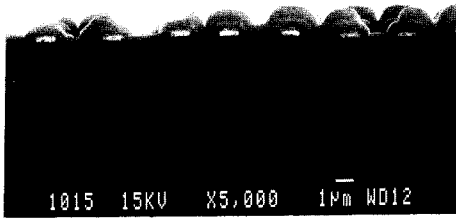
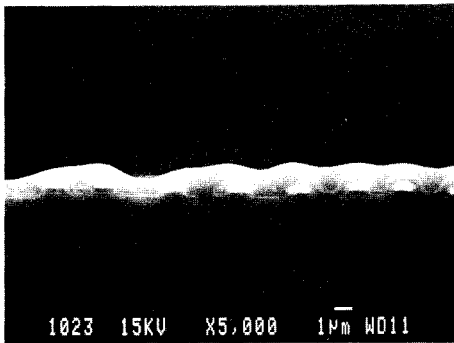


그림 6.

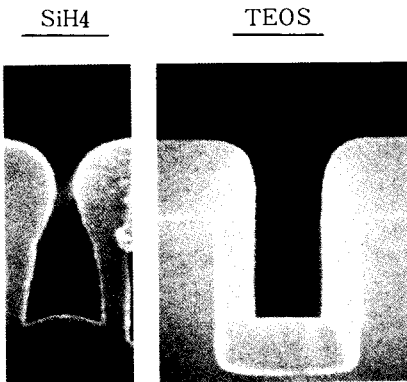


(a) BPSG 증착직후



(b) 열처리 후

그림 7.



(a)

(b)

그림 8.

3) Sputter etch법

아르곤 등에 의한 sputter etch가 45° 방향에서 etch yield가 좋은 특성을 이용하여 증착되는 과정의

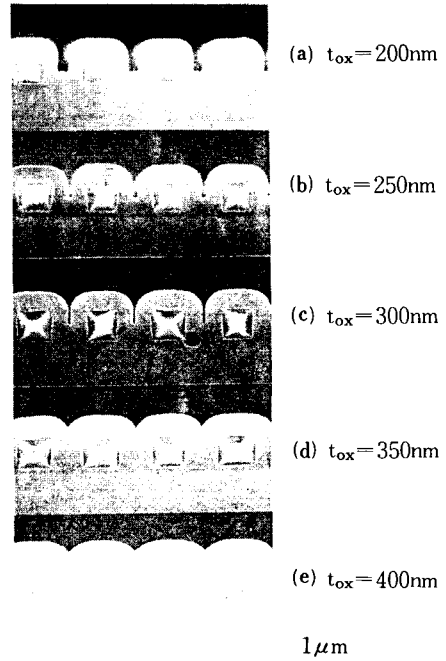


그림 9.

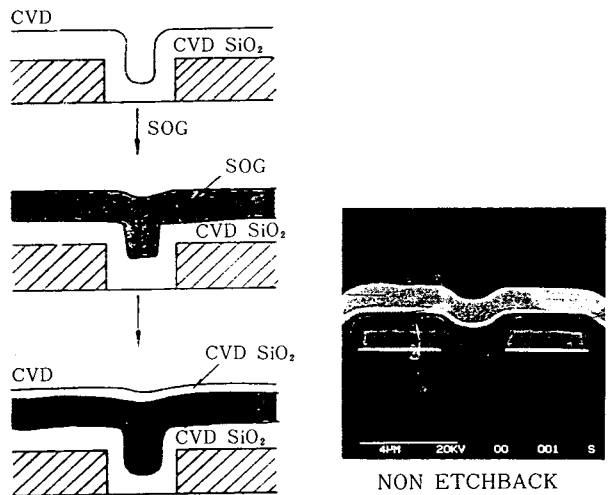


그림 10.

막(그림11 참조)또는 이미 증착된 막의 profile을 taper지게 만드는 방법(그림12(a))인데 bias ECR 과 bias sputter법이 있다. Bias ECR은 0.5μm의 space도 단일 모드로 평탄화 하는 것이 가능하고 plasma

damage도 작은 특징이 있지만 pattern 의존성 등이 문제로 알려져 있다.

4) Plasma etch법

희생막을 써서 전면 etching하는 방법으로써, 일반적으로 CVD나 SOG 등에 의해서 void없이 space가 메꾸어진 후 최종 CVD 막을 원하는 두께로 만듦과 동시에 평탄화를 획득할 수 있는 방법(그림12(c)참조)으로써 공정이 복잡하나 최근에는 CVD와 etchback이 multichamber 형태로 구성되어 process 시간 및 오염을 줄일 수 있는 장비들이 개발중에 있다.

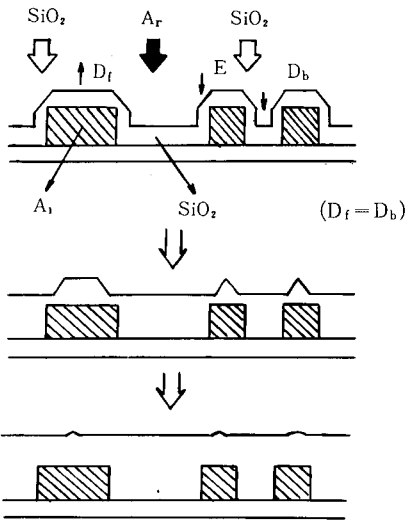


그림 11.

V. 완전 평탄화를 이루기 위한 선행기술

4장에서 언급했던 몇몇 기술들의 조합으로 100% 평탄화를 이루었다고 가정하자. 이러한 완전 평탄화 구조가 실현되려면 그림13과 같은 contact etching이 가능해야 할 것이다. Contact의 깊이 차이가 최대 10,000 Å이다. 즉 3,000 Å의 contact이 열려 들어난 M1이 10,000 Å의 oxide가 추가 etching 되는 동안 500 Å 이상 etching 되는 것을 허용하지 않으려면 oxide 대 metal의 etching 선택도(selectivity)가 20:1 이상은 되어야 할 것이다. 또한 contact size가 7,000 Å이라고 하더라도 가장 깊은 contact에서 형상비(aspect ratio)는 $13,000/7,000 = 1.86$ 정도으로써 metal 2의 재료는 sputtering이라는 종래의 증착방식의 한계를 초과하고 있다.

금속도 CVD 방식으로 증착하려는 연구가 활발히 진행되고 있는데 먼저 결과가 어느정도 나와있는 것이 텅스텐(W) CVD 기술이다. 그림14(a)처럼 선택적으로 M1이 있는 hole에만 W를 증착한 후 그림14(b)처럼 etchback하여 평탄화 된 면상에서 제 2층 금속(M2)을 배선하는 방식이 있고, 또하나는 그림 15처럼 전면에 W를 증착한 후 제 2층 금속 mask를 써서 배선 부분만 남기고 나머지를 etching해 버리는 두가지 방식이 있다. W보다는 그 연구 규모가 작으나 최근 활발히 연구되고 있는 것이 알루미늄 CVD이다. TIBA(tri iso butyl aluminium)이라는 metal organics를 열분해 시키는 방식으로써 보통 ~250°C, 100~200 torr에서 100~200 Å/min의 속도로 증착되며 0.4µm의 space까지도 잘 메꿀 수 있었다^[7]라는 보고가 있으나 TIBA라는 원료가 자연 발화성으로 취급하기가 어려운 등의 문제점이 아직 많다.

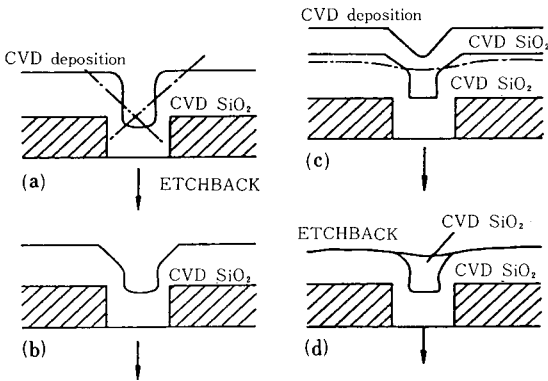


그림 12.

VI. 결 론

이제까지는 다층 배선구조를 실현하는 기술자체에

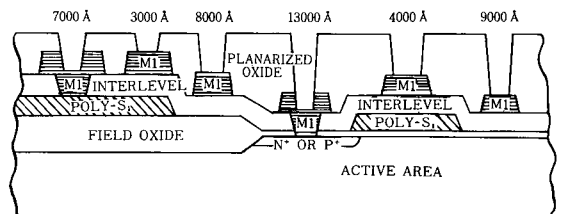
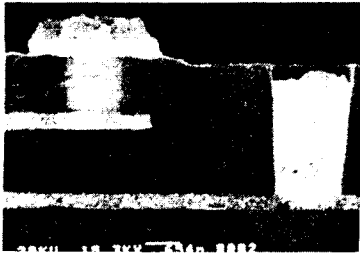
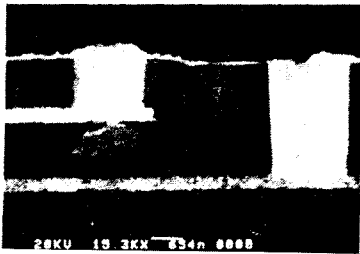


그림 13.

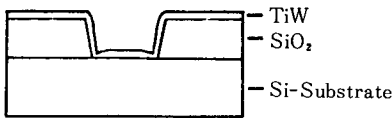


(a) After selective W deposition

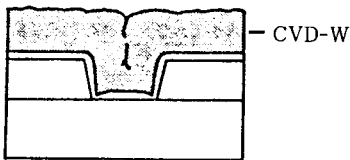


(b) After etch-back

그림 14.



(a) Sticking Tiw deposition



(b) CVD-W deposition

그림 15.

있어서의 문제점을 살펴보았으나 또 한가지 고려해야 할 사항은 그러한 다층 배선 구조가 수율과 신뢰성에 미치는 영향들이다. 공정이 까다로워짐으로

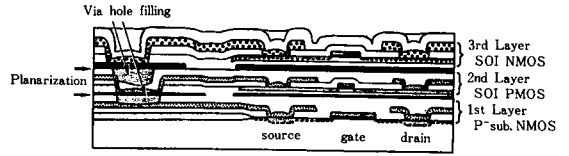


그림 16.

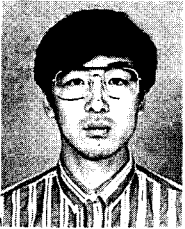
인하여 종래보다 분리해지는 것이 일반적이지만 알루미늄을 텅스텐 플러그 등으로 대체하는 기술은 electromigration, corrosion, hillock 형성등에 의한 신뢰성 문제에서는 유리한 점도 없지 않다. 수율 저하와 기능 향상이라는 상충되는 인자를 비교하여 배선층 수를 늘릴 것인가 아닌가를 판단할 수 있는 양자택일적인 경우도 있기는 하나 다층 배선으로 가야만 하는 경우가 대부분이므로 수율 향상을 위하여 공정 여유분이 상당히 줄어들 것으로 예상된다.

또한 미래의 IC는 수평 방향의 축소에 한계가 나타나면 그림16과 같이 종방향으로 적층이 이루어질 것으로 예상된다. 쉽게 말하면 고층 집을 짓는 형식이라고 말할 수 있는데, 이때 필요한 두 가지 기술로서 SOI(silicon on insulator)기술과 본고에서 설명한 평탄화 기술이 큰 역할을 할 것으로 기대된다.

參 考 文 獻

- [1] NIKKEI, Microdevices, p. 125, Nov. 1989.
- [2] NIKKEI, Microdevices, p. 56, Mar. 1990.
- [3] C.T. Sah, "Evolution of the MOS transistor from conception to VLSI," Proceedings of the IEEE, p. 1280, Oct. 1988.
- [4] R.W. Keyes, Proceedings of the IEEE, vol. 69, p. 267, 1981.
- [5] J.J. Lajza and J.L. Wendt, Ext. Abs. Electrochem. Soc. Meeting, Fall 1986, San Diego, CA, Abs. 356.
- [6] Semiconductor World, p. 87, Nov. 1989.
- [7] T. Amazawa, H. Nakamura, and Y. Arita, Tech. Dig. IEDM, p. 442, 1988.

筆者紹介



梁斗榮
 1959年 2月 24日生
 1981年 연세대학교 요업공학과
 졸업
 1985年 연세대학교 요업공학과
 (석사)

1985年~현재 금성일렉트론(주) 단위공정개발실
 선임연구원



李熙國
 1952年 3月 19日生
 1974年 서울대학교 전자공학과
 졸업
 1980年 Stanford 대 전자공학
 (박사)

1980年~1983年 Hewlett-Packard 연구원
 1983年~현재 금성일렉트론(주) 이사



金亨駿
 1957年 7月 25日生
 1980年 서울대학교 금속공학과
 졸업
 1983年 Purdue 재료공학과(석사)
 1988年 M. I. T 재료공학과(박사)

1988年~1989年 IBM TJ Watson Research Lab.
 1989年~현재 금성일렉트론(주) 단위공정개발실
 책임연구원