

## 차세대 DRAM의 Memory Cell 기술 동향

金千洙, 李揆弘, 李鎭浩, 金大容, 李炳憲  
韓國電子通信研究所 半導體研究團

### I. 서 론

최근 초고집적 반도체 기술의 중심을 이루는 MOS memory중 DRAM(dynamic random access memory) 기술은 세계적인 device 시장에서의 폭 넓은 수요와 더불어 반도체 공정기술의 "technology driver" 역할을 담당하고 있으며, 반도체 산업은 4M DRAM으로 대표되는 submicron 시대에 돌입하였고, ULSI의 개발은 16M DRAM의 시제품 개발에 이어 64M DRAM 개발을 향해서 세계 유명 반도체 회사들이 경쟁하는 단계에 있다. 이들 DRAM 개발의 최대 관점은 미세 pattern을 형성시킬 lithography 기술과 정보 전하를 저장 할 core array 즉 memory cell을 어떻게 축소 시키느냐에 달려 있다. 즉, 작은 면적에 어떤 방법으로 용량이 큰 capacitor와 leakage 전류가 적고 전류구동 능력이 큰 transistor를 축소하여 만드는데 달려 있다.

DRAM 제조기술은 비약적인 발전을 거듭하여 거의 매 3년마다 기억용량은 4배씩 증가하여 왔으며, 이렇게 DRAM 기술이 발전하는 데는 매 세대마다 주도적인 기술개발이 이루어져 왔다. 이러한 집적도의 증가에도 불구하고 DRAM chip의 면적은 제품의 yield, package 제한, 단가 등을 고려하여 매 세대마다 1.4배씩 증가하는데 그쳤다. 지금까지 발표된 DRAM의 발전 추세를 보면 memory cell의 면적은 매 세대마다 3배씩 감소하여 16M DRAM의 경우  $3.3 \sim 6.1 \mu\text{m}^2$  정도로 작아지고 있다.

Lithography 기술의 발전은 minimum feature size (F)를 1.4배씩 감소시키므로써 이들 cell 면적을 감소시키는데 기여해 왔으며, 나머지 1.5배씩의 cell 면적 축소는 새로운 cell 구조 개발로 이루어져 왔다.<sup>[1]</sup>

차세대 DRAM의 개발은 보다 개선된 lithography 기술과 새로운 개념의 memory cell 구조 개발에, 달려 있음을 보여주고 있다. 특히 DRAM chip size의 약 50% 정도를 차지하는 memory cell의 특성은 DRAM 성능을 결정하는 핵심 부분이라고 하겠다.

본고에서는 첫째로 one-transistor와 one-capacitor로 구성된 DRAM cell의 특성을 분석하기 위한 여러 가지의 주요 cell parameter 들을 charge storage 개념<sup>[2]</sup>을 토대로 살펴보고, 이들 parameter 들과 관련된 기술동향을 기술하였다.

둘째로, 현재까지 발표된 16Mb DRAM 시제품에 적용되고 있는 memory cell의 구조와 차세대 DRAM에 적용을 위해 시험 제작중인 memory cell 구조의 특성을 알아보고 각각의 memory cell들이 가지는 장단점을 회로측면과 공정측면을 고려하여 memory cell 연구동향을 분석해 보았다.

셋째로, 16M/64Mb DRAM을 개발하기 위해서 개선되고 있는 memory cell들을 분석하였고, 이 구조들이 차세대 64Mb DRAM에 적용하기에 적합한 구조인지 DRAM의 개발 동향에 의거 분류하였다.

마지막으로 차세대 64Mb/256Mb DRAM을 개발하기 위해 극복해야 할 기술의 장벽 및 문제점을 언급해 보기로 한다.

### II. Memory Cell의 주요 변수들 (Key Parameters)

Mega-bit급 DRAM의 unit memory cell도 one-transistor와 one-capacitor로 구성된 구조로써 transistor 영역과 capacitor 영역으로 분리하여 생각할 수 있다. Cell capacitor는 실제적으로 정보를 저장하고

있는 부분으로 DRAM을 동작시킬 수 있는 최소한도의 요구조건들을 만족할 수 있는 구조이어야 한다. 이러한 요구조건들은 먼저 memory chip에서 사용되는 총 bit 수와 chip size를 지금까지의 경험과 기술을 기초로 하여 cell size( $A_c$ )를 예상 도출할 수 있다. 이렇게 얻은 cell size는 DRAM을 분석하는데 기초 자료로 사용된다. Memory cell에서 storage capacitor의 면적( $A_s$ ), storage capacitance( $C_s$ ), bit-line capacitance( $C_b$ ), storage node에서의 "0"상태와 "1"상태의 전위차( $\Delta V_s$ ) 등과 같은 cell 변수가 서로 상보적인 관계를 이루고 있다. Cell의 storage capacitance는 charge capacity( $Q_c$ ), soft error rate(SER), sense amplifier의 sensitivity( $\Delta V_{sa}$ : sense amp.가 감지할 수 있는 최소 전압차) 및 bit-line의 parasitic capacitance 등을 고려하여 결정될 수 있으며 cell 구조도 storage capacitance를 늘리기 위한 방법으로 연구가 진행되고 있다.

Cell에서 transistor 소자는 cell의 정보를 on-off하는 switch로써 storage charge를 구동시키는 능력을 갖어야 하므로 on/off 상태에서의 전류와 그에 따른 parameter들이 요구조건에 만족하여야 하며, leakage 전류( $I_L$ )는 memory chip의 refresh cycle과 관계되는 변수로써 DRAM chip의 availability와 밀접한 관계가 있다. Leakage 전류를 최소로 줄여서 cell의 charge retention time을 크게 하고 on 상태에서는 전류( $I_{ON}$ )가 최대가 되도록 하여야 memory 동작 속도를 향상시킬 수 있다. One-transistor DRAM cell을 분석하기 위하여 다음과 같은 주요 parameters, 즉 total number of bits(N), memory chip의 크기( $A_d$ ), cell의 크기( $A_c$ ), storage capacitor의 면적( $A_s$ ), storage capacitance( $C_s$ ), soft error rate(SER), sense amp.의 sensitivity( $\Delta V_{sa}$ ), total storage charge capacity( $Q_c$ ) 등 차세대 DRAM cell에 적용할 수 있는 요구조건들을 예측하여 보면 다음과 같다.

#### 1) Total number of bits(N)

N는 redundancy bit를 포함한 DRAM chip내의 총 bit 수이다. Redundancy는 chip의 수율(yield)을 증가시키기 위하여 구성된 dummy bit와 수정회로가 첨가된 구조로써 physical repair 방법과 error detection and correction(EDC) 방법이 있다. EDC 회로를 chip내에 첨가시켰을 경우 bit 수는 약 10% 증가하고, 추가적인 주변회로가 필요하므로 chip 면적은 약 10-15% 증가하게 된다. 차세대 DRAM에서는 이러한 EDC 회로의 채택이 불가피하게 되어 64M bit나

256M bit DRAM에서는 총 bit 수 N가 각각  $7.38 \times 10^7$  과  $3.10 \times 10^8$  bits가 된다.

#### 2) Chip(Die) size( $A_d$ )

DRAM의 chip size는 제조공정의 생산성(즉 wafer size, package, yield, 설계상 redundancy 문제 등)과 밀접한 관계를 가지고 있으며, 장비와 생산기술의 발달로 계속 증가되어 왔다. 70년대 초기의 약  $10\text{mm}^2$  size에서 1M bit DRAM에서는  $45-70\text{mm}^2$ 으로 4M bit DRAM에서는  $70-120\text{mm}^2$ 으로 DRAM 매 세대당  $1.4 \times$  증가하여 현재 시험제작 되고 있는 16M DRAM에서는  $130-160\text{mm}^2$  size가 되었다. 64M/256M DRAM의 size는 정확히 예측하기는 매우 어렵지만, wafer size의 증가 정도, redundancy의 증가, package의 제한, 생산수율의 많은 문제점들을 고려할 때 대략 각각  $150-200\text{mm}^2$ 와  $200-280\text{mm}^2$ 이 될 것으로 추정된다.

#### 3) Cell size( $A_c$ )

DRAM chip은 크게 core cell array와 주변회로 부분으로 나누어 생각할 수 있으며, 이 두 부분중 cell array 면적비를 array efficiency,  $\eta$  ( $\eta = N \cdot A_c / A_d$ )라 정의할 때,  $\eta$ 값은 지금까지 사용된 DRAM chip에서는 0.4-0.6이었다. Memory cell의 array efficiency를 50%로 가정하고, 위에서 추정된 chip size를 이용하면 cell size는 각각  $A_c = 1-1.36\mu\text{m}^2$  (64M DRAM)과  $A_c = 0.32-0.46\mu\text{m}^2$  (256M DRAM) size로 축소될 것이 예측된다.

#### 4) Storage capacitor의 면적( $A_s$ )

One-transistor DRAM cell 구조는 transistor, capacitor 및 소자격리(isolation)영역등으로 나눌 수 있다. 여기서 단위 cell의 평면적 면적대 storage capacitor 면적비를 r이라고 정의하면, 즉  $r = A_s / A_c$ , planar cell인 경우 r값은 1보다 작으며 cell이 stack이나 trench 형태의 3차원화가 이루어지면 1보다 커질 수 있다. 4M DRAM이나 16M DRAM에 적용한 cell 구조의 r값은 각각 1-4, 2-5 정도이었다. 따라서 64M/256M DRAM에서는 r값은 2-7 정도로 예측할 수 있다.

#### 5) Storage capacitance( $C_s$ )와 bit-line capacitance( $C_b$ )

Storage capacitance  $C_s$ 는 DRAM cell의 charge capacity( $Q_c$ )를 측정하는 변수로서 storage capacitor의 면적, 유전체의 유전율 및 두께에 의존한다.  $C_s$ 를 크게 하려면 cell의 면적을 늘려서 storage capacitor area의 면적을 넓히거나 고유전율 박막을 사용

하면 어느정도 크게 확장시킬 수 있으나 cell 면적과 유전율의 한계때문에 큰 값을 얻는 데 기술적인 한계가 있다. 64M/256M DRBM에서는 soft error rate 등을 고려하면  $C_s=25-50fF$  정도 유지할 것으로 예측된다.  $Q_c$ 는 하나의 DRAM cell capacitor에 저장하고 있는 총 전하량을 나타내며  $Q_c=C_s \cdot \Delta V_s$ 의 관계가 있고, 이때  $\Delta V_s$ 는 storage capacitor의 "0" 상태 전압과 "1"상태 전압의 전위차를 나타낸다. 전원 전압(power supply voltage)은 device scaling에 따라 감소하며 3V로 가정할 때  $\Delta V_s$ 는 2V가 된다. 따라서,  $Q_c=C_s \cdot \Delta V_s$  관계에서  $Q_c$ 는 25-100fC 정도로 예측하나,  $\alpha$ -particle에 의한  $Q_{crit} \geq 40fC$ 이므로 soft error failure를 방지하기 위하여 64M/256M DRAM에 적용할  $Q_c$ 값은 65-140fC가 되어야 한다.

Bit-line capacitance  $C_B$ 는 cell 구조와 chip architecture에 관계가 있으며, 기존에 발표된 1M, 4M와 16M DRAM을 분석하여 보면, 250-500fF 정도이다.

64M bit DRAM에서는 design rule(minimum feature size:F)감소에 의한 bit-line과 bit-line 상호간 parasitic capacitance는 증가하나 device scaling에 의한 bit-line contact의 p-n junction 영역이 감소하게 되어 64M/256M bit DRAM 에서도  $C_B$  값은 일정하게 유지될 것으로 예측된다.

6) 최대 electric field( $E_M$ )와 단위면적당 전하량( $Q_s$ )

최대 electric field  $E_M$ 은 DRAM cell storage capacitor에 사용되는 절연막의 최대 breakdown field로서 storage capacitor의 단위 면적당 최대 전하량( $Q_s$ )을 계산하는데 유용하게 쓰이는 parameter이다.  $E_M$ 은 유전체의 신뢰성, TDDB, leakage current등을 충분히 고려한 값이어야 한다. 예로서  $SiO_2$  막의  $E_M$ 은 5.7MV/cm이며, capacitor의 단위면적당 전하량  $Q_s=Q_c/A_c=\epsilon_{ox} \cdot E_M=20fC/\mu m^2$ 이다. 여기서  $\epsilon_{ox}$ 는  $SiO_2$ 의 유전율이다.

7) Leakage ( $I_L$ )와 최대 on-current ( $I_{ON}$ )

Leakage 전류,  $I_L$ 은 DRAM의 refresh time( $\tau_R$ )을 결정짓는 parameter로써 memory chip의 availability를 높이기 위하여 최소로 줄여야 한다. DRAM cell의 storage capacitor에서의 leakage current는 크게 3종류로 나눌 수 있다.

즉, switching transistor의 off 상태에서 흐르는 subthreshold 전류, 유전체를 통해서 흐르는 전류 및 p-n junction에서 발생하는 leakage current 등이다. Storage capacitor에 저장된 총 전하량의 20% 정도 감소 되었을때 refresh를 시켜야 하므로 이것을 고

려할 때 64M DRAM에서는  $I_L=0.2-0.4pA$ 미만이어야 한다.

최대 on-current,  $I_{ON}$ 은 data를 cell에 read/write할 때 access transistor에서 전류를 구동시킬 수 있는 최대 전류를 나타내며, 64M DRAM에서는 access time( $t_{acc}$ )을 60ns라 가정할 때, 10ns 이내에 data를 read/write하므로  $Q_c=65-140fC$ 에서는  $I_{ON}=6.5-14\mu A$  이상이 되어야 한다.

8) Sense amp.의 sensitivity( $\Delta V_{sa}$ )와  $C_B/C_s$

최대 ratio( $\gamma_{max}$ )

DRAM chip을 설계하는데 중요한 parameter로서는 sense amp.의 sensitivity( $\Delta V_{sa}$ :sense amp.가 감지할 수 있는 "0"과 "1"상태를 구별하는 최소 전위차)와 bit-line capacitance,  $C_B$ 와 capacitor의 storage capacitance,  $C_s$  최대 비율  $\gamma_{max}$ 을 들 수 있다. 현재 4M bit DRAM이나 16M DRAM에서 사용되는 sense amp.의  $\Delta V_{sa}$ 는 50mV 이하도 발표되었지만, 대부분 100-150mV 정도이며,  $\gamma_{max}=7-10$  정도이다. 64M DRAM에서는 noise, device, chip architecture 등을 개선하고 sensing 회로 기술의 발달을 고려하면  $\Delta V_{sa}=50-150mV$ ,  $\gamma_{max} \geq 10$  될 것으로 예측할 수 있다.

위에서 열거한 중요한 memory cell parameter 들을 종합하여 보면 표 1과 같다. 이미 발표된 4M/16M DRAM의 DRAM parameter들을 분석한 결과를 토대로 64M/256M DRAM에 적용할 parameter의 범위를 대략적으로 추정한 값이다.

표 1. Summary of projected parameters for 64Mb and 256Mb DRAMs

Parameter	64Mb DRAM	256Mb DRAM
Chip Size( $A_d$ )	150-200mm <sup>2</sup>	200-280mm <sup>2</sup>
Cell Size( $A_c$ )	1.00-1.36 $\mu m^2$	0.32-0.46 $\mu m^2$
Total Storage Charge of Capacitor ( $Q_c$ )	50-150 fC	50-150 fC
Capacitor Area( $A_s$ )	3.0-9.5 $\mu m^2$	0.64-3.2 $\mu m^2$
$A_s/A_c$ Ratio	2-7	2-7
*Minimum Feature Size(F)	0.3-0.40 $\mu m$	0.20-0.25 $\mu m$

\*The cell size is assumed to be  $8F^2 - 12F^2$

표 1에 있는 parameter들에서, 차세대 DRAM에서 요구되는 storage charge density( $Q_s$ ) 값은 그림 1에 나와 같이 구할 수 있다.

64M DRAM에서는 charge storage area(capacitor

면적)  $As$ 가  $3-9.5\mu\text{m}^2$  요구되므로 그림 1에서와 같이 storage capacitor의 단위 면적당 전하량  $Q_s$ 는  $4-50\text{fC}/\mu\text{m}^2$ 이다. 따라서  $\text{SiO}_2$ 를 유전체로 사용할 경우  $Q_s$ 는  $20\text{fC}/\mu\text{m}^2$ 이므로, 3차원 구조의 memory cell을 더욱 더 개선하여  $\text{SiO}_2$ 나  $\text{ONO}$  박막을 사용한 64M DRAM과 개발 가능성을 보여주고 있다. 또한  $Q_s$ 가  $50\text{fC}/\mu\text{m}^2$ 를 얻기 위해서는  $\text{Ta}_2\text{O}_5$  박막이나, PZT 박막<sup>3)</sup>과 같은 고유전율을 갖는 유전체의 개발이 필수적으로 요구된다. 또한 256M DRAM에서는  $As$ 가  $As=0.64-3.2\mu\text{m}^2$ 이므로  $Q_s$ 는  $Q_s=20-100\text{fC}/\mu\text{m}^2$  된다. 따라서 차세대 DRAM에서 사용될 유전물질로서  $\text{SiO}_2$ 나  $\text{ONO}$  박막들로는  $Q_s$ 가  $50-100\text{fC}/\mu\text{m}^2$ 인 고전하 축전용량을 얻을 수 없으며, 이 박막들을 대체할 고유전율을 갖는 high quality 고유전체 박막을 필수적으로 개발하여 적용시켜야 하며, 아울러 새로운 개념의 memory cell 구조 개발도 동시에 이루어져야 한다.

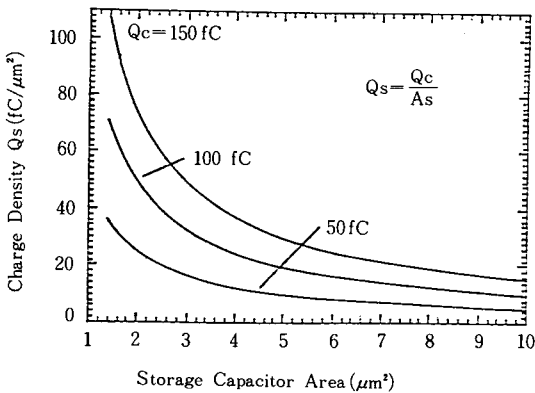


그림 1. 64M DRAM에서 요구되는 charge storage density와 storage 면적과의 관계

### III. 16Mb DRAM에 사용되고 있는 Cell 구조의 동향

일본의 NTT가 '87년 1월 ISSCC (International Solid - State Circuits Conference)에 세계 최초로 16Mb DRAM 시험제품을 발표한 이후 Matsushita, Hitachi, Toshiba, Mitsubishi사 등에서도 시제품 개발에 성공하였으며, '89년 5월 국내 삼성전자에서도 16Mb DRAM의 실험실 수준의 시제품을 발표하여 개발 가능

성을 확인하기에 이르렀다.<sup>4-9)</sup>

지금까지 발표된 16Mb DRAM의 주요 특성, 셀의 구조 및 공정기술 등을 maker별로 표 2에 정리하였다. Cell의 크기는  $3.3-6.1\mu\text{m}^2$  정도이고, design rule은  $0.5-0.7\mu\text{m}$ 이며, 사용된 cell 구조는 stack형, stacked trench형, isolation merged trench형으로 크게 나눌 수 있다. 고집적 DRAM을 구현하기 위해 새로운 형태의 memory cell 구조들은 계속해서 발표되고 있음에도 불구하고, 실제 16Mb DRAM에 적용된 storage cell에 대해서는 큰 변화가 없음을 알 수 있다. 그 이유로는 제조공정, 신뢰성 및 cost 등에 대한 제약을 먼저 고려해야 하기 때문이다.

따라서 새로운 형태의 memory cell을 실제 양산에 적용하기 위해서는 위에서 언급한 제약 조건들과 chip 전체의 구성에 대해서 신중한 검토가 이루어져야 한다.

'87년 NTT가 IVEC (isolation merged vertical capacitor) 구조의 cell을 이용한 16Mb DRAM을 발표하였고, '88년에는 Hitachi가 stack 구조, Matsushita가 SCC (surrounding hi-capacitance cell) 구조, Toshiba가 STT (stacked trench) 구조의 cell을 적용한 16Mb DRAM을 발표함으로써 trench 형태의 cell이 주종을 이루어 왔으나, '89 ISSCC 및 VLSI Symposium에서는 Toshiba의 trench 형태의 cell 구조를 제외하고는 NEC, Mitsubishi, Samsung 등은 모두 stack 구조, cell 들이 주종을 이루고 있다. 그러면 여기서 현재 16Mb DRAM 시험 시제품에 적용되고 있는 memory cell들의 장단점을 간단히 분석해 보면 다음과 같다.

#### 1) Stack 구조

그림 2는 Mitsubishi 사의 16Mb DRAM에 적용된 T-shaped stacked cell이다. Storage 용량을 증가시키기 위해서 storage node의 단차를  $1.5\mu\text{m}$  정도로 높은 T자 형태를 이루며, storage 용량은 유전체 두께가  $60\text{\AA}$  (산화막 두께로 환산)일 때  $36\text{fF}$ 이다. Storage node의 큰 단차로 인한 topology 문제는 W-plug를 이용한 배선방법으로 해결 하였으며, 또한  $0.5\mu\text{m}$  isolation을 얻기 위해서 field shield isolation 방법을 이용하여 bird's beak free 한 구조를 제작했다.

NEC사와 Hitachi사는 16Mb DRAM에 그림 3과 같은 quadruple poly gate 공정을 이용한 stack 구조 cell을 적용하고 있다. Hitachi 사는 PEARL (peripherally added resist lithography) 기술<sup>10)</sup>을 이용하여 cell 크기를  $4.2\mu\text{m}^2$ 로 줄였고, cell storage 용량은 유전체 두께가  $50\text{\AA}$ 일 때  $33\text{fF}$ 를 얻었고, 그림 4에서 나

표 2. 16Mb DRAM

특징	Maker	IBM	NEC	MITSUBISHI	TOSHIBA	SAMSUNG	TEXAS INST.	TOSHIBA	HITACHI	MATSUSHITA	NTT
Cell 구조 (Name)		Merged Isolation & Node Trench (MINT)	Stack (Quadruple poly)	Stack (STC)	Stacked Trench (STT)	Trench & saddle (TSS)	Trench (CTT)	Stacked Trench (STT)	Stack (Quadruple poly)	Isolation Merged Trench (SCC)	Isolation Merged Trench (IVEC)
Design 룰 (μm)		0.5	0.55	0.5	0.6	0.6	0.8	0.7	0.6	0.5	0.7
chip size (mm <sup>2</sup> )		.....	8.5*15.9 (135.2)	7.7*17.5 (134.8)	7.8*17.4 (136.9)	8.5*18.4 (156.8)	6.8*16 (106.8)	17.5*12 (210)	8.2*17.3 (142)	5.4*17.4 (93.8)	8.9*16.6 (147.8)
Cell 면적 (μm <sup>2</sup> )		4.13	1.5*2.7 (4.05)	1.5*3.2 (4.8)	1.6*3.0 (4.8)	1.65*3.39 (5.59)	1.5*2.5 (3.75)	1.7*3.6 (6.12)	1.3*3.2 (4.2)	1.5*2.2 (3.3)	1.5*3.25 (4.88)
Storage 용량		95 fF	25fF	35fF	30fF #	30fF	.....	30fF	33fF	63fF	70fF
Access Time		50 ns (T <sub>acc</sub> )	55 ns (T <sub>acc</sub> )	60 ns (T <sub>acc</sub> )	45 ns (T <sub>acc</sub> )	65 ns (T <sub>acc</sub> )	60 ns (T <sub>acc</sub> )	70 ns (T <sub>acc</sub> )	60 ns (T <sub>acc</sub> )	65 ns (T <sub>acc</sub> )	80 ns (T <sub>acc</sub> )
Trench 길이		8 μm	.....	.....	4 μm	.....	10 μm	4 μm #	.....	3.3 μm	4 μm
Organization		.....	16M <sup>2</sup> 1b/4M <sup>2</sup> 4b	16M <sup>2</sup> 1b/4M <sup>2</sup> 4b	16M <sup>2</sup> 1b/4M <sup>2</sup> 4b	16M <sup>2</sup> 1b/4M <sup>2</sup> 4b	.....	4M w <sup>2</sup> 4b	16M w <sup>2</sup> 1b	16M <sup>2</sup> 1b/4M <sup>2</sup> 4b	2 M w <sup>2</sup> 8b
Function Mode		.....	Fast page/Static column/Nibble Mode	Fast page/Static column/Nibble Mode	Fast page/Static column/Nibble Mode	Fast page/Static column/16bit parallel test	.....	Fast serial read/write mode	.....	Static column 16 b parallel test	ECC
Supply Voltage		.....	Single 5V	3.3V	5V Internal 4V	5V Internal 4V	5V	5V Internal 4V	Array & Sense 3.3V / Peripheral 5V	Single 5V / Cell 3V / Peripheral 4V	.....
Supply Current		.....	Active : 80mA Stand by: 2 mA	Active : 90mA Stand by: 0.2 mA	Active: 65mA Stand by: 0.5 mA	Active: 80mA Stand by: 1 mA	.....	Active: 120mA	Active: 84mA Stand by: 3 mV	Active: 90mA Stand by: 1 mA	3.3V
Key 공정		Shallow Trench Isolation, poly Si Surface strap connection	Double Al wiring CMOS	Double Al wiring CMOS Field shield isol.	Triple well CMOS Triple poly Double metal	3-poly/1 polycide /1 Al	Hi performance twin well CMOS Deep trench	3-poly/Mo poly cide/2 Al CMOS	i-line PEARL Single W Si <sub>3</sub> N <sub>4</sub> Double Al	2poly/1 W poly cide/2 Al Open bit line	Double Al N-well CMOS Self aligned silicide
JOURNAL		'90 VLSI symp.	'89 ISSCC	'89 ISSCC	'89 ISSCC	'89 VLSI Sympo.	'89 ISSCC	'88 ISSCC	'88 ISSCC	'88 ISSCC	'87 ISSCC

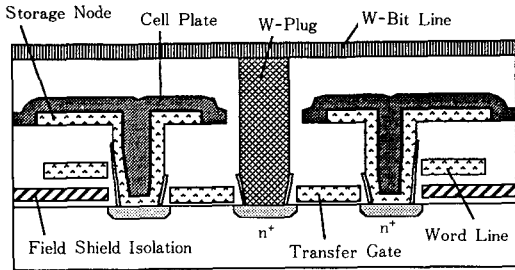


그림 2. Mitsubishi사 16Mb DRAM에 적용된 T-shaped STC 구조 cell

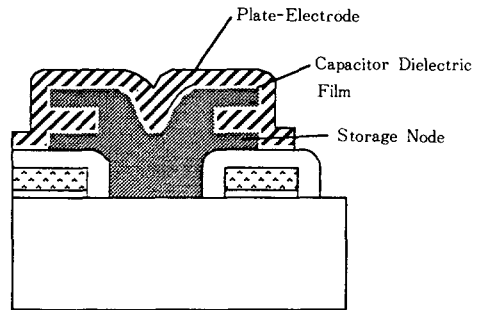


그림 4. Hitachi사의 double stacked storage node cell

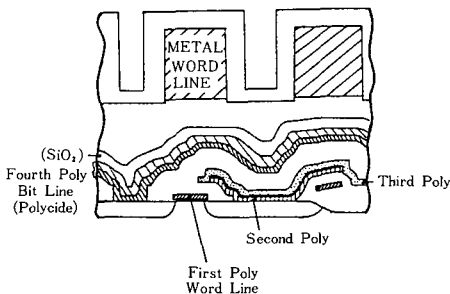


그림 3. NEC, Hitachi사 16Mb DRAM에 적용된 quadruple poly STC 구조 cell

타낸 double stacked storage node 형태로서 그 storage 용량을 증가시킬 수 있는 개선된 stack 구조를 발표하였다. 국내에서도 '89년도 VLSI Symposium에 발표된 TSS cell<sup>[7]</sup>은 기존의 stack 구조에 trench를 적용하여 30fF의 storage 용량을 얻었다.

2) Stacked trench 구조

Toshiba는 '88년 그림 5와 같은 stacked trench 구조의 16Mb DRAM을 발표하였다. 기존의 BSCC (buried stacked capacitor cell) 구조 cell이나 SPT (substrate plate trench) 구조 cell에서는 transfer gate의

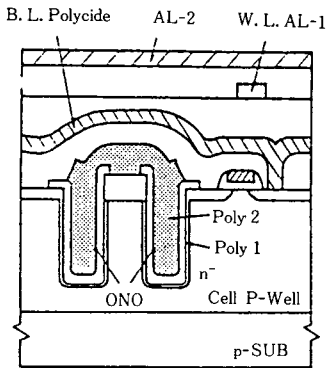


그림 5. Toshiba 16Mb DRAM의 stacked trench 구조 cell

source 부분에 기생적으로 생기는 gate controlled diode 구조를 가져 storage node에 큰 누설전류의 원인이 되지만, stacked trench 구조는 trench 내벽을 산화막 대신 poly silicon 막을 형성한 후 이온 주입으로 n-층을 형성하므로 gate controlled diode 구조를 배제하여 누설전류를 크게 줄일 수 있는 장점이 있다. '89년에는 같은 cell 구조를 가지지만 shared sense amplifier scheme<sup>[6]</sup>을 사용하여 capacitor plate 형성을 쉽게 함으로써 cell 크기를  $4.8\mu\text{m}^2$ 로 줄였고, triple-well 구조를 사용하여 well bias를 최적화 하였다. 또한 주변회로의 p-MOSFET의 성능을 향상시키기 위해 STD(sidewall transistor with double drain)구조를 사용함으로써 access time이 45ns로 가장 빠른 16Mb DRAM을 발표하였다.

3) Isolation merged trench 구조

Matsushita는 SCC(surrounding hi-capacitance cell)구조의 cell을 이용, 그림 6과 같은 opdn-bit line 구조의 16Mb DRAM을 발표하였다. 종래 open-bit line 구조는 folded-bit line 구조에 비해 cell의 면적을 반으로 줄일 수 있으나, sense amplifier의 layout pitch 때문에 cell 크기가 제약을 받았다.

이러한 문제를 main/sub-bit line 구조와 relaxed sense amplifier pitch 구조로서 해결하였고, cell 크기를  $3.3\mu\text{m}^2$ 까지 줄였으며, open-bit line 구조의 단점인 noise immunity는 reversal word-line 기술로서 해결하였다.<sup>[9]</sup> Storage capacitor trench 측벽을 이용 access transistor를 완전히 둘러싼 부분을 이용하여

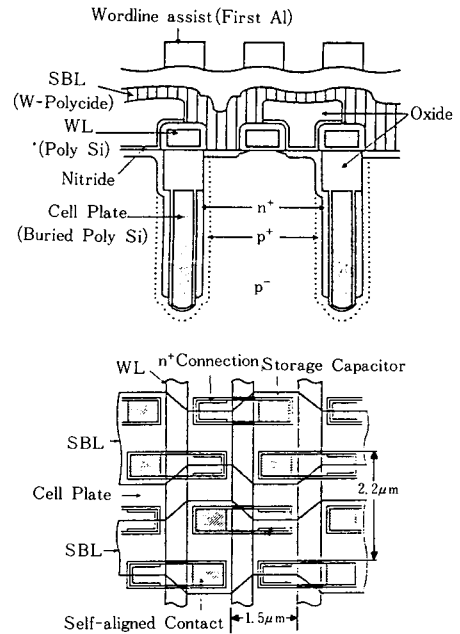


그림 6. Matsushita 16Mb DRAM의 SCC 구조 cell 및 layout

$3.3\mu\text{m}$  trench 깊이로서도 63fF의 storage 용량을 얻을 수 있었다. 그러나 trench 측벽을 hi-capacitance로 만들기 위한 고통도 불순물 doping을 위해 경사 이온 주입등의 공정기술이 필요하다.

NTT의 IVEC(isolation merged vertical capacitor) 구조의 cell은 그림 7과 같이 trench 측벽을 이용 access transistor를 완전히 둘러싼 부분을 storage capacitor로 사용하는 점은 Matsushita의 SCC cell 구조와 비슷하다. SCC 구조는 trench 측벽의 poly와 기판간의 capacitor를 이용한 hi-C 구조이고, IVEC 구조는 trench 측벽의 poly I과 poly II 사이의 capacitor를 이용한 구조이다.  $4\mu\text{m}$  trench 깊이에 70fF 정도의 storage 용량을 얻을 수 있으며, E-beam direct writing lithography 기술을 이용하였다.

4) Trench 구조

Texas Instrument는 '86년 TTC(trench transistor cell)구조의 4Mb DRAM을 발표한 이후 '89년에는 TTC 구조와 유사하지만 cell 크기를 더욱 축소시킨 CTT(composed trench transistor)구조의 16Mb DRAM을 발표하였다. 종래 TTC 구조는 capacitor 위의 trench 내부 측벽을 전부 access transistor로 사

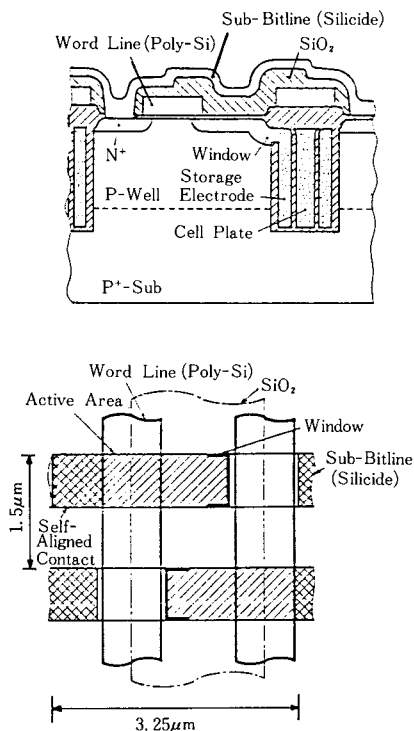


그림 7. NTT 16Mb DRAM의 IVEC 구조 cell 및 layout

용하였으나, CTT 구조는 그림 8 과 같이 field 산화막으로 분리시키고 trench 측벽 일부만을 access transistor로 사용해서 cell을 형성시켰으며, 주변회로는 salicide를 이용한 twin-tub CMOS 공정을 이용하였다.

5) 기타 형태의 memory cell 구조

위에서 언급한 cell들은 모두가 capacitor 용량을 증가시키기 위한 방향이 관심의 대상이다. 그러나 memory cell에서 access transistor도 상당히 면적을 차지하므로 줄이기 위한 연구도 활발하다. 이를 위해서 연구중인 DRAM cell로서는 그림 9와 같이 SOI (silicon on insulator) 기술을 이용한 cell과, selective epitaxy 기술을 이용한 cell들로 구분할 수 있다. SOI 기술을 이용한 cell 구조로는 Hitachi사의 SSS(stacked switching transistor on SOI) 구조와,<sup>[10]</sup> Sharp사의 SS-SPT(stacked SOI substrate plate trench capacitor) 구조가 있다. 이러한 구조들은 면적에 대한 효율성은 좋으나 SOI 구조가 가지는 근본적인 문

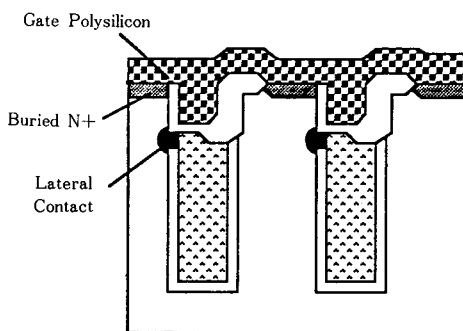


그림 8. Texas Instrument 16Mb DRAM의 CTT 구조

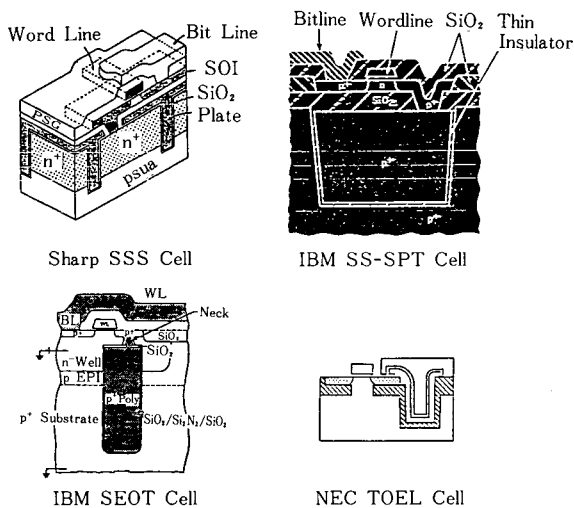


그림 9. 기타 여러가지 구조 cell

제 즉 기판의 질을 높이기 힘들고 무엇보다도 access device가 기판의 floating 상태로 동작을 해야하는 근본적인 문제점들이 산적해 있다. 최근 selective epitaxy 기술개발로 이를 이용한 cell 구조로는 SEOT (selective epitaxy over trench)<sup>[12]</sup>, TOEL (transistor on a lateral epitaxy silicon layer cell)<sup>[13]</sup> 등이 있다. SEOT 구조는 trench 위에 선택적으로 epi 층을 성장시킨 다음 trench 바로위에 access transistor를 만드는 구조로서, access transistor 면적만으로 cell 이 구성될 수 있는 효율적인 구조이다. 그러나 이러한 cell 구조에 대한 공정기술은 초기연구 단계이므로

실제 제품에 적용하기에는 상당한 기간이 소요될 것으로 생각된다.

본 절에서는 16Mb DRAM에 사용되고 있는 cell 구조의 경향 및 특징에 대해서 언급하였다. 현재 16M bit 전체가 정상동작을 하는 16Mb DRAM full chip working die를 제작한 회사는 전세계적으로 2-3개 회사에 불과한 것으로 알려지고 있으며,<sup>[14]</sup> 양산까지는 앞으로 2년후인 91-92년 정도로 예상함으로 0.5-0.6 $\mu$ m design rule에 맞는 공정기술의 안정화와 신뢰성 향상에 주력할 것으로 생각된다.

#### IV. 16M/64M DRAM을 위한 Memory Cell 구조 분석

16M나 64M DRAM에 적용하기 위하여 연구가 진행되고 있는 새로운 형태의 DRAM cell 특성들을 표 3에 정리하였다. 최근 cylinder 형태의 stack 구조인 1.28 $\mu$ m<sup>2</sup> cell을 사용해서 chip size가 198mm<sup>2</sup>인 64M DRAM 시험 시제품을 처음으로 '90 VLSI Symposium에서 일본의 Hitachi사가 발표하였다.<sup>[15]</sup> 더욱이 차세대 DRAM에서는 고밀도로 집적화하는 초미세형 DRAM cell 기술이 더욱 더 증대될 것으로 예상된다.

이와 같이 작은 1.28 $\mu$ m<sup>2</sup> cell size에서는 4M/16M에서 사용되었던 단순한 stack 구조나 trench 구조의 cell로서는 scaling이 불가능하며, access transistor나 capacitor 또는 두소자 모두 3차원화시키는 연구가 진행되고 있다. 87년 이후부터 최근까지 발표된 stack 형, trench 형, stacked trench 형 cell들에 대한 형태별 특성별로 구분하여 분석하여 보았고, 차세대 DRAM에 적용 가능성을 살펴보면 다음과 같다.

##### 1) Stack 형 구조 cell

Capacitor의 storage 용량을 증가시키기 위하여 그림10에서와 같이 storage node를 수직으로 세우거나 access transistor의 윗면이나 측면으로 확장시켜서 storage node 면적을 증가시키는 방법이 있다. 이러한 방법을 응용한 cell로서는 Toshiba사의 STC I, STC II 형 cell<sup>[16]</sup> Mitsubishi사의 T-shaped STC<sup>[17]</sup>, storage node의 형태를 fin 구조로 한 Fujitsu사의 fin STC<sup>[18]</sup>, Hitachi 사의 DASH 구조<sup>[19]</sup>가 있다. Hitachi의 stack 형 cell인 DASH 구조 cell에서 storage node가 차지하는 면적을 최대로 증가시키기 위해서 bit-line이 먼저 형성한 후 storage node를 만들었고, cell이 bit-line에 대각선으로 구성되어 있다.

이렇게 하면 bit-line이 storage node와 plate에 의해 shield 되는 효과로 bit-line coupling capacitance가

줄어드는 장점이 있다. 또한 Toshiba의 STC형 cell에 얇은 trench를 적용시킬 경우 storage 용량을 증가시킬 수 있어 64Mb DRAM에도 적용 가능함을 보여주고 있다.

최근에는 Toshiba사가 발표한, storage node를 인접 cell 영역까지 확장시켜서 capacitor의 용량을 종래 stack 구조보다 약 2배 정도 증가시킨 새로운 개념의 SCC (spread stackgd capacitor) cell<sup>[20]</sup>을 그림9에 나타내었다. Bit-line을 형성한 다음에 서로 이웃하는 2개 cell의 storage node를 서로 별개층으로 형성하여 각각이 겹치도록 서로 상대 cell의 영역까지 확장시킨다. 이와같이 하면 한개 storage node가 거의 2배의 memory cell 영역을 사용할 수 있어서 storage 용량을 크게 증가시킬 수 있고 64M/256M DRAM에 사용할 수 있는 가능성이 매우 크다고 할 수 있다.

이와같은 stack 형의 cell은 아주 미세한 cell 면적에 storage 용량을 증가시키기 위해서 storage node의 높이가 점차로 높아지는데 이에따라 발생하는 높

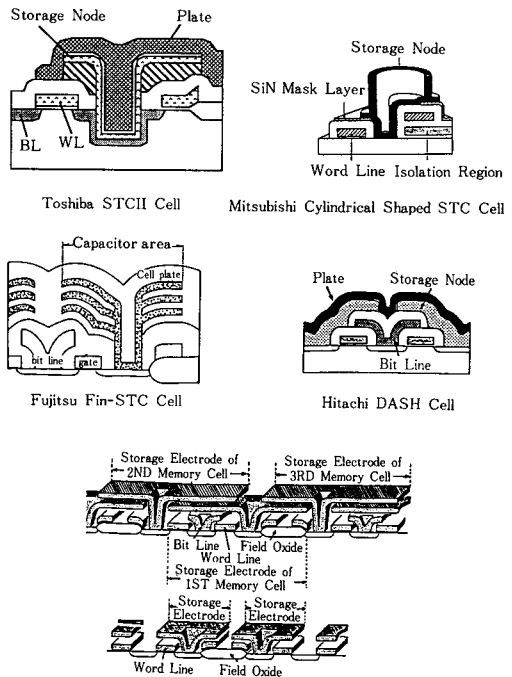


그림10. 여러가지 storage node 형태의 stack 구조 cell



표 3. DRAM cell for 16/64 M bits

특성 / Maker	TOSHIBA	TOSHIBA	MITSUBISHI	TEXAS INS.	HITACHI	TOSHIBA	TOSHIBA	HITACHI	FUJITSU	FUJITSU	IBM
Cell 구조 (Name)	Merged Trench SGT	Spread Stacked SSC	Novel Stacked T-shaped Stack	Trench CTT	Stack DASH	Stack STC1	Stack STC II	Stack SISTC	Stack Fin-STC	Stack Fin-STC	Merged Trench MINT
Design (μm)	0.5	0.3	0.4	0.6	0.5	0.5	7	0.6	0.5	for 64M	0.5
Cell 면적 (μm <sup>2</sup> )	1.2(4.8F <sup>2</sup> )	1.3	1.5	3.75(10.4F <sup>2</sup> )	3.4(13.6F <sup>2</sup> )	3.1(12.4F <sup>2</sup> )	1.3	4.2(11.6F <sup>2</sup> )	4.4(17.6F <sup>2</sup> )	1.8	4(16F <sup>2</sup> )
Storage 용량	30fF	27fF	30fF	.....	35fF	29fF	31fF	25fF	27fF	2-3fin	95fF
Trench 깊이	3μm	.....	.....	10μm	.....	.....	.....	.....	.....	.....	8μm
Dielectric 두께	T <sub>ox</sub> =50Å	T <sub>ox</sub> =40Å	T <sub>ox</sub> =50Å	T <sub>ox</sub> =150Å T <sub>ox</sub> =215Å	T <sub>ox</sub> =50Å	T <sub>ox</sub> =80Å	T <sub>ox</sub> =80Å	T <sub>ox</sub> =150Å	?	?	?
Key 특징	Three step Trench each side wall Tr.	Two step of storage node formation	1.5μm Storage node Height	Deep trench Buried lateral contact	Triple poly/Single Mo polycode Double Al	Stack	Stack & Shallow trench	PEARL Self aligned isolated plate	Poly Fin process	Poly Fin process 2-3 Fin process	Deep Trench 8μm process
JOURNAL	'89 IEDM	'89 IEDM	'89 VLSI Sympo.	'88 VLSI Sympo.	'88 IEDM	'88 IEDM	'88 IEDM	'88 IEEE ED	'88 IEDM	'88 IEDM	'88 VLSI Sympo.

특성 / Maker	MITSUBISHI	OKI	MITSUBISHI	HITACHI	TEXAS INS.	IBM	NEC	IBM	NEC	SHARP	HITACHI
Cell 구조 (Name)	Stacked Trench DSP	Stacked Trench BSCC	Trench FASIC	Stacked Trench HSPC	Trench TTC	Trench SPT	Trench BSE	Buried Trench SEOT	Trench TOEL	Trench SOI	Trench SSS
Design (μm)	0.7	0.55	0.8	0.6	0.8	0.8	0.8	0.55	1.5	.....	0.5
Cell 면적 (μm <sup>2</sup> )	5.95(12.1F <sup>2</sup> )	4.06(13.4F <sup>2</sup> )	10.9(17F <sup>2</sup> )	4.2(11.6F <sup>2</sup> )	8.9(9F <sup>2</sup> )	10.6(9F <sup>2</sup> )	0.8.8	3.3(10.8F <sup>2</sup> )	48	.....	3.4
Storage 용량	50fF	32fF	50fF	51fF	28fF	80-90fF	35fF	.....	.....	100fF	60fF
Trench 깊이	4μm	?	2μm	3μm	8μm	5-6μm	5μm	.....	.....	.....	.....
Dielectric 두께	T <sub>ox</sub> =100Å T <sub>ox</sub> =100Å	?	T <sub>ox</sub> =100Å	T <sub>ox</sub> =100Å	T <sub>ox</sub> =200Å	T <sub>ox</sub> =150Å	T <sub>ox</sub> =180Å	ONO T <sub>ox</sub> =180Å	.....	.....	ONO T <sub>ox</sub> =100Å
Key 특징	Self aligned poly S/D	2Al Twin Tub CMOS	Side wall Isolation Oblique Implant	Pad for bit line contact Side wall contact	Deep trench Vertical device process	Trench process	Trench Isolation Trench cap.	Epi over Trench	Epi growing Polishing	SOI process	SOI process
JOURNAL	'87 IEDM	'87 ISSCC	'87 IEEE SSC	'87 IEDM	'86 ISSCC	'86 ISSCC	'85 IEDM	'88 IEDM	'87 IEDM	'86 IEDM	'85 IEDM

CTT: Composed Trench Transistor  
 SST: Self aligned Isolated-plate STC Cell  
 MINT: Merged Isolation and Node Trench  
 FASIC: Folded Bit-line Adaptive Side wall Isolated Capacitor  
 BSCC: Buried Stacked Capacitor Cell  
 DASH: Diagonal Active Stacked Capacitor with a Highly-Packed storage node  
 SISTC: Self aligned Isolated-Plated STC Cell  
 DSP: Double Stacked capacitor and a Self aligned poly S/D transistor  
 HSPC: Half-Vcc Sheath-Plate Capacitor  
 TOLE: Transistor On a Lateral Epitaxial Silicon layer cell

SST: Stacked Switching Transistor in SOI  
 TTC: Trench Transistor Cell  
 SPT: Substrate Plate Trench Cell  
 SEOT: Selective Epitaxy Over Trench  
 BSE: Buried Storage Electrode  
 SGT: Surrounding Gate Transistor  
 SSC: Spread Stacked Capacitor Cell

은 단차의 topology 문제를 해결하는 방법이 주요 핵심기술로 대두되고 있다. Mitsubishi사의 W-plug 를 이용한 국부 배선 방법이나, Hitachi사의 bit-line을 storage node보다 먼저 만드는 방법등은 이러한 topology 문제를 해결하는 중요한 공정 방법들이다.

2) Trench형 구조 cell

'82년 trench 형태의 cell이 처음 발표되고, '84년 Hitachi사에서 CCC(corrugated capacitor cell) 구조의 1Mb DRAM을 발표한 이후 trench 형태를 응용한 새로운 구조의 cell들이 수 없이 개발되어 왔다. 이는 trench 구조 cell이 stack 구조의 cell보다 storage 용량을 증대시킬 수 있다는 점에서 차세대 DRAM에 적용 가능성이 더욱더 크기 때문이다. 그러나 trench 구조의 cell은 cell의 크기가 줄어들어 따라 근본적으로 발생하는 누설전류 및 punch through 문제와  $\alpha$ -particle에 의한 soft error 문제가 가장 큰 문제로 대두되었다. Trench형 cell 구조의 개발은 이러한 문제들을 해결하기 위한 방향으로 발전되고 있다. 그림11과 같이 signal 전하를 trench내에 저장하므로 inversion을 이용하는 trench capacitor에 비해서 trench와 trench 사이 거리를  $1\mu\text{m}$ 정도 이하로 줄일 수 있다. 또한 access transistor가 well 안에 위치하므로 기판의 소수 캐리어가 memory array로 침투하는 것을 막아주며, trench 부근에 소수캐리어 collection 면적이 적으므로 SER에 대한 내성이 크고 누설전류가 CCC 구조에 비해 적다. Signal 전하를 trench 내에 저장하는 같은 개념의 cell로서 BSE(buried storage electrode)구조와 TTC(trench transistor cell)구조가 있으며, 주로 4Mb DRAM에 적용되었다. TTC 구조의 cell은 WL과 BL의 교차점에 cell이 위치하므로 면적을 최소화시키는 구조이지만 WL과 WL/BL의 capacitance가 크고, buried lateral contact이 cell 면적의 축소에 한계를 준다. TTC 구조나 BSE 구조 모두 well을 사용하지 않기 때문에 substrate bias generator를 사용할 경우 substrate-plate bump 효과로서 높은 전압 stress가 가해지고, 큰 누설전류가 흐르는 단점이 있다.<sup>1)</sup>

SPT 구조 셀의 단점으로는 access transistor의 source와 trench 측벽 부근에 gated diode 구조를 가져서 storage node에서 누설전류가 큰 점이다. 또한 plate bias를  $1/2 V_{DD}$ 로 사용할 경우 plate bump noise에 의해 signal loss가 문제가 된다. IBM의 MINT(merged isolation and node trench) 구조 cell<sup>21)</sup>은 SPT 구조의 trench capacitor를 access transistor의 iso-

lation 부분에 형성함으로써 storage 용량을 증가시키면서 SPT 구조 cell noise의 영향을 최소화 하였다.

그림12는 MINT 구조의 cell과 이를 이용한 layout을 나타내고 있다. Stacked trench 형은 SPT cell에서와 같이 capacitor plate를 high doping된 기판 실리콘을 사용하는 대신 trench 안에 또 다른 poly layer를 plate로 사용한다는 점이 다르고, trench 측벽이 gated diode 구조를 배제하므로, 최근 각광을 받고 있는 cell 구조이다. Toshiba사의 STT cell이나 Mitsubishi의 DSP(double stacked capacitor cell)cell<sup>22)</sup>, Hitachi사의 HSP(half- $V_{cc}$  sheath-plate capacitor) cell<sup>24)</sup> 모두는 stacked trench 형태의 cell이다.

Mitsubishi사의 DSP구조는 그림13에서와 같이 기판과 poly I사이의 capacitor와 trench 안의 poly I, poly II 사이의 capacitor를 사용함으로써 storage 용량을 두배로 증가 시켰으며, source와 drain을 self-align 방법으로 형성하고 새로운 isolation 방법을 이용함으로써 cell 크기를 축소할 가능성을 보여주고 있다. Hitachi사의 HSPC 구조는 그림14에서와 같이 capacitor 내부를 유전체로 isolation 하여 trench와 trench 사이의 거리를  $0.5\mu\text{m}$  정도까지 가능하게 하였다. 또한 기존 cell과 같이 epi-wafer를 사용하지 않고 sheath plate 형태로 capacitor plate를 만들어  $1/2V_{DD}$ 전원을 사용하였고 유전체 두께를  $50\text{\AA}$  까지 줄이고 storage 용량을 크게 하였으며, DRAM이 안전하게 동작할 수 있는 negative substrate bias를 유지할 수 있게 하였다. 또한 기존의 HSPC 구조에 side wall contact 방법과 bit-line contact를 위한 pad

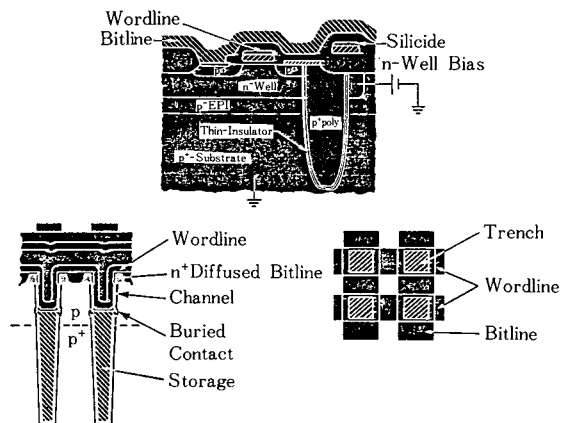


그림11. SPT, TTC 구조 cell 및 layout

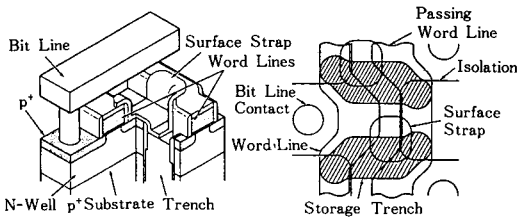
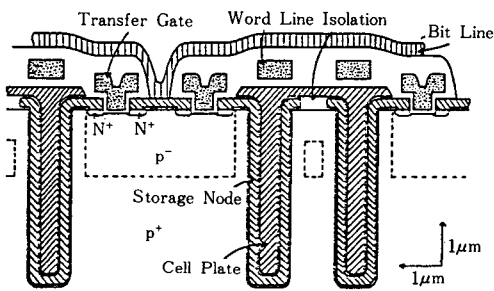


그림12. IBM MINT 구조 cell 및 layout



Cell Size:  $1.7 \times 3.5 = 5.95 \mu\text{m}^2$

그림13. Mitsubishi DSP 구조

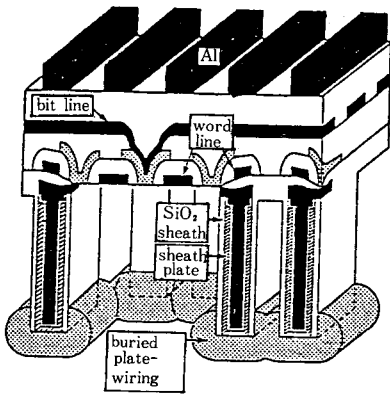


그림14. Hitachi HSPC 구조

공정기술을 사용 self-align이 가능하게 함으로써 cell 면적을  $4.2 \mu\text{m}^2$ 까지 감소시켰다. Stacked trench 구조의 단점으로는 두 poly 층 사이의 고신뢰성 절연막을 형성하는 기술과, trench 안에 두층 이상의 poly

층이 증착되므로 trench를 open하는 폭의 크기가 제약을 받게 된다.

전하 축적을 위해서 trench 측면과 바닥을 capacitor로 이용하는 대신, 길이가 긴 trench의 측면만을 capacitor로 이용하고 밑바닥을 인접 셀과 isolation에 이용한 FCC (folded capacitor cell) 구조<sup>[12]</sup>와 FASIC (folded bit line adaptive sidewall cell<sup>[9]</sup>) 구조가 있다. FCC 구조가 open-bit line 구성인 반면, 그림15와 같이 FASIC 구조는 folded-bit line 구성으로 noise에 대한 내성이 좋다. 그러나 FASIC 구조 cell 제조를 위해서 trench 측면 일부를 분리시키기 위해 side wall isolation을 위한 이온주입 및 deep trench 등 고도의 제조공정 기술이 요구된다.

Trench 측면을 storage capacitor로 이용하는 구조 중에서 trench가 grid 형태를 가지면서 access transistor 주위 전체를 이용하는 구조에는 IVEC (isolation merged vertical capacitor) 구조와<sup>[10]</sup> SCC (surrounding hi-capacitance cell) 등이 있다. 단지 IVEC 구조는 trench 안의 poly I와 poly II 사이의 capacitor를 이용하고 SCC 구조는 poly와 기판간의 hi-C 구조의 capacitor를 이용하는 점이 다르다. IVEC 구조

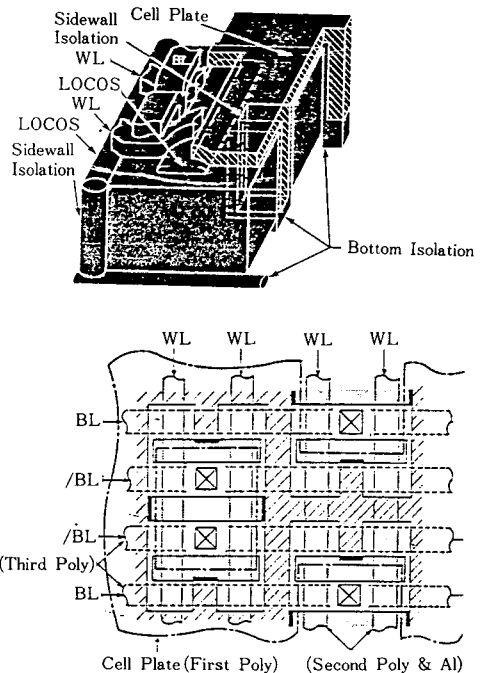


그림15. Mitsubishi FASIC 구조 cell 및 layout

는 절연막으로 isolation된 trench 안에 storage 전극이 있는 형태로 누설전류나 SER에 대한 내성이 크지만 SPT 구조에서와 같이 access transistor source 부근에 gated diode 구조로 인해 parasitic channel side well 누설전류를 클 가능성이 높다. SCC 구조는 이러한 단점은 없지만 기판에 signal 전하를 저장하는 hi-C 구조이므로 minority carrier collection 영역의 증가로 SER 내성에 대해서 취약할 가능성이 높다. 또한 이러한 구조들은 open-bit line으로 구성할 수 밖에 없어서 noise를 억제하는 회로 기술로서 보완하여야 하며, bit-line과 연결을 하기 위한 contact이 cell마다 하나씩 필요하므로 cell 면적의 효율성이 떨어지고, cell 면적 축소에 제약을 주게 된다.

본 절에서는 16M/64M DRAM에 적용을 위해서 연구중에 있는 셀의 종류 및 그 특성들을 회로 및 제조공정 측면의 장단점을 분석해 보았다. 64Mb DRAM으로 사용될 capacitor 구조가 stack 구조와 trench 구조 중에서 어느쪽이 더 유리한가는 각 구조의 장단점으로 인하여 상반된 주장이 많다. 그래서 대부분의 maker들은 두가지를 병행하여 연구개발을 수행할 것으로 생각된다. 또한 이러한 셀들이 실제 DRAM 제품에 적용하기 위해서는 제조 공정의 용이성, 신뢰성, cost 등에 대한 제약을 먼저 고려해야 하며, chip architecture에 대해서도 신중한 고려가 필요하다.

V. 64M/256M DRAM Cell 연구동향

4M DRAM 세대 이후 한정된 면적내에 충분히 큰 storage 용량(≥25fF)을 확보하기 위하여, stack이나 trench 구조와 같은 capacitor의 3차원 구조가 필수적이다. 4M부터 64M 세대까지는 이들중 어느 한 형태가 변형되어 사용된 것이다. 그러나 256M나 1G DRAM에서는 capacitor 부분의 3차원 구조만으로 실현 가능성이 없고 access transistor 부분도 surrounding gate transistor (SGT) cell<sup>[26]</sup>과 같이 3차원화가 필수적이라고 예측된다.

미국 TI사에서는 '89 IEDM에서 4M DRAM에서 사용한 trench 구조를 병행하여 소자분리에 field plate isolation 법을 사용한 trench capacitor 64M DRAM에 적용 가능성을 발표하였다.<sup>[26]</sup> 이와같이 단순한 trench cell이 아니고 transistor까지도 3차원화 한 trench cell로써 64M DRAM을 실현할 수 있음을 보여주었고, 또한 256M DRAM 이상의 대용량을 얻을 수 있는 미세한 memory cell로서 silicon pillar 형태 구조로 된 SGT cell이 그림16에서와 같이 새로이 제안

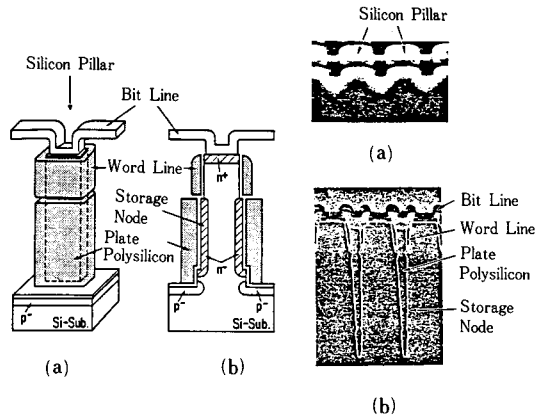


그림 16. SGT cell

되어 이용 가능성이 확인되었다.<sup>[26]</sup>

SGT cell의 특성을 살펴보면 먼저 silicon pillar를 형성하여, 그 sidewall 상부에 transistor를 sidewall 하부에 capacitor를 verical하게 세워서 pillar 상부에 contact를 만들도록 형성시킨다. 이 때문에 silicon pillar는 4개 side 면에 형성된 gate로 control로 되어, 그 영향은 transistor channel 안쪽 silicon pillar 전체에 미치기 때문에 switching 특성이 평면 transistor 보다 개선된다. 또 channel 길이를 축소시키는 것과는 무관하게 channel을 trench 깊이 방향으로 크게 확장시킬 수 있기 때문에 short channel 효과를 억제할 수 있으며, 전류 구동 능력도 향상시킬 수 있다. 그러나 trench cell array을 축소함으로써 발생하는 trench-trench 간의 leakage current가 가장 큰 문제가 되며, trench 구조를 형성하기 위한 dry etch 및 refill 기술, trench 측면의 결함 제어기술, sidewall doping 기술 등, trench 입구가 작아질수록 고도의 공정기술이 필요하다.

특히 cell-cell 간의 isolation은 LOCOS isolation으로 실현할 수 있는 최소폭인 0.8μm보다도 대폭으로 감소시킬 수 있는 방법으로는 trench 방법이 그 가능성이 가장 크며, 0.3μm 이하의 isolation도 가능하다고 확인되고 있다.

'89 IEDM에서 toshiba 사는 이러한 SGT cell로서 0.7μm design rule을 이용하여 16M DRAM 정도에 사용하는 3.6μm<sup>2</sup> memory cell을 제작하여 기본동작인 "1"과 "0"의 data를 read/write 하는데 기본적인 문제점은 없다는 것이 판명되었다. 또한 16M DRAM에 사용될 0.5μm의 design rule을 사용하게 되면

64M DRAM cell size인  $1.2\mu\text{m}^2$ 안에 30fF 정도의 동작하는데 충분한 storage 용량을 가진 memory cell의 이용 가능성이 매우 높은 것으로 판명되었다.

이 보다 더 미세한 256M/1G DRAM의 cell size도 trench cell의 장점인 flexible 한 design rule로서 실현 가능하게 하여 종전보다도  $0.15\mu\text{m}$ 급 1G DRAM 개발 가능성이 높아졌다고 말할 수 있다.

따라서 surrounding gate transistor cell은 transistor와 capacitor를 동시에 축소할 것으로 64M DRAM 이후 가장 각광받는 memory cell 구조가 될 것이며, 실용화가 될 memory cell 기술은 이 보다 더 발전될 기술의 형태도 고려 될 것이다.

## VI. 결 론

전술한 바와 같이 먼저 차세대 DRAM 개발에 필요한 memory cell 기술과 기술적인 요구사항들에 대해서 쉽게 이해할 수 있도록 주요 memory cell parameter들을 one-transistor memory cell의 charge storage 개념을 토대로 분석, 차세대 DRAM에 적용될 주요 parameter 들의 범위를 예측하였다. Mega bit급 이상의 DRAM을 cost effective하게 개발, 생산하기 위해서는, minimum feature size(F)가 submicron으로 내려감에 따라 이들에 적용될 DRAM cell 구조는 one-transistor와 one-capacitor로 구성된 stack이나 trench 형태로 3차원화가 이루어진 구조가 필수적이다.

지금까지 조사한 바와 같이 16Mb DRAM에 적용할 memory cell 기술로 초기 개발단계에서는 stack, trench 및 SEG(selective epitaxial growth)기술 등을 이용한 여러 형태의 memory cell 구조들이 연구되어 이들의 적용을 시도하였으나, 제조공정의 용이성, 안정화 및 신뢰성을 고려할 때 stack 형태의 memory cell 구조가 유리할 것으로 판명되어지고 있다. 16M DRAM 개발기술로써 design rule은  $0.5-0.6\mu\text{m}$ 이고 capacitor에 사용되는 유전체는  $\text{SiO}_2$ 나 ONO 박막을 사용할 수 있으므로 4M bit 이상의 DRAM을 기술의 연장선 상에 있다고 볼 수 있다.

그러나 64M bit 이상의 DRAM을 개발하기 위해서는 storage capacitor 유전체의 전하 저장 밀도(storage charge density)가  $20\text{fc}/\mu\text{m}^2$  이상이므로, 기존에 사용되고 있는  $\text{SiO}_2$ 나 ONO 같은 박막들은 사용될 수 없으며,  $\text{Ta}_2\text{O}_5$  박막이나 PZT 박막같은 고유전율을 갖는 유전체 개발이 필수적이며 design rule은

$0.4\mu\text{m}$  이하로써 기존의 optical 방법에 의한 lithography 기술로서는 실현불가능하므로 excimer, X-ray high speed E-beam 등의 새로운 lithography 기술개발이 필요하다. Memory cell의 구조는 stack이나 trench 형태의 3차원 구조로서 cell aspect ratio가 크게 증가될 것이므로 deep submicron lithography 기술과 더불어 ECR etch와 같은 고정밀도의 dry etch 기술이 필요하게 될 것이다. 또한 device scaling에서도 물리적인 한계에 도달하였기 때문에 memory cell 구조는 capacitor 부분의 3차원화 뿐만 아니라 transistor 부분도 SGT cell에서 같이 3차원화를 이룩한 memory cell 구조가 크게 각광을 받을 것으로 전망된다.

## 參 考 文 獻

- [1] Nicky C.C. Lu, "Advanced Cell Structures for Dynamic RAM's," IEEE Circuits and Device, pp. 27-36, Jan. 1989.
- [2] A.F. Tasch, Jr., IEEE Proceedings, Jan. 1989
- [3] A.F. Tasch, Jr. and L.H. Parker, IEEE Proceedings, p. 374, March 1989.
- [4] Kazutami Armoto, et. al., "A 60ns 3.3V 16Mb DRAM," ISSCC, pp. 224-245, Feb. 1989.
- [5] Toshio Takeshima, et. al., "A 55ns 16Mb DRAM," ISSCC, pp. 246-247, Feb. 1989.
- [6] Syuso Fujii, et. al., "A 45ns 16Mb DRAM with Triple-well Structure," ISSCC, pp. 248-249, Feb. 1989.
- [7] Daeje Chin, et. al., "An Experimental 16Mb DRAM with Reduced Peak-Current Noise," VLSI Circuits, pp. 113-114, May 1989.
- [8] Y. Kawamoto, et. al., "A Half Micron Technology for an Experimental 16M bit DRAM Using i-line Stepper," VLSI Technology, pp. 17-18, 1988.
- [9] G. Suzuki, et. al., "A 128 k Word  $\times$  86 DRAM," ISSCC Digest of Technical Papers, pp. 106-107, Feb. 1984.
- [10] M. Ohkura, et. al., "A Three-Dimensional DRAM Cell of Stacked Switching Transistor in SOI," IEDM Tech., p.244, 1985.
- [11] M. Wada, et. al., "Foiled Capacitor Cell (FCC) for Future Megabit DRAM's," IEDM Dig. Tech. Papers, p. 244, 1984.

[12] N.C.C. Lu, et. al., "A Buried-Trench DRAM Cell Using A Self-aligned Epitaxy Over Trench Technology," IEDM Tech. Dig., p. 588, 1989.

[13] T. Kubota, et. al., "A New Soft-Error Immune DRAM Cell with A Transistor on a Lateral Epitaxial Silicon Layer (TOEL)," IEDM Tech. Dig., pp. 344-346, 1987.

[14] "NEC Toshiba, Mitsubishi 16M DRAM 발표, 0.5 $\mu$ m급 Trench Cell의 가능성," 월간 Semiconductor World, pp. 52-53, 1989.

[15] Y. Kawamoto, et. al., "A 1.28 $\mu$ m<sup>2</sup> Bit-line Shielded Memory Cell Technology for 64Mb DRAM," VLSI Technology, pp.13-14, 1990.

[16] H. Wantanabe, et. al., "Stacked Capacitor Cells for High-density dynamic DRAM's," IEDM Tech. Dig., p. 600, 1988.

[17] W. Wakamiya, et. al., "Fully Planarized 0.5 $\mu$ m, Technologies for 16M DRAM'S," IEDM Tech. Dig., p. 592, 1988.

[18] T. Ema, et. al., "3-Dimensional Stacked Capacitor Cell for 16M DRAM'S," IEDM Tech. Dig., p. 592, 1988.

[19] S. Kimura, et. al., "A new Stacked Capacitor DRAM Cell Characterized by a Storage Capacitor on a Bit-line Structure," IEDM Tech. Dig., pp. 566, 1988.

[20] S. Inoue, et. al., "A Spread Stacked Capacitor (SSC) Cell for 64M bit DRAM's," IEDM, p. 31, 1989.

[21] S. Kenney, et. al., "Double Stacked Capacitor with Self Aligned Poly Source Drain Transistor Cell for M bit DRAM's," Tech. Dig., p. 328-329, 1987.

[22] K. Tsukamoto, et. al., "Double Stacked Capacitor with Self Aligned Poly Source Drain Transistor Cell for M bit DRAM's," IEDM Tech. Dig., pp. 328-329, 1987.

[23] S. Youhilka, et. al., "4M Bit Pseudo Virtually SRAM," ISSCC, pp. 20-21, 1987.

[24] T. Kaga, et. al., "Half-Vcc Sheath-Plate Capacitor DRAM Cell With Self-Aligned Buried Plate-Wiring," IEDM, p. 333, 1987.

[25] K. Mashiko, et. al., "A 4M bit DRAM with foled-bit line adaptive sidewall isolated capacitor (FASIC) cell," *IEEE J. of Solid-State Circuits*, vol. SC-22, no. 5, Oct. 1987.

[26] K. Sunouchi, et. al., "A surrounding Gate Transistor (SGT) Cell for 64/256M bit DRAM's," IEDM, p. 23, 1989.

[27] B.W. Shen, et. al., "Scalability of a Trench Capacitor Cell for 64M bit DRAM," IEDM, p. 27, 1989. (IEEE logo)

筆者紹介



金 千 洙  
 1959年 8月 30日生  
 1982年 2月 경북대학교  
 전자공학과 (학사)  
 1984年 2月 경북대학교  
 전자공학과(석사)

1986年 1月~현재 한국전자통신연구소 기억소자개발  
 1실, 연구원



李 鏞 浩  
 1957年 10月 6日生  
 1980年 2月 경북대학교 물리학과  
 (학사)  
 1982年 9月 고려대학교 물리학과  
 (석사)

1982年 3月~현재 한국전자통신연구소 기억소자개발  
 1실, 선임연구원



李炳憲

1934年 12月 19日生  
1958年 4月 서울대학교 물리대  
물리학(학사)

1986年 한국전자통신연구소 기술지원단 단장  
1987年 한국전자통신연구소 반도체 기술지원센터장  
1990年 3月~현재 한국전자통신연구소 반도체연구단  
조사역



金大容

1949年 8月 13日生  
1985年 5月 텍사스 주립대학교  
(석사)  
1988年 5月 텍사스 주립대학교  
(박사)

1977年 9月~현재 한국전자통신연구소 기억소자개발  
1실장, 책임연구원



李揆弘

1959年 5月 29日生  
1982年 2月 전남대학교 물리학과  
(학사)  
1985年 2月 KAIST 물리학과  
(석사)

1985年 1月~현재 한국전자통신연구소 기억소자  
개발 1실, 연구원