

## '90년대 Microelectronics의 중점 연구 분야

金嶂柱, 李勳馥, 朴亨茂, 朴成柱, 朴晨鍾

韓國電子通信研究所

### I. 서론

실리콘 반도체의 공정기술과 회로설계 기술의 발달은 VLSI의 집적도와 동작속도를 계속 증가시켜 왔으며 1980년대 말에는 4M-bit DRAM, 백이십만개의 트랜지스터로 구성된 마이크로 프로세서의 구현이 가능하게 되었다<sup>[1]</sup>. 실리콘 VLSI 기술은 1990년대에도 계속 발달하여 Micro 2000 같은 개인용 컴퓨터<sup>[1]</sup>, 광대역 ISDN, HDTV 같은 가전제품 등에서 요구되는 고밀도 메모리<sup>[2]</sup> 및 고속의 정보처리용 프로세서의 구현이 가능하리라 전망된다. 그림 1과 2에서 보듯이 90년대 말에는 고전역학의 한계라고 예측되는 0.2 $\mu$ m 최소 선폭을 가진 1G-bit DRAM과 750 MIPS의 성능을 갖는 마이크로프로세서가 출현할 것으로 보인다. 국내에서도 80년대 중반부터 메모리 사업을 중심으로 하여 반도체 산업에 뛰어들어 이래 발전을 거듭하여 80년대를 마감하는 시점에서 분야에 따라서 가장 앞선 나라와의 격차를 2-3년 정도로 줄였다. 반도체 기술의 전반에 걸친 현황 분석과 전망들은 이제까지 전자공학회지 기술 해설이나 특집 등<sup>[2-7]</sup>에서 많이 언급되었기 때문에 본 고에서는 90년대에 중요하게 대두될 부분들만을 중심으로 하여 기술하기로 한다.

실리콘 VLSI의 성능 향상은 80년대에는 CMOS 주도로 이루어졌지만 90년대에는 바이폴라 기술과 CMOS의 장점을 모두 갖춘 BiCMOS 기술을 중심으로 이루어질 전망이다<sup>[8,11]</sup> II장에서는 BiCMOS 기술을 중심으로 한 실리콘 VLSI의 기술 현황을 소개하고 90년대의 전망을 기술하였다. 고속, 광특성, 초고주파 등의 특성 때문에 80년대부터 활발히 연구되어온 GaAs 반도체는 90년대에도 계속 발전될 전망이다<sup>[9]</sup> III장에서 기술하였다. 집적도의 지속적인 증가에 따라서 공정 기술의 발

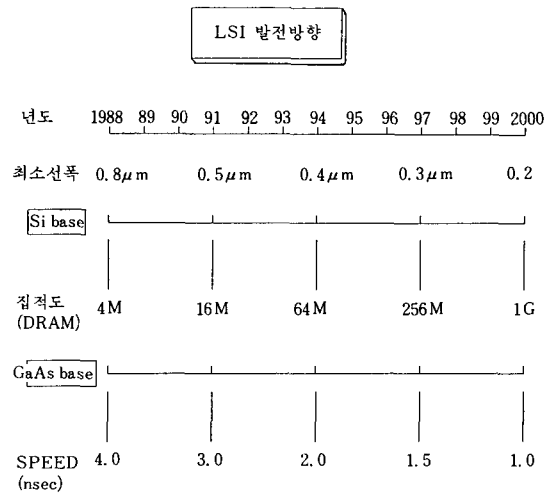


그림 1. 년도에 따른 반도체 기술의 발전동향

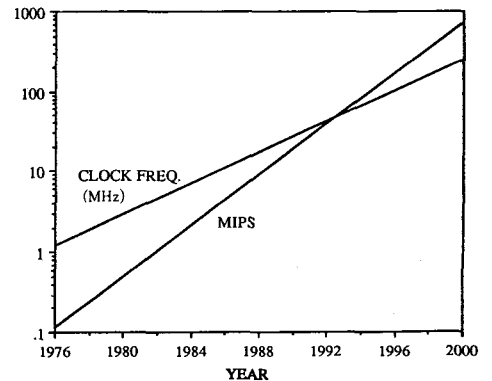


그림 2. 마이크로프로세서의 성능 추세<sup>[11]</sup>

전이 필연적으로 요구되며 이 중에서 핵심이 되는 패턴 형성 기술에 대하여 IV장에서 간략하게 언급하였다. 컴퓨터의 속도가 점점 빨라짐에 따라 칩내에서 보다 칩과 칩을 연결해 주는 실장 부분에서의 시간 지연이 점점 더 큰 부분을 차지하게 된다. 현재 IBM 3090에서 MCM (multi chip module)을 사용한 경우에도 시간 지연의 52%가 실장 부분에서 발생되고 있다<sup>[19]</sup>. 이러한 관점에서 MCM에 대한 기술 현황과 발전 방향을 V장에서 기술하였다. VI장에서는 미래의 기술로서 nanoelectronics에 대하여 소개하고 마지막으로 국내 기술 개발 전략을 간략히 개진하고자 한다.

이 글에서 언급된 분야외에도 중요한 많은 분야가 있으리라 예상되지만 전 분야를 언급하기에는 너무 광범위하기 때문에 필자들이 보기에 중요하지만 국내에서 소홀히 되어온 부분, 언급이 적었던 부분이라고 생각되는 부분에 중점을 두었다. 이 점 독자들의 양해를 바란다.

## II. BiCMOS 기술

1980년대의 Si VLSI는 CMOS 기술을 주축으로 하여 소자의 down scaling에 의한 집적도의 증가와 gate delay의 감소등의 영향으로 그 성능이 크게 증가하였다. 그러나 소자간의 연결을 위한 배선때문에 생기는 delay는 상대적으로 증가하여 CMOS VLSI의 성능 향상에 큰 기여를 걸지 못하게 되었다. 이러한 가운데 BiCOMS의 등장은 고집적 VLSI의 성능 향상의 길을 열었으며 8ns access time을 갖는 1M-bit SRAM, 70MHz의 32bit 마이크로프로세서의 구현은 BiCMOS의 앞날이 밝음을 보여주고 있다. 이 장에서는 BiCMOS 기술을 이용한 VLSI의 현황 및 앞으로의 전망을 살펴보고자 한다.

### 1. BiCMOS 기술 현황

BiCMOS 기술은 CMOS 소자와 바이폴라 소자를 한 chip에 만들어 CMOS의 장점인 고집적도와 저소비전력, 바이폴라 소자의 특징인 높은 동작 속도를 함께 얻고자 하는 것으로 1980년대 중반부터 각광을 받기 시작했으며<sup>[10]</sup>, 현재 TI, 시그네틱스, 모토로라, 히다찌, NEC등 여러 기업에서 BiCMOS 기술을 이용한 VLSI가 제작되고 있다.

BiCMOS VLSI는 interconnection line이 길거나 fan-out이 많을 경우 바이폴라 구동 회로를 사용함으로써 CMOS보다 훨씬 빠른 속도로 동작할 수 있는 장점이 있으며 ECL보다 집적도가 높고 전력소모가 적

기때문에 고속/고집적 SRAM, 마이크로프로세서, gate array등 그 응용 분야가 다양하다<sup>[9,11]</sup>.

SRAM은 BiCMOS 기술이 제일 많이 이용되고 있는 분야인데 기존의 CMOS 메모리 회로 중에서 decoder의 구동 회로, sense amp. 등 critical path의 회로를 바이폴라 회로로 대체함으로써 메모리의 동작 속도를 높이고 있다. 표 1에서 볼 수 있듯이 8ns의 access time을 갖는 1M-bit SRAM이 0.8 $\mu$ m BiCMOS 기술로 만들어지고 있는데 0.5 $\mu$ m CMOS 기술로 만든 9ns의 access time을 갖는 1M-bit CMOS SRAM과 비교해 볼 때 훨씬 느슨한 design rule로써 더 빠른 속도를 얻을 수 있음을 알 수 있다<sup>[22,23]</sup>.

마이크로프로세서와 gate array에서도 SRAM의 경우와 같은 방법으로 긴 선과 clock의 구동회로, 연산기의 carry 전달회로등에 바이폴라 회로를 사용함으로써 동작 속도를 증가시킬 수 있다<sup>[14]</sup>.

표1에 있는 논리용 BiCMOS VLSI의 예에서 보듯이 70MHz로 동작하는 32bit 마이크로프로세서, 200MHz로 동작하는 gate array등 논리용 VLSI에도 SRAM 못지 않게 BiCMOS 기술이 이용되어 CMOS를 이용한 경우보다 2배에 가까운 동작 속도를 얻고 있다. 그림3에 ECL, CMOS, BiCMOS 기술을 이용한 gate array의 속도 경향이 나타나 있는데 BiCMOS 기술이 ECL과 CMOS의 영역을 잠식하고 있음을 보여주고 있다.

표 1. BiCMOS VLSI의 예

품 목	집 적 도	속 도	최 소 선 폭
32 bit 마이크로프로세서	529K 트랜지스터	70MHz	1.0 $\mu$ m
Gate Array	10,000~ 24,000gates	100~200 MHz	1.2 $\mu$ m
Programmable Logic Sequencer	1,000gates	76MHz	1.2 $\mu$ m
SRAM	1M $\times$ 1bit	8ns access time	0.8 $\mu$ m

### 2. BiCMOS VLSI의 전망

1990년대의 실리콘 VLSI는 ECL, CMOS, BiCMOS 기술을 중심으로 1990년대 중반에는 0.5 $\mu$ m, 1990년대 말에는 0.2 $\mu$ m의 패턴 크기를 갖게 될 것으로 보인다. 용도별 기술을 보면 CMOS는 고집적회로에, ECL은 초고속회로에 사용되고, 고집적/고성능을

함께 요하는 SRAM, 마이크로프로세서 등 대부분의 VLSI는 BiCMOS 기술로 구현될 것으로 전망된다.

소자의 scaling에 따른 BiCMOS의 gate delay는 capacitor 부하의 감소 또는 바이폴라 트랜지스터 전류이득의 증가 등에 의하여 계속적으로 감소될 것으로 보이며 1990년대 중반에는 0.2ns의 gate delay를 이룰 수 있을 것이다<sup>[11]</sup>. 이와 같은 추세로 볼 때 1995년 경에는 120MHz 이상으로, 1990년대 말에는 200MHz 이상으로 동작하는 마이크로프로세서가 BiCMOS 기술로 구현되리라 전망된다.

또한 BiCMOS는 capacitor 부하에 따른 delay 특성과 ECL, TTL, CMOS 등 여러 신호 레벨을 쉽게 만들 수 있는 장점 때문에 gate array, standard cell 등 ASIC의 중심 기술이 될 전망이다<sup>[12,13]</sup>. 이 외에도 아날로그와 디지털이 혼합된 VLSI, 광대역 ISDN 등 통신용 VLSI 등에도 BiCMOS가 널리 사용될 것으로 보인다.

위와 같은 1990년대의 전망이 실현되기 위해서는 0.2~0.5 $\mu$ m 패턴의 공정기술이 기본적으로 갖추어져야 하고 바이폴라와 CMOS를 결합한 회로에 대한 연구가 필수적이다. 또한 수백만 내지 수천만개의 소자로 구성된 VLSI를 테스트하는 기법, fault-tolerance 기능을 첨부하는 기법이 큰 문제점으로 되어 있으며 아날로그와 디지털 혼합회로를 위한 효율적인 시뮬레이션 및 자동설계에 관한 연구가 남아 있는 과제이다<sup>[15]</sup>.

### III. GaAs 반도체 기술 현황

화합물 반도체란 III-V족이나 II-VI족 원소로 구성된 매우 다양한 종류의 반도체를 총체적으로 칭하고 있다. 화합물 반도체는 일반적으로 결정 성장 기술이나 공정기술이 Si 반도체에 비하여 뒤떨어져 있으나 응용분야에 있어서는 그 범위가 매우 넓어서 Si 반도체가 취약한 부분인 고속특성, 광특성, 초고주파 특성, 자기특성, 내방사선 특성, 내고온 특성등이 매우 우수함으로써 그 필요성이 증대하고 있다. 그중에서도 GaAs 반도체는 이러한 제특성이 특히 우수하여 80년대에 들어 결정 성장 기술의 비약적인 발전과 함께 직경 4"인 웨이퍼를 사용한 대량생산을 가능케 함으로써 가격 경쟁력면에서도 일반 정보통신 기기나 산업용 기기에서 충분히 활용될 수 있는 수준까지 발전하였다. 이러한 GaAs 반도체에 대해서는 많은 기술해설 기사가 발표된 바 있으나<sup>[6,15-16]</sup> 본란에서는 GaAs 반도체의 위상

정립이라는 관점에서 90년대의 발전방향 및 국내 산업계의 대처 방향에 대하여 살펴보고자 한다.

#### 1. GaAs 반도체의 응용분야

GaAs 반도체의 여러 특성중에서 대표적인 것은 고속특성, 광특성, 초고주파특성이다. 이러한 주요 응용분야에 대한 현재 기술현황 및 예측은 다음과 같다.

##### 1) GaAs 고속 집적회로

GaAs 고속 IC 기술은 위에서 언급할 GaAs 광전 집적회로나 GaAs 초고주파 집적회로개발의 견인차 역할을 하며 현재 가장 급격한 발전을 맞이하고 있다. 이 분야는 ECL(emitter coupled logic)을 중심으로한 Si 고속 IC 기술과의 경쟁을 통하여 Si 반도체와의 상호보완적인 관계정립을 모색하고 있다. 90년대의 GaAs 고속 IC의 발전방향을 예측하여 보면 다음과 같다. 첫째, 메모리분야에서 집적도를 높이고자 하는 노력은 최근 Si BiCMOS를 이용한 10nsec 전후의 256K~1M SRAM이 개발<sup>[5]</sup>됨에 따라 경쟁력을 잃어가고 있으며 대신 64K SRAM 이하의 집적도에서 2nsec 전후의 고속화를 이룩하려는 노력과 논리회로와 함께 on-chip화 하려는 연구가 활발히 수행되고 있다. 둘째, 논리회로 분야에서는 기존의 MSI 수준의 표준논리회로의 개발과 아울러서 저소비전력 게이트 어레이를 중심으로한 LSI, VLSI에 대한 업적이 괄목할만하다 하겠다. 게이트 어레이에 대한 집적도 향상은 과거의 기술예측 속도를 앞서는 것으로서 현재 15K 수준이 활용되고 있으며<sup>[24]</sup> 이러한 고속 IC는 저소비전력이라는 잇점과 함께 Si ECL게이트 어레이에 대해 충분한 가격 경쟁력을 갖게되리라 판단된다.

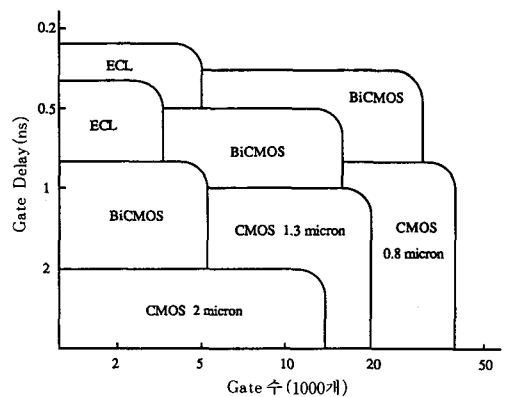


그림 3. 실리콘 gate array의 소자기술<sup>[9]</sup>

이러한 GaAs 고속 IC의 발전추세로 미루어 볼때 90년대말에는 100K 게이트 어레이와 64K SRAM의 on-chip화가 가능하리라 기대되며 CRAY-3과 같은 슈퍼컴퓨터 뿐만아니라 100~1000 MIPS의 work-station 개발에 필수적인 부품으로 성장하리라 전망된다.

2) GaAs 광전 집적회로

광특성을 이용한 현재의 GaAs 반도체기술 수준은 소자의 생산과 일부 작은 규모의 집적회로에 대한 연구단계라 할 수 있다. 당연한 귀결로써 90년대에는 집적화가 빠른속도로 진척되리라 기대되며 집적화의 방향으로는 수광소자나 발광소자의 어레이 혹은 광신호 처리 기능을 부여한 광집적회로와 일부 광기능과 고속 전기신호 처리기능을 집적화한 광전 집적회로가 있다. 그림4에 현재까지 개발된 광전 집적회로중에서 최고의 집적도를 갖는 IBM의 1Gb/s 데이터 통신용 IC를 보인다<sup>[18]</sup>. 이러한 광전 집적회로는 일반적으로 수백MHz~수GHz 범위의 매우 높은 주파수대역에서 동작하기 때문에 설계시에 광특성과 아울러 고속특성, 초고주파특성에 관한 종합적인 설계기법이 필요하며 또한 공정기술면에 있어서도 광소자와 전기소자를 동시에 만들수 있는 종합적인 공정개발이 필요하다. 이러한 어려움 때문에 광전 집적회로는 80년대에는 널리 활용되지 못하였으나 최근에는 GaAs 고속 IC개발을 통하여 양산화 공정기술이 확립되고 다층 에피성장 기술에 있어서도 화학증착 장치인 MOCVD(metal organic chemical vapor deposition)나 진공증착 장치인

MBE(molecular beam epitaxy)를 이용한 대량생산 기술이 개발되고 있어서 90년대에는 광전 집적회로가 널리 사용되리라 기대된다.

3) GaAs 초고주파 집적회로

GaAs 초고주파 집적회로는 MMIC(monolithic microwave integrated circuit)로써 개별 MESFET 소자를 세라믹 기판위에 붙여서 만든 HIC(hybrid integrated circuit)와 구별된다. 1980년대에 들어서서 급속히 진행된 GaAs 고속 IC에 대한 연구, 개발열풍은 그 개념을 초고주파 대역에까지 확장시켜 1981년에는 광대역 증폭기 MMIC가 최초로 상품화 되었다. 표 2에 FET의 발명에서부터 MMIC의 발전단계를 정리하였다. 특히 80년대에 들어서서는 초고주파대역이 과거의 군사용 위주에서 벗어나 DBS(direct broadcast satellite)와 같은 가전제품으로 새로운 시장개척을 이룩함에 따라 이러한 제품의 생산원가 절감과 대량생산의 필요성이 MMIC의 개발을 촉진하였다. 이와같은 동향은 90년대에 들어서도 더욱 가속되어 HDTV나 이동통신, 휴대용단말기등에 있어서 초고주파나 밀리 메타파의 응용은 점차 증대되며 이에따른 MMIC의 발전 전망은 매우 밝다고 하겠다.

2. GaAs 반도체 기술개발의 문제점

90년대에 본격적인 활용이 기대되는 GaAs 반도체가 직면하고 있는 문제점들은 결정성장 기술에서부터 측정평가에 이르기까지 전범위에 걸쳐 분포되어 있다. 이것은 GaAs 반도체에 대한 연구 경력이 짧은데 기인하는 것으로서 시스템 설계자에게 친숙하고 신뢰성있는 부품으로 정착하기 위해서는 이러한 문제점들이 하나 하나 해결되어야 한다.

첫째, 설계기술면에 있어서 문턱전압(V<sub>TH</sub>)변동에 강한(통상 ±100mV) 회로구상과 신호결합, 신호반사, ΔI잡음등을 줄일 수 있는 설계기법 연구가 필요하다. 또한 광전 집적회로의 경우 광과 전자라는 상호 특이한 전달매체를 동시에 다루어야 하기 때문에 기존에 개발된 CAD S/W들로서는 사용상의 한계에 부딪히게 된다.

둘째, 집적회로의 성능향상을 위한 서브마이크론 소자 기술개발과 VLSI를 위한 저온 공정기술이 새로운 공정장비에 대한 연구와 아울러 수행되어야 한다.

셋째, 원가절감을 위한 대구경 결정성장 기술이 확립되어야 한다. 결정성장 기술의 미비로 인하여 Si 반도체에서는 직경 5"~6"인치의 웨이퍼를 사용하는데 비하여 GaAs 반도체에서는 3"~4"의 웨이퍼를 사용

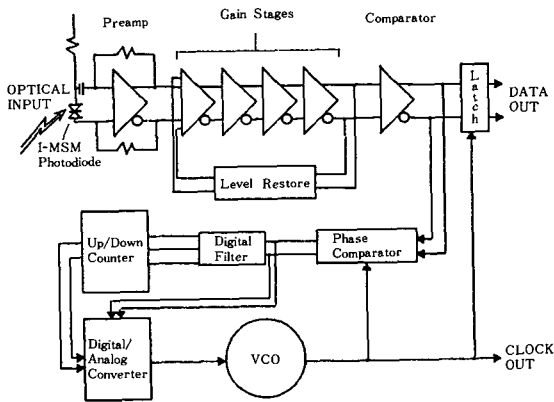


그림 4. 현재까지 개발된 광전 집적회로 최고의 집적도를 갖는 1 Gb/s의 수신단/클럭재생 광전 집적회로

한다. GaAs 결정성장 기술에 관한 연구와 아울러서 현재 6" 웨이퍼에서 성공되고 있는 Si 기판위에 GaAs 에피를 성장시키는 기술도 매우 중요하다.

3. 국내 GaAs 반도체 기술 발전 전망

국내의 GaAs 반도체에 관한 연구개발 환경은 미국, 일본, 유럽에 비하여 취약하나 아직 본격적인 시장형성이 안된 현실점에 있어서 앞으로 효율적인 추진 전략 수립여부에 따라서는 능히 선두다툼을 할 수 있으리라 생각된다. 기본 소재 분야인 GaAs 단결정성장은 일찌기 출연 연구소를 중심으로 연구가 시작되어 현재는 국내 기업체에서 3" 웨이퍼의 생산을 준비하고 있으며 LED나 LD와 같은 광개별소자는 국내 여러 기업체에서 양산체제를 구축하고 있다. 한편 집적회로는 출연 연구소를 중심으로 하여 학계, 산업계에서 연구가 진행중이며 특히 일부 기업체에서 GaAs 반도체 생산라인을 현재 건설중에 있어서 90년대에 그 발전이 기대되고 있다. 연구개발 과정과 상품화 과정이 매우 짧은 주기로 되풀이되는 것은 반도체 제품의 일반적인 속성이지만은 GaAs 반도체에서는 이와같은 특성이 더욱 두드러져 기초연구와 상품화가 거의 동시에 추진되고 있다. 이러한 관점에서 출연 연구소를 중심으로 한 학.연.산 공동 연구수행 체제의 수립이 매우 중요한 분야라 할 수 있다. 즉 연구개발 의존도가 매우 큰 GaAs 반도체를 국내 기술로 산업화시키기 위해서는 뚜렷한 목표설정과 정확한 문제점 인식하에 학.연.산

의 역할분담이 이루어져야 하며 각 연구 주체의 맡은 바 책임완수를 통한 효율적인 연구개발과 수행이 필요하다.

GaAs 반도체는 저소비전력을 바탕으로한 고속특성, 발광 및 수광특성, 초고주파 특성등 2000년대의 정보통신기기가 요구하는 모든 특성을 동시에 갖추고 있기 때문에 경쟁력 있는 고부가가치 시스템 개발을 위해서는 이러한 특성을 100% 활용한 GaAs 집적회로의 뒷받침이 매우 중요하다. 90년대에는 국내에서도 독자적인 방송통신위성의 확보 및 HDTV의 개발, 고속 work station의 개발, 이동통신 서비스의 확충, 초고속 광통신 시스템 개발등 GaAs 반도체를 필요로 하는 첨단 시스템의 개발이 기대되는 만큼 GaAs 집적회로에 대한 수요전망은 매우 밝다고 하겠다. 이러한 관점에서 90년대는 GaAs 반도체 관련 연구개발 종사자들의 힘찬 분발과 참신한 아이디어가 그 어느때보다도 기대되는 시기이다.

IV. 차세대 리소그래피 기술

미세화를 추구하는 반도체 공정 기술중에서도 리소그래피는 가장 핵심되는 기술이다. 리소그래피는 사용되는 노광원에 따라서 광, X-선, 전자빔 등으로 나뉘어진다. 전자빔 리소그래피는 분해능이 뛰어나나 처리량이 작기 때문에 마스크 제작용이나 연구개발용

표 2. MMIC의 년도별 발전 역사

사 건	년 도	사 양	제작사
FET 제안	1952	Shockley	Bell Labs.
MMIC 특허	1964	GaAs 위에 혼합기(MERA)	TI
GaAs FET	1966	Schottky barrier MESFET	CIT
고주파 FET	1970	1 $\mu$ m gate, fmax=30 GHz	IBM
첫 FET 증폭기	1972	Hybrid	IBM
X-band 증폭기	1974	5dB 이득, 8-12 GHz	Plessey
광대역증폭기	1981	2GHz BW, 저잡음, 첫 상품화된 GaAs IC	Siemens
발전기	1982	10mW, X-J band	T1
Traveling 증폭기	1982	5dB 이득, 1-13 GHz	Siemens
4 bit 이상기	1982	Single chip, X-band	Raytheon
Multichip T/R module	1982	X-band 증폭기/이상기/T/Rswitch	Raytheon
전력증폭기	1984	2W, 2-8GHz, 10dB 이득	Raytheon
DSB 수신기	1984	25dB conversion 이득, 4.5dB 잡음지수	LEP
MM-wave 발전기	1984	69GHz 0.25 $\mu$ m FET, 1mW, 1% 효율	Hughes
S-band T/R module	1985	저잡음증폭기/이상기/전력증폭기	Pacific
대량생산			

으로 쓰이고 있으며 대량 생산용으로는 이제까지 광 리소그래피가 주로 사용되어 왔다. 광 리소그래피는 사용되는 광원에 따라 g-선, i-선, 레이저 노광 등으로 다시 구분된다. 패턴의 최소 선폭은 사용되는 광원의 파장에 비례하기 때문에 최소 선폭을 줄이기 위하여 수은등의 g-선(파장 436nm), i-선(파장 365nm) 형태로 사용되는 파장이 짧아져 왔고 이에 따라 분해능도 g-선이 0.8 μm, i-선이 0.5~0.45 μm<sup>[25]</sup>로 향상되어 왔다. 하지만 0.4 μm 이하의 선폭이 요구되는 64M DRAM 이상을 위해서는 좀 더 짧은 파장의 노광원이 요구되기 때문에 엑시머 레이저(KrF, 248nm) X-선 리소그래피가 연구되고 있다. 표3에는 예상되는 i-선, 엑시머 레이저, X-선 스테퍼 기술이 비교되어 있다.

본 장에서는 90년대에 중요하리라 예상되는 엑시머 레이저와 X-선 스테퍼에 대하여 중점적으로 비교한다.

표 3. 여러가지 리소그래피 기술의 비교

구 분	Optical (i-line)	레이저 (KrF)	X-ray (SOR)	E-beam (직접표화)
분해능(μm)	0.5	0.35	0.2	0.1
초점심도(μm)	< 1	< 0.7	깊 음	깊 음
노광 면적(mm <sup>2</sup> )	15×15	18×18	50×50	-
축 소 율	5 : 1	5 : 1	1 : 1	-
마 스 크	간 단	간 단	복 잡	-
다 층 PR	불필요	불필요	불필요	불필요
Throughput(6")	20-40	15-30	20-60	5-15

1. 엑시머 레이저와 X-선 리소그래피의 비교

리소그래피에서 먼저 고려되어야 될 사항은 분해능 즉 최소 선폭이다. 광학 리소그래피의 경우 최소 선폭(LW)은 빛의 파장(λ), 초점 심도(DF)와 다음과 같은 관계를 가진다.

$$LW = k\sqrt{\lambda \cdot DF}$$

여기에서 k는 다층 감광제(photo resist)를 쓸 경우 0.8 다층 감광제에 대해서는 0.6이 쓰인다<sup>[26]</sup>. 초점 심도는 렌즈의 상면 만곡(field curvature), 웨이퍼 표면의 편평도, 소자 위상(topology), 레지스트 두께 등과 관계를 가지고 있어서 위의 요소들을 현재 보다 2배 정도 향상시킨다 하더라도 0.7 μm가 공정상 요구된다. 초점 심도를 0.7 μm로 하고 다층 감광제를 사용한 엑시머 레이저 스테퍼는 0.35 μm 정도의 분해능

이 가능하며 이를 위해서는 보다 정밀한 렌즈 가공, 웨이퍼 편평도 향상과 정밀한 focusing 기술이 요구된다. 집적도가 증가함에 따라 요구되는 노광 면적이 점점 넓어지며 노광면적이 넓어지게 되면 원하는 개구수(numerical aperture)를 얻기가 힘들어진다. 이 때문에 렌즈의 가공은 가장 어려운 부분이 되며 이를 피하기 위하여 반사 광학을 이용한 step and scan system<sup>[29]</sup> 개발도 연구되고 있다. 레이저의 파장이 조금 더 짧은 ArF(파장 193nm)나 F<sub>2</sub>(157nm)를 사용하게 되면 선폭을 더 줄일 수 있으나 렌즈에서의 빛의 흡수 문제 때문에 렌즈 재질 선택에 문제가 있다.

분해능과 초점 심도 그리고 노광 면적 만을 고려하게 되면 X-선 리소그래피가 엑시머 레이저 리소그래피에 비하여 유리하다. 단층 감광제 만을 사용할 때 요구되는 이미지 콘트라스트를 고려할 경우의 분해능은 웨이퍼와 마스크의 간격(proximity)이 보통 50 μm일 때 0.25 μm, 25 μm 일 때 0.15 μm가 가능하다. 초점 심도 또한 깊고 노광 면적도 넓게 할 수 있는 장점이 있다.

하지만 레이저 스테퍼가 5 : 1 축소 노광인 반면에 X-선은 1 : 1 근접 노광을 하기 때문에 마스크에 비틀림이나 흠집이 없어야 되고 X-선이 투과하여야 되기 때문에 1~2 μm 정도로 얇은 투과막위에 X-선 흡수 패턴을 가져야 하므로 X-선 마스크 제작이 어렵다. 또한 1 : 1 노광은 5x 축소 노광에 비하여 overlay 정밀도에서도 불리하다. 즉 5x 축소노광은 1 : 1 노광에 비하여 마스크 설정에 대한 오차가 1/5로 줄고 이에 따라 반복성(statistical) 오차도 줄어 들게 된다. 마스크 변형, 웨이퍼 변형, 정렬 정밀도 등을 고려할 때 X-선 스테퍼의 최소 선폭은 overlay에 의하여 그 한계가 주어진다.

KrF 레이저는 아직도 약간의 문제점은 남아 있지만 안정성 및 대역폭에서 많이 향상되어 왔다. X-선 스테퍼를 위해서는 강도가 높고 평행성이 좋은 X-선 광원이 요구되며 소형 싱크로트론(compact synchrotron)이 가장 유망하다고 알려져 있다. 이 광원은 기술적으로도 어려우며 건설 경비도 많이 들 뿐만 아니라 많은 스테퍼가 하나의 광원에 의존하기 때문에 신뢰도가 높아야만 된다.

엑시머 레이저나 X-선 리소그래피에 이용되는 감광제의 개발도 향상되어야 된다. 엑시머 레이저용 resist는 감도를 높일 필요성이 있으며 X-선용 resist는 아직 초보적인 단계에 있다.

요약하면 엑시머 레이저 스테퍼는 다층 resist를 쓰

게 되면 0.35 $\mu\text{m}$  정도의 최소 선폭이 가능하고 렌즈 가공, 광원 노광 면적등에서 향상되어야 하지만 실용화에 좀 더 접근되어 있어 64M DRAM에서 사용되리라 예상되며, X-선 스테퍼는 0.2 $\mu\text{m}$ ~0.15 $\mu\text{m}$ 의 분해능이 가능하지만 이를 얻기 위해서는 overlay 정밀도를 향상시켜야 되며 마스크의 제작, resist의 연구등 넘어야 할 많은 난점을 가지고 있다. 256M와 1G DRAM에서 요구되는 최소 선폭은 현재의 예상으로는 X-선 노광에 의해서만 가능하기 때문에 여러가지 어려운 점에도 불구하고 필연적으로 중요하게 대두될 전망이다.

2. 세계적인 연구 개발 동향

엑시머 레이저 스테퍼는 니콘, 캐논, GCA<sup>[27, 28]</sup> 등 주된 장비 생산 업체에서 개발이 거의 완료 단계에 있다. X-선 스테퍼는 일본, 미국, 유럽 등에서 연구되고 있으며 NTT를 중심으로 산업체가 참가하여 공동 개발하고 있는 일본이 가장 활발하다. 여기에서는 17개 이상의 주된 산업체가 참가한 30개 이상의 개발 프로그램이 수행되고 있으며 광원, 마스크, 빔라인 광학, 정렬(alignment), 공정 등을 분담하여 연구하고 있다. 이와 같이 하여 일본에서는 1996년까지 실용화가 가능하다고 발표되었다<sup>[36]</sup>.

우리나라에서는 아직까지 노광장비는 물론이고 대부분의 공정 장비를 수입에 의존하고 있다. 기술 경쟁이 치열해지는 90년대에는 이에 대한 연구 개발이 매우 중요하게 대두되리라 생각된다.

V. 시스템 실장 기술

1. 반도체 칩의 실장 방식

반도체 칩의 실장방식은 크게 단일칩모듈(single chip module, SCM)과 다칩모듈(multi chip module, MCM)로 대별할 수 있다. 반도체 칩의 집적도의 향상은 모듈의 I/O 핀수의 증가를 요구하고 이에따라 단일 칩 모듈은 초창기의 DIP(dual in-line package)형태에서 칩 캐리어나 PGA(pin grid array)형태로 발전하였다.

표4에 세가지 단일칩 모듈에 대한 I/O 핀수를 비교하였다. 87년도 시점에서 PGA의 경우 핀간격 1.27mm에서 312개의 I/O가 가능하고 칩 캐리어인 경우 0.28mm 핀간격 기술을 사용하면 284개의 I/O가 가능하다. 칩 캐리어 및 PGA 형태의 단일칩 모듈은 I/O 핀수의 증대뿐만 아니라 지연시간의 단축면에서도 유리하

표 4. DIP, 칩 캐리어, PGA의 I/O 수 비교

단일칩 모듈	규격		I/O 핀수	I/O 간격
	형태			
DIP	표준형		8-64	2.54mm
칩 캐리어	JEDEC A		28-156	1.27mm
	CUSTOM		284	0.28mm
	Quad Lead		36-224	0.50mm
PGA	Cavity Up		64-312	1.27mm
	Cavity Down		69-240	1.27mm

다. 그림5에 세가지 실장방식에 대해 I/O 핀수에 따른 지연시간을 보인다. 100개의 I/O 핀수인 경우 2.54mm 간격의 PGA에서 약 1.5nsec의 전달지연특성을 보이고 있다. 다칩모듈은 다층세라믹구조(multi layer ceramic, MLC)에 flip chip이나 TAB(tape automated bonding)과 같은 연결기술을 사용하여 복수개의 chip을 실장하는 기술이다. 표5에 시스템 규모에 따른 실장기술의 종류를 보인다. 현재까지 다칩모듈은 주로 대용량시스템 및 초고속 슈퍼컴퓨터 시스템에 사용된 것을 알 수 있다. 그러나 반도체 기술의 비약적인 발전에 힘입어 2000년에는 1 GIPS(giga instruction per second)의 소형시스템이나 중형시스템이 개발되리라 예측됨에 따라 다칩모듈은 모든 정보통신 시스템 개발에 있어서 빼놓을 수 없는 핵심기술이 되고 있다. 다칩모듈은 실장밀도나 시스템 성능면에서 획기적인 성능을 발휘하고 있는데 IBM 3090에 사용되고 있는 다칩모듈을 예로들어 보면 90mm×90mm 크기의 세라믹층이 36층 적층되어 전체 두께는 5mm이고 여기에 탑재된 칩수는 100개, I/O 핀수는 1800pin, 연결밀도는 400 in/in<sup>2</sup>이다. 이러한 다칩모듈은 절연층으로 세라믹그린시트를 사용하고 전도층으로는 W이나 Mo을 실크스크린 인쇄기법을 이용하여 도포한뒤 고온의 열처리에 의해 구워내는 thick film이 대중을 이루고 있으나 최근에는 전원이나 그라운드층은 기존의 다층세라믹구조를 사용하고 신호층은 고분자박막과 금속증착 및 식각과 같은 thin film 기술로 형성하는 하이브리드 다칩모듈이 활발히 연구되고 있다. 그림6에 NEC에서 개발된 하이브리드 다칩모듈이 간략화된 단면구조를 보이고 있다<sup>[31]</sup>. 절연층으로는 polyimide (PI) 고분자 박막이, 전도층으로는 Cu가 사용되고 있으며 8층이 실용화된 첨단 수준이다. 앞으로 다칩모듈은 이러한 thin film기술을 더욱 발전시켜 보다 다층화하여 현재 전원과 그라운드층에 사용하고 있는 다층세라믹기판도 전부 thin film기술로 대체하려는 방향으

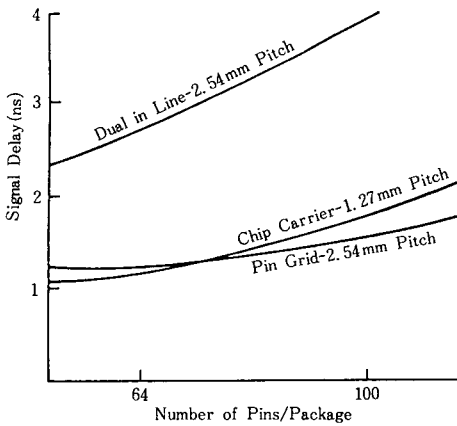


그림 5. DIP, 칩캐리어, PGA에 있어 I/O 핀수에 따른 전달지연 특성

표 5. 시스템 규모에 따른 실장기술

기술 시스템 규모	칩 연결기술	칩 실장기술	사용된 칩갯수
<u>가전제품</u> Sony CDP	와이어 본딩	플라스틱 단일칩 모듈	10
<u>소형시스템</u> IBM PS2	와이어 본딩	플라스틱 단일칩 모듈	100
<u>중형시스템</u> IBM 9370 Fujitsu 736 히타치 630	Flip Chip 와이어 본딩 와이어 본딩	다칩 모듈(MCM) 세라믹 PGA PGA	1,000
<u>대형시스템</u> IBM 3090 NEC 2000 Fujitsu 780 Hitachi 680	Flip Chip TAB 와이어 본딩 와이어 본딩	다칩 모듈(MCM) 다칩 모듈(MCM) LCC 다칩 모듈(MCM)	10,000
<u>슈퍼컴퓨터</u> CRAY 2 ETA 10 NEC SX2	와이어 본딩 TAB TAB	FP LCC 다칩 모듈(MCM)	10,000

1.3 PACKAGING HIERARCHY — TECHNOLOGIES

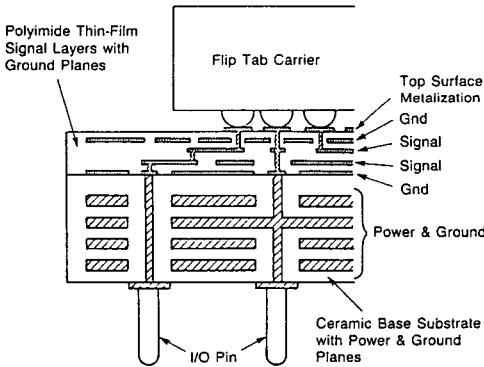


그림 6. NEC에서 개발된 하이브리드 다칩모듈의 단면구조도<sup>[31]</sup>

로 발전해 나갈 전망이다. 이와 아울러 기관으로 세라믹 대신 Si 웨이퍼 자체나 열방출 특성이 좋은 금속기판으로 대체하려는 연구도 활발히 진행되고 있다.

2. 다칩모듈의 설계기법

앞에서 살펴본 바와같이 다칩모듈의 경우 10~100개 정도의 LSI가 탑재되어 I/O 핀수도 500~1800개에 이르며 사용되는 신호선의 주파수 대역도 dc에서부터 1GHz까지 광대역에 걸쳐 분포되어 있기 때문에 신호와 전원의 분배, 신호지연, 잡음등에 대하여 종합적인 고려가 필요하다. 특히 신호와 전원의 분배 설계시에

는 부하에 대한 고려와 아울러서 via등에 의한 연결선의 불연속이 미치는 영향등이 고려되어야 한다. 잡음에 대해서는 신호선 잡음의 대표적인 결합잡음과 전원선잡음이 대표적인 ΔI잡음에 대한 고려를 함과 아울러 모든 전기적 연결선에 대하여 지연시간이 예측되도록 설계되어야 한다. 이러한 전기적 설계는 다칩모듈을 구성하고 있는 전도층의 기하학적 변수인 길이( $l$ ), 폭( $w$ ), 두께( $t$ ), 간격( $s$ )과 절연층의 높이( $h$ ), 유전율( $\epsilon$ )로부터 전기적인 특성을 산출하기 위한 다칩모듈의 모델링으로부터 시작하여 다칩모듈에 탑재되는 다수칩의 송신단과 수신단의 전기적인 특성을 만족시키는 최적화과정을 거쳐서 수행된다. 이러한 과정은 36층의 다칩모듈의 경우 매우 복잡하기 때문에 대개 CAD를 활용하게 되며 일반적인 설계과정을 그림7에 나타내었다.

3. 다칩모듈의 열방출 문제

다칩모듈은 실장밀도가 매우 크기 때문에 모듈당 소모전력이 매우 크다. IBM의 3090에 사용된 모듈의 경우  $40 \text{ w/in}^2$ 로 모듈전체로는 약 500W가 소모된다. 열방출 방식에는 공기의 강제 순환방식과 물의 강제순환방식, 액체질소<sup>[32]</sup>에 모듈전체를 담그는 방식등이 있다. 특히 열방출까지 고려한 다칩모듈을 IBM에서는 TCM(thermal conduction module)으로 NEC에서는 LCM(liquid cooling module)이라는 고유의 이름으



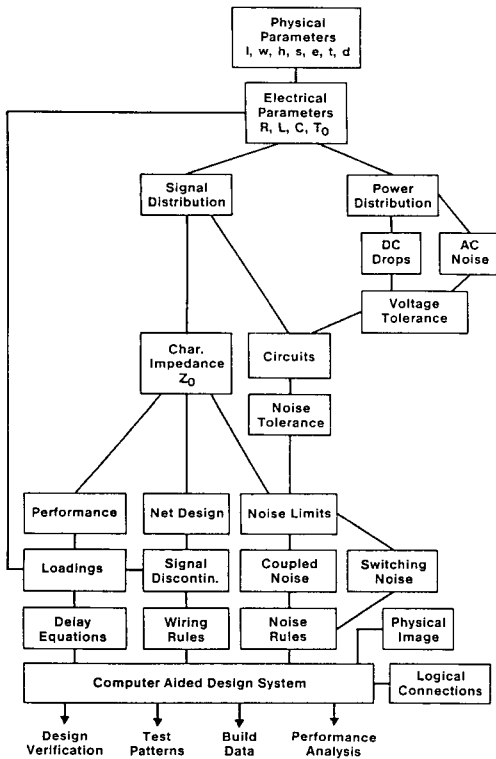


그림 7. 다칩모듈의 설계 수준

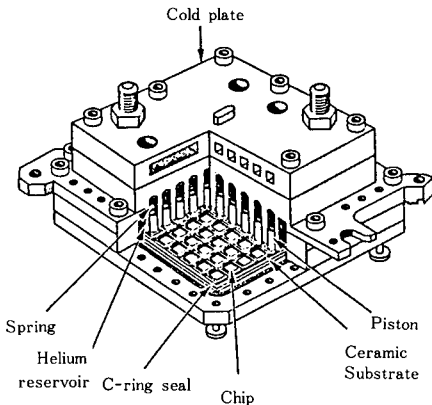


그림 8. IBM의 TCM 구조도<sup>[32]</sup>

로 부르고 있다. 그림8에 TCM의 구조도를 보이고 있다.

4. 결론

이제까지 시스템 실장기술의 현황에 대하여 알아보

았다. 특히 앞으로 대형시스템이나 슈퍼컴퓨터외에도 일반 정보통신 시스템에서도 채용이 늘어날 다칩모듈에 대해 초점을 맞추어 기술현황 및 발전방향을 전망하였다. 시스템의 성능과 가격면에서 실장기술의 비중이 점차 증대하는 90년대의 반도체 기술동향을 생각할때 전자공학 분야외에도 재료, 기계, 물리, 화학분야등의 종합기술로써 실장기술의 중요성이 더해가리 가 생각되며 이에 대비하여 국내에서도 이 분야에 대한 연구, 개발노력이 시급하다 하겠다.

VI. Nanoelectronics 기술

기존의 반도체 기술의 발전에 있어서 가장 중요한 요소는 소자의 소형화라고 할 수 있다. 소형화된 소자에서는 전자가 짧은 거리를 이동하므로 동작속도가 빨라지고, 하나의 chip에 더 많은 소자를 집적시킬 수 있으므로 생산비용도 절감되어 왔다. 그러나 대부분의 전문가들은 그림9에서 보는 바와 같이 금세기 말쯤에는 이러한 집적화의 기술이 한계에 부딪히게 될 것으로 예상하고 있다. 현재 가장 널리 이용되고 있는 optical lithography에 의한 최소선폭은 90년도 초반경에 0.3~0.5 μm 정도의 한계에 부딪히게 될 것으로 생각된다. 최소선폭만을 고려할 경우 e-beam, ion beam, X-ray를 이용한 lithography 기술의 발달과 함께 그 이하의 선폭도 얻을 수 있겠지만, MOS소자에서의 channel capacitance, parasitic resistance, velocity saturation, gate oxide breakdown, subthreshold current, punch through 등의 많은 문제점이 크게 대두되어 0.2 μm 정도의 최소선폭에서 속도 향상 및 집적화의 한계에 도달하게 될 것으로 예상된다. 이러한 문제점을 극복하기 위해서 3차원 회로를 구성하거나 chip의 크기를 더욱 증가 시키려는 노력이 이루어지고 있으나 복잡한 공정으로 인하여 생산비의 증대, 수율의 감소등을 초래하고 있으며, 이들은 소자의 소형화를 제한하는 근본적인 문제에 대한 해결책이 되지 못하므로 지금까지의 발전 속도를 유지할 수 없을 것으로 생각된다.

1. 양자효과의 이용

최소선폭이 0.1 μm 이하로 줄어들어 전자의 de Broglie 파장과 비슷한 정도의 크기가 되면 (GaAs의 경우 실온에서 25nm 정도) 소자 전체가 양자역학적인 영역에 들어가게 되는데, 이 영역에서 동작하는 소자

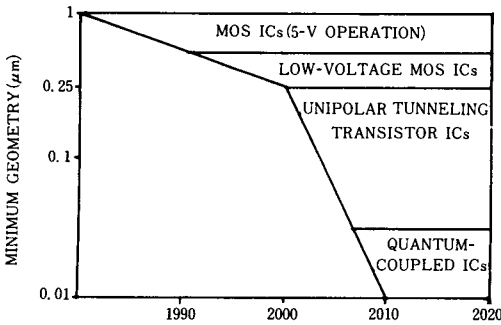
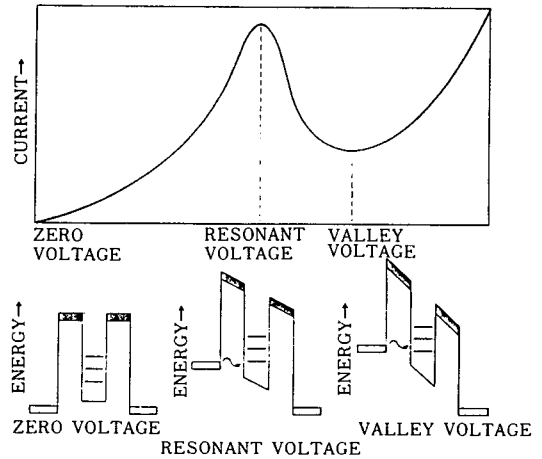


그림 9. 년도에 따른 최소선폭과 예상되는 소자의 발전 경향<sup>[33]</sup>

의 기술을 nanoelectronics 혹은 mesoscopic(양자파장 25nm의 수배 길이) electronics라고 부를 수 있으며, 양자역학적인 영역에 있는 소자는 기존의 소자 이론이나 회로이론에 따라 동작하지 않게 된다. 즉 기존의 transistor가 작동되기 위해서는 에너지 장벽을 써서 전자들을 일정한 영역에 속박할 필요가 있는데 에너지 장벽의 두께가 얇아지면 전자가 에너지 장벽을 뚫고 지나가는 양자역학적인 현상이 일어나며 이를 tunneling 효과라 부른다. 또한 전자를 속박하는 공간의 크기가 작아지면 전자의 에너지가 연속적인 값을 갖지 못하고 특정한 값들만을 갖게 되는데 이를 양자화(quantization)라 한다. 그리고 공간을 속박하는 방향의 정도에 따라 양자우물(quantum well), 양자선(quantum wire), 양자상자(quantum box)라 하고 이러한 양자우물과 에너지 장벽을 접합시킨 구조를 양자이질 접합구조라 한다. 특히 두개의 에너지 장벽 사이에 양자우물을 접합시킨 구조에 전자가 입사되고 전자의 에너지가 양자우물내의 양자화된 상태의 에너지와 같으면 한 장벽에서 반사된 전자의 파성분과 다른 장벽에서 반사된 전자의 파성분이 간섭을 일으켜 반사 확률이 최소가 되어 투과확률이 극대화되게 되는데 그림10에서와 같은 resonant tunneling 현상이 일어난다. 기본적으로 기존 소자에서는 전자가 진행할때 많은 비탄성 충돌을 하기 때문에 양자역학적으로 coherent 과정이 아니지만, 소자의 크기가 아주 작아지면 전자가 비탄성 충돌을 하지 않을 확률이 높아서 입사된 전자와 나오는 전자의 위상 차이가 생기게 된다. 이러한 현상으로서 resonant tunneling 현상과 양자 간섭 현상등을 들 수 있다. 이러한 양자 현상들은 기존의 반도체 기술의 발전에 장애 요인으로 등장하고 있으며 더 이상의 고속화나 고집적화를 이루기 위해서는



두개의 에너지 장벽에 갇힌 양자우물의 에너지 상태가 양자화 되어 있을때, 한쪽 전극의 전압이 어느 에너지 준위와 같으면 resonant tunneling 전류가 흐른다. 가해진 전압에 따라서 multi-peak I-V 특성곡선이 얻어질 수도 있다.

그림10. 양자우물 소자의 I-V 특성<sup>[34]</sup>

양자현상들을 능동적으로 이용하는 새로운 개념의 소자, 즉 양자소자와 이들을 이용한 새로운 개념의 회로나 system이 개발되어야 한다. 이러한 양자소자들은 크기가 작아 양자역학적 원리에 따라 작동되는 까닭에 기존의 반도체 소자보다 switching 속도가 빠르고, 전력 소모가 적고, 보다 정밀한 조정이 가능하며, 한 소자가 다기능을 수행할 수 있으므로 고집적화가 가능할 것으로 예측된다. 또한 양자상자를 이용한 양자회로는 interconnection 문제의 해결에도 도움을 줄 수 있을 것을 기대된다.

## 2. 양자효과 소자의 연구현황

양자소자들 중에서 연구가 많이 된것으로 resonant tunneling 구조를 기존 transistor의 emitter나 base에 접합시킨 resonant tunneling bipolar transistor (RTBT)가 있다. RTBT의 가장 큰 특징은 negative transconductance 기능을 들 수 있으며 경우에 따라서는 multi peak I-V 특성을 얻을 수 있으므로 multi-valued transfer 기능을 가질 수 있다. 따라서 하나의 소자가 다기능을 발휘할 수 있고, 회로를 많이 단순화시킬 수 있어 집적화에 적지않은 기여를 할 수 있을 것으로 기대된다. 반면에 RTBT는 기존의 transistor 구조를 가지고 있기 때문에 소자의 미세화를 위해서는

여전히 기존의 소자와 같은 문제점을 안고 있으며, 양자효과를 단지 부분적으로만 활용하고 있다. 그러나 완전히 양자화된 quantum coupled IC 시대로 가는 중간 단계로서 매우 중요한 역할을 할 것으로 기대된다.

세계의 여러 유명 연구소 및 대학에서는 RTBT 소자의 연구와 병행하여 quantum wire나 quantum dot array가 가진 물리적 특성을 이용한 소자를 활발히 연구하고 있다. 기본적인 원리는 RTBT에서 처럼 기관에 수직인 방향으로만 tunneling시키는 것이 아니고, 바로 옆에 있는 quantum wire나 quantum dot 사이에 resonant tunneling을 유도하는데 있다. 이렇게 만들어진 양자효과 소자는 동작속도, 소비전력, 집적도, 새로운 기능의 첨가등의 면에서 이론적으로는 기존의 소자와 비교할 수 없이 월등할 수 있다. 이러한 크기의 양자우물 구조에서는 광학적비선형 효과도 증가하므로 이들 구조가 갖는 low density of state와 더불어 활용하면 photonics 기술구현의 근간이 되는 quantum well laser 및 SEED(self electro optic effect device) 소자등의 초소형화 및 성능향상에 많은 기여가 기대된다.

이상에서 살펴본 바와 같이 양자우물, 양자선, 양자상자등의 물리적 특성을 이용한 소자의 응용분야는 많은 잠재력을 가지고 있으나, 이 단계에 이르기 위해서는 소자의 동작과 관련된 회로이론, 단위 공정등에 수반되는 많은 문제점이 해결되어야 한다. 몇가지 예를 들면 두께 및 계면을 단원자층 정도로 조절할 수 있는 단결정 초박막 성장 기술이 발전되어야 하고, 그위에 수십~수백 Å크기 이하로 patterning 할 수 있는 nanolithography 기술, etching 기술 및 여러가지 형태로 식각된 표면위에 단결정 초박막을 재성장시키는 기술의 연구가 필요하다. GaAs의 경우 Si에 비하여 운반자의 유효질량이 작아서 같은 크기의 공간에서는 양자효과가 더 크게 나타나며, epitaxy 성장기술이 더 발달하여 있기 때문에 현재로서는 GaAs계를 이용한 연구가 많이 진행되고 있다. 또한 회로이론으로서 cellular automata와 같은 방법도 연구되고 있다.

### 3. 전망

이러한 양자소자들에 대한 연구는 미국의 텍사스 인스투르먼트, IBM, AT&T 연구소와 MIT, Cornell, Stanford등의 대학등에서 재료, 단위공정, 새로운 양자 소자의 구조 및 특성등에 대해서 많은 연구활동이 이루어지고 있으며, 특히 일본의 NTT, NEC, 후지쯔 연구소 및 동경대학등에서도 지난 수년간 기반 기술확보

에 주력한 결과 미국과 대등한 정도의 기술 수준에 도달한 것으로 보여지고 있다. 우리나라에서는 이러한 기술의 연구에 대한 필요성이 최근에 대두 되기 시작한 단계에 있으나, 2000년대에 미·일등과 반도체 분야에서 경쟁하기 위해서는 지금부터 많은 관심을 가지고 체계적인 연구를 통하여 기반을 다져야 할 기술 분야 중의 하나로 믿어진다.


## VII. 결 언

앞에서 90년대에 국내외에서 중요하다고 생각되는 많은 분야들 중에서 BiCMOS, GaAs 반도체 기술, 리소그라피, 실장기술 그리고 nanoelectronics에 대하여 현황과 전망을 알아보았다. 반도체 산업의 중요성은 국내에서도 널리 인식되어 국가 주도로 학·연·산 협력 체제를 구축하고 있고 90년대에도 이 추세는 계속되리라 예상된다. 80년대에도 분야에 따라서는 선진국과의 격차를 상당히 줄인 분야도 있지만 앞으로의 독자적인 기술 체계의 확립을 위해서 디자인에서 공정까지, 그리고 재료 및 장비까지 보다 더 많은 연구 개발 노력이 요구된다. 이를 위해서는 전자공학 뿐만 아니라 물리, 화학, 재료, 기계, 화공 등 관련 학문의 연대가 필요하며 관련 기관의 모험성이 요구된다.

이 글에서 언급되지 않은 중요한 부분이 많이 있으리라 예상된다. 특히 디자인, ASIC 분야, 제반 공정등은 매우 중요하지만 이제까지 국내 학술 잡지 등을 통하여 많이 발표되었고 지면 관계상 이 글에서는 생략하였다. 독자들의 해량을 바란다.

## 參 考 文 獻

- [1] Patrick P. Gelsinger et al., "Microprocessors circa 2000," *IEEE Spectrum*, vol. 26, no. 10, pp. 43-47, Oct. 1989.
- [2] 유현규, 강상원, 이진효, "'차세대 기억 소자의 기술 동향'" 전자공학회지, 제14권 제4호, pp. 265-277, 1987년 8월.
- [3] 천동우, "국내 반도체 산업의 전망" 전자공학회지, 제13권 제5호, pp. 464-478, 1986년 10월.
- [4] 김효식, 김기홍, 변영준, "VLSI 시뮬레이션의 현황과 미래" 전자공학회지, 제14권 제4호, pp. 255-264, 1987.
- [5] 유영욱, "주문형 IC의 자동설계 기술 동향" 전자공학회지, 제14권 제4호, pp. 279-282, 1987년 8월.

- [6] 박형무, "GaAs 집적회로의 개발 동향 및 전망", 전자공학회지, 제14권 제4호 pp. 324-334, 1987.
- [7] 이진효, "반도체 기술", 전자공학회지, 제14권 제2호, pp. 106-115, 1987년 4월.
- [8] M.J.S. Smith et al., "CMOS/bipolar circuits for 60 MHz digital processing," *IEEE J. Solid-State Circuits*, vol. SC-21, no. 5, pp. 808-813, Oct. 1986.
- [9] B. Santo, "BiCMOS circuitry: the best of both worlds," *IEEE Spectrum*, vol. 26, no. 5, May 1989.
- [10] I. Masuda, Y. Nishio, and T. Ikeda, "High speed logic circuits combining bipolar and CMOS technology," *Trans. Inst. Electron. Commun. Eng. Japan*, vol. J67-C, no. 12, pp. 999-1005, Dec. 1984.
- [11] M. Kubo et al., "Perspective on BiCMOS VLSI's," *IEEE J. of Solid-State Circuits*, vol.23, no. 1, Feb. 1988.
- [12] 本間 明 "ASIC의 기본과 최신동향" 전자기술, pp. 18-25, 1989년 11월.
- [13] A.R. Alvarez and D.W. Schucker, "Bi-CMOS Technology for Semi-Custom Integrated Circuits," IEEE 1988 Custom Integrated Circuits Conf., 1988.
- [14] T. Hotta et al., "CMOS/bipolar circuits for 60-MHz digital processing," *IEEE J. Solid-State Circuits*, vol. SC-21, no. 5, pp. 808-813, Oct. 1986.
- [15] 박형무, "GaAs 디지털 IC의 설계 및 제작기술", 전자공학회지, 제14권 제4호, pp. 1-14, 1987.
- [16] 이진구, "GaAs 집적회로의 개발동향 및 전망", 전자공학회지, 제14권 제1호, pp. 47-55, 1987.
- [17] 권영세, "광전집적회로의 현황과 전망", 전자공학회지, 제14권 제4호, pp. 29-39, 1987.
- [18] John D. Crow et al., "A GaAs MESFET IC for optical multiprocessor networks," *IEEE Elec. Devices*, vol. 36, no. 2, pp. 263-267, 1989.
- [19] C.C. Chao et al., "Multilayer thin film substrate for multichip packaging," Proceedings of the 38th Electronic Component Conference, Los Angeles, California, pp. 276-281, 1988.
- [20] M.R. Leibowitz, "X-ray lithography: Wave of the future?", *Electronic Business*, pp. 26-35, November 27, 1989.
- [22] M. Matsui et al., "An 8ns 1Mb BiCMOS SRAM", *Digest of ISSCC*, pp. 38-39, 1989.
- [23] K. Sasaki et al., "A 9-ns 1-Mbit CMOS SRAM," *IEEE J. Solid-State Circuits*, vol. 24, no. 5, pp. 1219-1225, Oct. 1989.
- [24] Uitesse Semiconductor Corporation, 1989 Product Data Book.
- [25] P. Burggraaf, "Deep UV Lithography: Crossing the half-micron threshold," *Semiconductor International*, pp. 62-69, August 1989.
- [26] W. Arden and Karl-Heinz Müller, "Light vs X-ray: How fine can we get," *Semiconductor International*, pp. 128-131, 1989.
- [27] A. Tanimoto et al., "Eximer laser stepper for sub-half micron lithography," *SPIE*, vol. 1088, *Optical/Laser microlithography II*, pp. 434-440, 1989.
- [28] R.W. McCleary et al., "Performance of KrF eximer laser stepper," *SPIE*, vol. 922, *Optical/Laser microlithography*, pp. 396-399, 1988.
- [29] J.D. Buckley and C. Karatzas, "Step and Scan: A system overview of a new lithography tool," *SPIE*, vol. 1988, *Optical/Laser microlithography II*, pp. 424-433, 1989.
- [30] M.R. Leibowitz, "X-ray lithography: wave of the future?", *Electronic Business*, pp. 26-35, November 1989.
- [31] *Microelectronic Package Handbook*, Edited by Rao R. Tummala, Eugene J. Rymaszewski, and Van Nostrand Reinhold, New York pp. 47, 1989.
- [32] *Principles of electronic packaging*, Edited by Donald P. Seraphim, Ronald C. Lasky and Che-Yu Li, McGraw-Hill, p. 147, 1989.
- [33] S. Weber, *Electronics*, p. 143, October 1989.
- [34] R.T. Bate, *Scientific America*, p. 78, March 1988. 

감사의 글

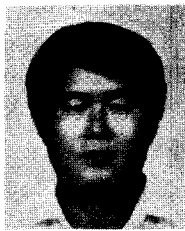
이 글을 작성하는데 도움을 준 모든 분들께 감사드립니다. 특히 전자 통신 연구소에 계시는 여러분께 감사드리며 원고를 읽고서 comment를 아끼지 않으신 윤형진, 송민규, 윤창주, 이종현 박사님과 유형준 실장께 감사드립니다.

筆者紹介



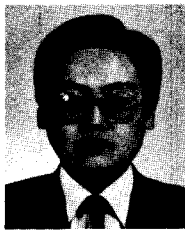
**金 嶧 柱**  
 1955年 5月 7日生  
 1977年 2月 서울대학교  
 화학공학과 (B. S.)  
 1980年 2月 서울대학교  
 화학공학과 (M. S.)  
 1986年 3月 스탠포드대학교  
 재료공학과 (Ph. D.)

1977年 1月~1977年 12月 삼양사  
 1986年 4月~1987年 8月 SRI International  
 (post doctor)  
 1987年 9月~현재 한국전자통신연구소 기초기술  
 연구부 선임연구원



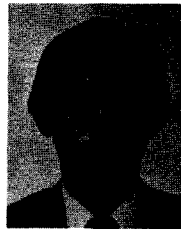
**李 勳 靄**  
 1954年 4月 19日生  
 1977年 2月 한국과학기술원  
 전기전자공학과 (B. S.)  
 1979年 2月 한국과학기술원  
 전기전자공학과 (M. S.)  
 1988年 8月 에리조나주립대학  
 전기공학과 (Ph. D.)

1979年 3月~1984年 8月 한국전자기술연구소  
 1988年 8月~현재 한국전자통신연구소 기초기술  
 연구부, 선임연구원



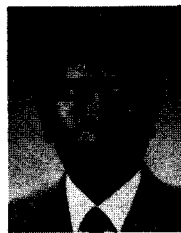
**朴 亨 茂**  
 1955年 4月 29日生  
 1978年 서울대학교 전자공학과  
 (공학사)  
 1980年 한국과학기술원 전기 및  
 전자공학과 (석사)  
 1984年 한국과학기술원 전기 및  
 전자공학과 (박사)

현재 한국전자통신연구소, 화합물 집적회로 연구실장  
 주관심분야: GaAs 고속 IC, MMIC, GaAs device  
 simulation 등



**朴 成 柱**  
 1952年 11月 1日生  
 1976年 서울대학교 화학과 졸업  
 (학사)  
 1979年 서울대학교 대학원 (석사)  
 1985年 미국 코넬(Cornell)대학교  
 대학원 (이학박사)

1985年~1987年 미국 IBM T. J. Watson 연구소  
 (연구원)  
 1987年~현재 한국전자통신연구소 기초기술연구부,  
 선임연구원



**朴 晨 鍾**  
 1945年 10月 8日生  
 1968年 서울대학교 공과대학  
 응용응용물리학과 (학사)  
 1973年 Purdue University (석사)  
 1977年 University of Minnesota  
 (박사)

1970年~1971年 서울대학교 공과대학 응용물리학과  
 조교  
 1971年~1973年 Purdue University 조교  
 1973年~1974年 Jet Propulsion Laboratory 연구원  
 1974年~1977年 University of Minnesota 조교  
 1977年~1978年 University of Minnesota Post-Doc.  
 1977年~1978年 Honeywell Inc. 기술 고문  
 1978年~1982年 국방과학연구소 실장  
 1983年~1985年 한국전자기술연구소 부장  
 1985年~1986年 한국전자통신연구소 연구위원  
 1987年~현재 한국전자통신연구소 선임연구위원