

선형 위상 FIR 디지털 필터 구현에 관한 연구

正會員 金 相 勳* 正會員 白 寅 天** 正會員 朴 商 奉**
正會員 朴 魯 京*** 正會員 車 均 鉉**

A Study on the Implementation of FIR Digital Filter with Linear Phase

Sang Hun KIM*, In Cheon PAK**, Sang Bong PARK**, Nho Kyung PARK**,
Kyun Hyon TCHAH** *Regular Members*

要 約 선형위상 FIR 디지털 필터의 설계와 구현을 다루었다. 입력은 2의 보수형태로 나타내고 계수들은 modified Booth's 알고리즘을 사용하여 bit 수를 줄일 수 있도록 저장된다. 승산기는 병렬성과 Wallace tree를 사용하여 처리 시간을 줄일 수 있도록 하였다. 각기 대역에서 감쇠량은 80 dB이고 각 기본셀의 최대 지연시간은 1.5 nano second이다. 디지털 필터는 레지스터, ALU, ROM, input shift register, I/O interface 등 다섯개의 부리로 구성되어 있다. 논리 시뮬레이션 및 레이아웃은 APOLLO workstation의 QUICKSIM과 CHIPGRAPH를 사용하여 수행하였다.

ABSTRACT A design and construction of FIR digital filter with linear phase is presented. The input is presented as two's complement form and the coefficients are recoded to reduced bit number coefficients by using modified Booth's algorithm. And multiplier is designed to decrease data processing time by parallelism and Wallace tree algorithm. Also stopband attenuation magnitude is reduced to 80 dB and maximum time delay of each basic circuit cell is restricted below to 1.5 nano second. Digital filter is composed of five blocks, namely controller, ALU, ROM, input shift register, I/O interface. Logic simulation of each block is done by using QUICKSIM and total layout is done by CHIPGRAPH on APOLLO workstation.

I. 서 론

최근의 컴퓨터와 통신 시스템 분야의 급속한 발전에 따라 그의 기초가 되는 디지털 신호의 처리기술이 중요하게 대두되고 있으며 이는 크게 디지털 필터와 스펙트럼 분석의 두가지 분야로 구분된다.⁽¹⁾

한편 디지털 필터는 기존의 아날로그 필터에 비해 고신뢰도, 안정성, 고정밀도, 완전한 선형위상 실현, 그리고 최근 IC 기술의 발달로 인한 극소형의 대규모 집적회로 제작가능 등의 여러가지 장점을 가지므로 많은 연구가 진행되었으며 근본적으로 실시간 처리가 되어야 하므로 그 처리 속도가 중요한 요소가 되었다. 그래서 최근에는 처리속도를 고속화 하기위한 고속연산 알고리즘과 array multiplier 등을 비롯한 최적의 아키텍처 개발 그리고 이를 이용한 디지털 필터의 설계와 같은 연구가 널리 이루어 지고있다.

65-90

특히 국내에서는 아직 미흡한 단계에 있는

* 金星半導體
Gold Star Semiconductor l.td.
** 高麗大學校 電子電算工學科
Dept. of Electronic Eng., Korea University.
*** 湖西大學校 情報通信工學科
Dept. of Information Telecommunication Eng.,
Hoseo University
論文番號 : 90-92 (接受 1990. 9. 12)

이분야의 설계기술 축적을 위하여 본 연구에서는 디지털 오디오 시스템에 사용되는 단일 목적 FIR 디지털 필터를 설계, 제작한다. 이는 정확한 선형위상 특성을 갖고 고속 연산처리가 가능하도록 하였다. 또한 필터 연산의 정확도를 위해 121 차의 필터 연산을 행하며 16 bit의 입력 순서 데이터와 18 bit의 계수 데이터가 2의 보수 형태로 병렬 승산기안에서 계산된다. 또한 오디오 시스템의 기능에 맞도록 2 channel 분의 데이터 버스가 내장되었고, 승산기의 최종 출력단에는 25 bit의 accumulator를 설치하였다. 모든 회로에 공통적으로 사용되는 기본회로는 시간 지연이 없고 p device와 n device의 switching 시간이 같도록 다바이스의 channel length와 width를 결정한 후, 1.3 um twin well CMOS 공장에서 추출한 SPICE 파라미터를 사용 시뮬레이션을 수행하였다. 전체 회로는 크게 제어부, 연산부, ROM, 레지스터, 입출력 인터페이스 등으로 구성 되어 있다.

II. 디지털 필터의 실현

II.1 이론적 배경

임펄스 응답 $h(n)$ 이 $n > N$ 인 모든 n 에 대하여 $h(n)=0$ 가 성립하는 상수 N 이 존재하면 $h(n)$ 은 FIR(finite impulse response) 함수가 된다. 따라서 FIR 함수를 전달함수로 갖는 FIR 필터는 유한기간에만 임펄스 응답을 갖고 유한한 지속기간을 가지므로 안정도가 높고 또한 하드웨어적으로 다른종류의 필터보다 쉽게 구현이 가능하다. 이 필터는 FIR 함수 $h(n)$ 과 차수가 $N-1$ 인 z^{-1} 의 다항식으로 표현될 수 있다.¹⁾

$$H(z) = \sum_{n=0}^{N-1} h(n) \times z^{-n} \quad (2.1)$$

본 연구에서는 실현하고자 하는 FIR 형 디지털 필터는 선형위상을 가지고 직접 건방루잔에 의해서 구현 가능한 nonrecursive FIR 형 디지털 필터를 설계하고자 한다.

만일 선형위상을 갖는 FIR 필터의 특징을 살펴보면 다음과 같다.

$0 \leq n \leq N-1$ 의 유한한 지속기간을 갖는 $h(n)$ 에 대해서 Z 변환식은 앞의 식(2.1)과 같고 Fourier 변환은 다음과 같다.

$$H(\omega) = \sum_{n=0}^{N-1} h(n) \times e^{-j\omega n} \quad (2.2)$$

위 식의 주파수 특성은 2π 의 주기에 대해서 주기성을 가진다.

그리고 식(2.2)를 위상으로 표현을 하면 다음과 같다.

$$H(e^{j\omega}) = \pm |H(e^{j\omega})| \times e^{j\theta(\omega)} \quad (2.3)$$

$h(n)$ 의 Fourier 변환의 실과 크기는 대칭함수이고 위상은 반대칭 함수임을 알 수 있으며 여기서 구하고자 하는 선형위상을 위해서 위상 $\theta = -\alpha\omega$ 의 관계식을 만족해야한다. 이것을 대입하면

$$H(\omega) = \sum_{n=0}^{N-1} h(n) \times e^{-j\omega n} = \pm |H(e^{j\omega})| \times e^{-j\alpha\omega} \quad (2.4)$$

이 식의 실수부와 허수부를 각각 구하고 이들의 비를 구하면 다음과 같다.

$$\frac{\sin(\alpha\omega)}{\cos(\alpha\omega)} = \frac{\sum_{n=0}^{N-1} h(n) \times \sin(n\omega)}{h(0) + \sum_{n=1}^{N-1} h(n) \times \cos(n\omega)} \quad (2.5)$$

여기서 $\alpha \neq 0$ 이라고 했을 때 식의 양쪽 분자 분모를 서로 엇갈려 곱해주면

$$\begin{aligned} & \sum_{n=0}^{N-1} h(n) \times \cos(n\omega) \times \sin(\alpha\omega) - \\ & \sum_{n=0}^{N-1} h(n) \times \sin(n\omega) \times \cos(\alpha\omega) = 0 \\ & \sum_{n=0}^{N-1} h(n) \times \sin(\alpha-n) \times \omega = 0 \end{aligned} \quad (2.6)$$

이 식을 만족하기 위해서 다음조건을 만족해야 된다.

$$\alpha = (N-1)/2$$

$$h(n) = h(N-1-n), \quad 0 \leq n \leq N-1 \quad (2.7)$$

위의 식은 모든 N 대해서 선형위상이 정확히 실현되기 위한 위상 지연값 α 가 오직 한개씩 존재함을 의미하며 임펄스 응답이 어떠한 형태의 대칭을 이루어야 함을 의미한다.

II.2 FIR 필터의 설계 이론

FIR 필터는 안정성과 유한지연의 특성을 이용, 비교적 용이하게 설계할 수 있다. 윈도우를 이용한 FIR 필터의 설계특성을 보면 다음과 같다.

이상적인 저역통과 필터의 특성은 그림 1. (a)와 같으며 아래와 같이 표현할 수 있다.

$$H(e^{j\omega T}) = \begin{cases} 1 & -\omega_p \leq \omega \leq \omega_p \\ 0 & \omega_p \leq \omega \leq \pi/T \end{cases}$$

또한 저역통과 필터의 임펄스응답은 다음과 같이 표현된다.

$$h(nT) = h(n) = \begin{cases} \frac{\sin(n\omega_p T)}{n\pi} & n=0, \pm 1, \pm 2, \dots \\ 0 & \text{otherwise} \end{cases}$$

위의 임펄스 응답에서 특성 N 값에서 절단하여 표현하면 다음과 같이 유한한 지속시간 응답을 가지는 FIR 필터를 얻을 수 있다.

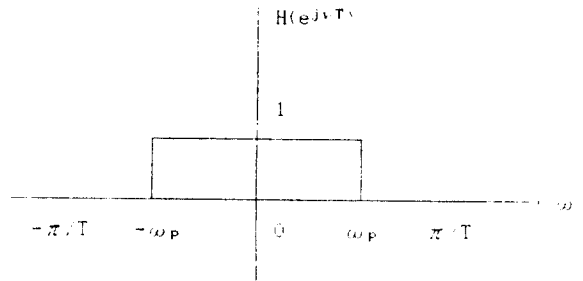
$$h(nT) = h(n) = \begin{cases} \frac{\sin(n\omega_p T)}{n\pi} & n=0, \pm 1, \pm 2, \pm N \\ 0 & \text{otherwise} \end{cases}$$

여기서 h는 절단을 표시하며 $N = (N-1)/2$ 이고 $h(n) = h(-n)$ 의 대칭성이 있다.

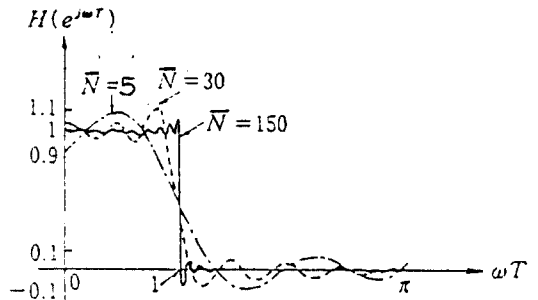
또한 FIR 필터의 전달함수 H(z)은 Z변환에 의해서 다음과 같이 표현이 된다.

$$H(z) = \sum_{n=0}^{N-1} h(n) \times z^{-n} = \frac{wT}{\pi} + \sum_{n=1}^N \frac{\sin(n\omega_p T \cdot (z^n + z^{-n}))}{n\pi}$$

그림 1.(b)는 N=5, 30, 150일 때의 특성곡선을 나타내고 있다. 여기서 절단으로 말미암아 진폭 특성에 리플이 생기고 N을 증가시킬 수록 특성이 이상적인 필터에 접근함을 볼수 있다.



(a) 이상적인 저역 통과 필터



(b) N=5, 30, 150에 대한 H(e^{j\omega T})의 특성

그림 1. 이상적 및 자수에 따른 필터 특성

II.3 하드웨어 구현

필터의 설계는 현재의 출력이 과거와 현재의 입력뿐 아니라 출력의 과거값에 관한 함수인 recursive FIR 필터와 현재의 출력이 단지 입력의 과거와 현재값에만 의존하는 nonrecursive FIR 필터로 크게 구분할 수 있다.

본 연구에서는 저지대역에서 -80dB의 감소를

값도폭 필터를 설계하고 DSP 시뮬레이터를 이용하여 그림 2와 같은 응답곡선을 얻었다.

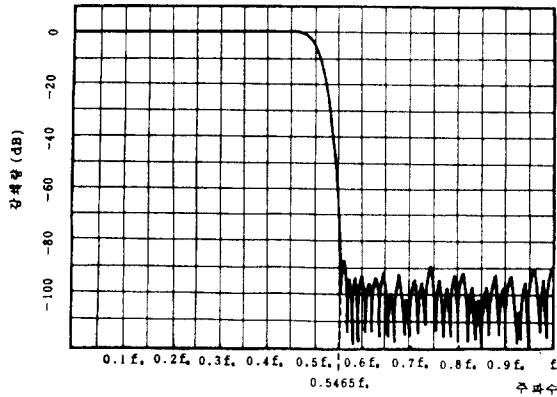


그림 2. 디지털 필터 주파수 응답 곡선

III. 회로설계

본 연구에서의 전체 시스템구성을 위한 회로설계의 과정은 주로 사용되는 회로 소자들에 대한 특성분석 및 개선과 필터의 연산식을 수행하는 각 기능별 회로의 설계등으로 구성된다.

게이트는 저전력 고집적도의 특성을 갖는 CMOS 게이트를 사용하였으며 게이트의 크기는 twin-well 1.3um rule 공정에서 추출한 파라미터와 설계사양을 토대로 결정하고 SPICE 시뮬레이션을 통하여 출력특성을 분석후 개선하였다.

III.1 기본 인버터의 특성 및 설계

CMOS 인버터는 p device와 n device가 직렬로 연결되어 있는 형태를 가진다. 인버터에 대한 DC 특성을 구하기 위해서 NMOS, PMOS 각각의 threshold 전압을 V_{tn} , V_{tp} 라 하고 $V_{in} = V_{TP}$ 와 I_{dsn} 에 대한 해를 구함으로써 CMOS 인버터의 전달특성을 구할수 있다. 그림에서 변화점은 일반적으로 공급전압 크기의 50% 즉 약 $VDD/2$ 의 값이 되도록 설계되며 그림의 전이기간동안 CMOS 인버터의 양쪽 트랜지스터는 순산적으로 on이 된다. 그 결과로 전압공급원으로부터 기인

된 짧은 전류펄스가 발생한다.

CMOS 인버터에서는 $\beta_n/\beta_p=1$ 의 비율이 가장 바람직한다. 그 이유는 이 영역에서 똑같은 전류원과 sink capability가 제공되기 때문에 용량성 부하로 하이레벨 똑같은 시간에 충전과 방전을 할 수 있게 하기 때문이다. 여기서 SPICE 파라미터 추출시 시뮬레이션에 사용한 기본 디바이스의 크기인 p device의 $L=1.5\mu m$, n-device의 $L=1.3\mu m$, 그러므로 n device의 W 값을 $2\mu m$ 으로 고정시키고 $\beta_n=\beta_p$ 의 식에 대입함으로써 기본인버터에 대한 트랜지스터의 크기를 결정할 수 있다. 결정된 각 MOS의 channel width, length는 다음과 같다.

- p device : channel width 5.8um
- channel length 1.5um
- n device : channel width 2 um
- channel length 1.3um

III.2 ALU 단의 설계

디지털 필터를 비롯한 여러 signal processor 등의 하드웨어 구현은 입력과 변수 계수와와의 곱셈 연산식 데이터의 처리 방법에 따라 bit-serial 승산기, serial-parallel 승산기, parallel 승산기 등의 방법으로 구현할 수 있다. 본 연구에서는 parallel 승산기를 채택했으며 16bit와 18bit의 계수와와의 곱셈 연산식 발생하는 partial product의 수를 1/2로 감소시키기 위해 modified booth's algorithm을 사용하였다. 또한 효율적인 partial sum의 연산을 위해 Wallace tree algorithm을 이용한 닛셈연산을 취하였다.

III.2.1 승산기의 설계

여기서 사용한 Modified booth 알고리즘은 승산기의 재개의 bit 셋을 묶어서 (2, 1, 0, 1, 2)의 sequence로서 계수를 recoding하는 방법이다.

Y 은 계수, Y' 은 recoding number라고 할때

$$Y = \sum_{i=0}^n Y'_i \cdot 2^i$$

표 1. Recoded 계수에 의한 피승수 발생 도표

계수 입력	Q1	Q2	Q3	Q4	Q5	Q6	Q7	Q8	Q9	Q10	Q11	Q12	Q13	Q14	Q15	Q16	Q17
+1 (a1)	Q1	Q2	Q3	Q4	Q5	Q6	Q7	Q8	Q9	Q10	Q11	Q12	Q13	Q14	Q15	Q16	$\overline{Q16}$
-1 (a2)	$\overline{Q1}$	$\overline{Q2}$	$\overline{Q3}$	$\overline{Q4}$	$\overline{Q5}$	$\overline{Q6}$	$\overline{Q7}$	$\overline{Q8}$	$\overline{Q9}$	$\overline{Q10}$	$\overline{Q11}$	$\overline{Q12}$	$\overline{Q13}$	$\overline{Q14}$	$\overline{Q15}$	$\overline{Q16}$	Q16
+2 (a3)	0	Q1	Q2	Q3	Q4	Q5	Q6	Q7	Q8	Q9	Q10	Q11	Q12	Q13	Q14	Q15	$\overline{Q16}$
-2 (a4)	1	$\overline{Q1}$	$\overline{Q2}$	$\overline{Q3}$	$\overline{Q4}$	$\overline{Q5}$	$\overline{Q6}$	$\overline{Q7}$	$\overline{Q8}$	$\overline{Q9}$	$\overline{Q10}$	$\overline{Q11}$	$\overline{Q12}$	$\overline{Q13}$	$\overline{Q14}$	$\overline{Q15}$	Q16
0(or1)	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1

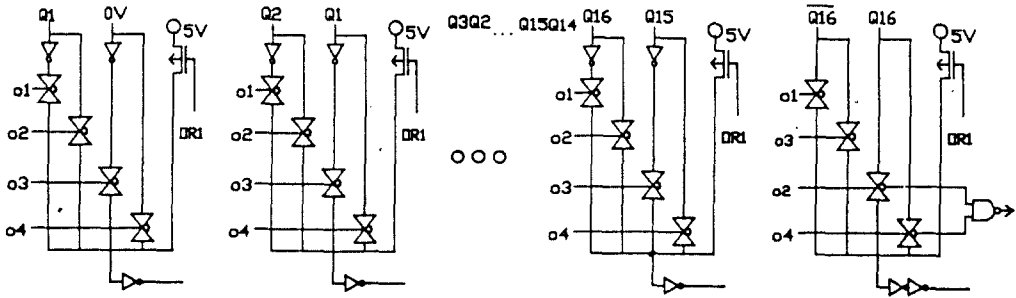


그림 3. 피승수 자연발생을 위한 회로

의 식이 성립하며 여기서 $Y_i'' = Y_{i+1} + Y_i - 2$
 $Y_{i+1} \in \{-2, 1, 0, 1, 2\}$
 이다.¹⁷⁾ 위의 알고리즘에 의한 partial product의
 생성 형태는 피승수에 대해 다음과 같다.

- (1) 2's complement 후 shift left
- (2) shift left
- (3) two's complement

recoded number { 2, -1, 0, 1, 2}의 5개 하의
 역할과 같은 동작을 갖도록 16bit 피승수에 대한
 표를 작성해보면 표1과 같다. 이 표에서 1,
 2의 경우는 2의 보수 연산을 필요로 하므로 표의
 항에 +1을 더해주는 과정이 필요하다. 또한
 Q1 bit의 +2, 2의 경우는 +1, -1의 값을
 MSB 방향으로 1 bit씩 이동해줌으로 2배 값을
 얻게 된다. 계수 선택에 의해 피승수의 자연
 발생회로는 그림 3과 같다.

부호확장을 위한 회로 설계

부호가 고려되지 않은 수의 연산과정에서는
 partial product를 발생시킨 후 각 열의 partial
 sum을 Wallace tree algorithm을 이용하여 연산
 하며 여기서는 부호를 고려한 승수와 피승수의
 연산이 가능하도록 설계하였다.

피승수의 MSB는 MSB 값을 갖도록 하였으
 므로 부호확장을 고려한 연산결과를 얻기위해서
 MSB 값을 MSB 값으로 변환시켜 주어야 하
 며, 부호 확장시 MSB의 값이 n+1 bit 이후에
 partial sum 계산에 더해져야 한다. 이때 MSB
 값을 MSB로 만들어 주기위해서는 +1의 연산을
 필요로 하며, MSB 값을 갖는 bit 들의 연산을
 실제 값의 역으로 연산되어진다.

III.2.2 CLA(Carry lookahead adder)의 구성

Addition은 좀 더 효율적인 partial sum 연산
 과 속도를 개선시키기 위해서 Wallace tree를

이용한 가산기 연산을 취하였고 최종결과를 얻기 위해서 마지막 단계 CLA를 적용하였다.

CLA에서 두수를 가산할 경우에 i 자리의 carry의 generate 항과 propagate 항은 다음과 같다.

<기본 블럭>

$$G_i = A_i \times B_i$$

$$P_i = A_i \oplus B_i$$

이 식에서 기본블럭을 표현할 수 있는 식은 다음과 같다.

$$S_i = C_{i-1} + P_i$$

$$C_i = G_i + P_i \times C_{i-1}$$

또한 이 식을 이용해서 변형된 기본 회로를 설계하면 그림 4와 같다.

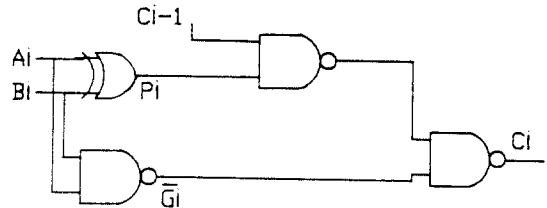


그림 4. 변형된 CLA의 기본회로

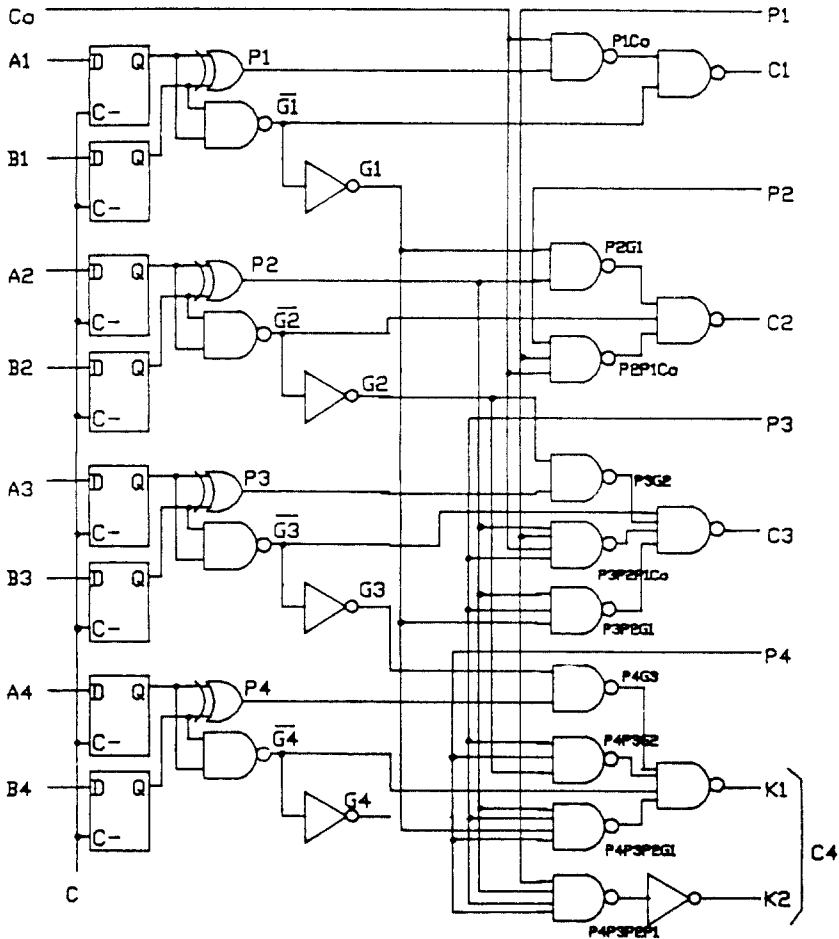


그림 5. 4 stage CLA의 구성

기본 블록을 이용해 각각의 carry C_i 에 관한 식을 전개하면 다음과 같다.

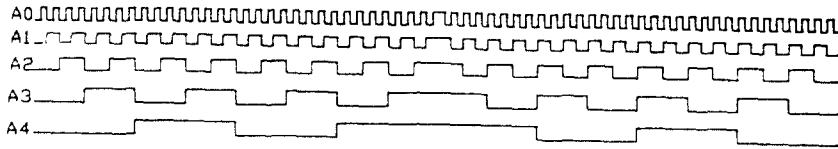
$$\begin{aligned}
 C_0 & \\
 C_1 &= G_1 + P_1 C_0 \\
 C_2 &= G_2 + P_2 C_1 = G_2 + P_2(G_1 + P_1 C_0) = G_2 + P_2 G_1 + P_2 P_1 C_0 \\
 C_3 &= G_3 + P_3 C_2 = G_3 + P_3(G_2 + P_2(G_1 + P_1 C_0)) = G_3 + P_3 G_2 + P_3 P_2 G_1 + P_3 P_2 P_1 C_0 \\
 C_4 &= G_4 + P_4 C_3 = G_4 + P_4(G_3 + P_3(G_2 + P_2(G_1 + P_1 C_0))) = G_4 + P_4 G_3 + P_4 P_3 G_2 + P_4 P_3 P_2 G_1 + P_4 P_3 P_2 P_1 C_0
 \end{aligned}$$

$$C_i = G_i + P_i C_{i-1} = G_i + P_i C_{i-1} + P_i P_{i-1} G_{i-2} + \dots + P_i C_0$$

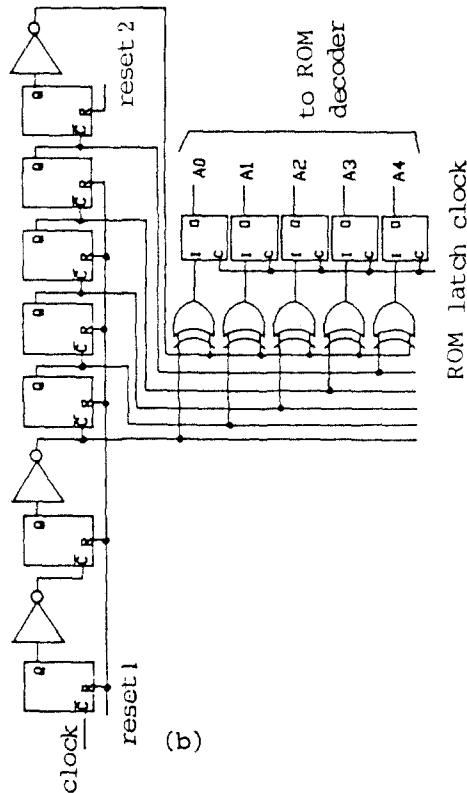
그림 5은 4 stage CLA의 구조를 보여주고 있다.

한편 S_i 은 P_i 와 C_i 의 exculsive OR 이므로 다음과 같이 쉽게 구현이 될 수 있다.

$$\begin{aligned}
 S_1 &= P_1 \oplus C_0 \\
 S_2 &= P_2 \oplus C_1 \\
 S_3 &= P_3 \oplus C_2 \\
 S_4 &= P_4 \oplus C_3
 \end{aligned}$$



(a)



(b)

그림 6. 디코더 입력과형과 제어회로.

$$S_i = P_i \oplus C_{i-1}$$

이상의 modified Booth's 알고리즘을 사용한 승산기는 시뮬레이션결과 16×18 bit의 승산에 약 75ns의 시간이 소요된다.

III.3 제어회로의 설계

제어회로는 내부의 입출력 인터페이스, 입력 shift register, ALU, ROM, accumulator 등 전체 필터 동작에 필요한 여러 제어 신호를 공급해주는 역할을 담당하는 부분이다.

III.3.1 Clock의 구성

필터의 동작을 제어하기 위한 clock은 다음의 3가지로 나누어 설계하였다.

1. System clock (SCK)

2. Sack clock (sampling rate와 같다)

3. left channel / right channel 교환 (serial의 경우), 동위상 (parallel의 경우) 입출력 선택 clock (IPAR clock):

high 인 경우—left / right channel의 교환 입력

low 인 경우—left / right가 동위상 입력

III.3.2 ROM의 디코더 입력 신호 설계

다지남 필터의 인산계수를 검색해 주기 위한 ROM 디코더의 입력과형과 그에 따른 제어회로는 그림 6과 같이 설계하였다.

III.4 ROM의 설계

ROM은 승산기에 모비출 인산계수를 기억시키

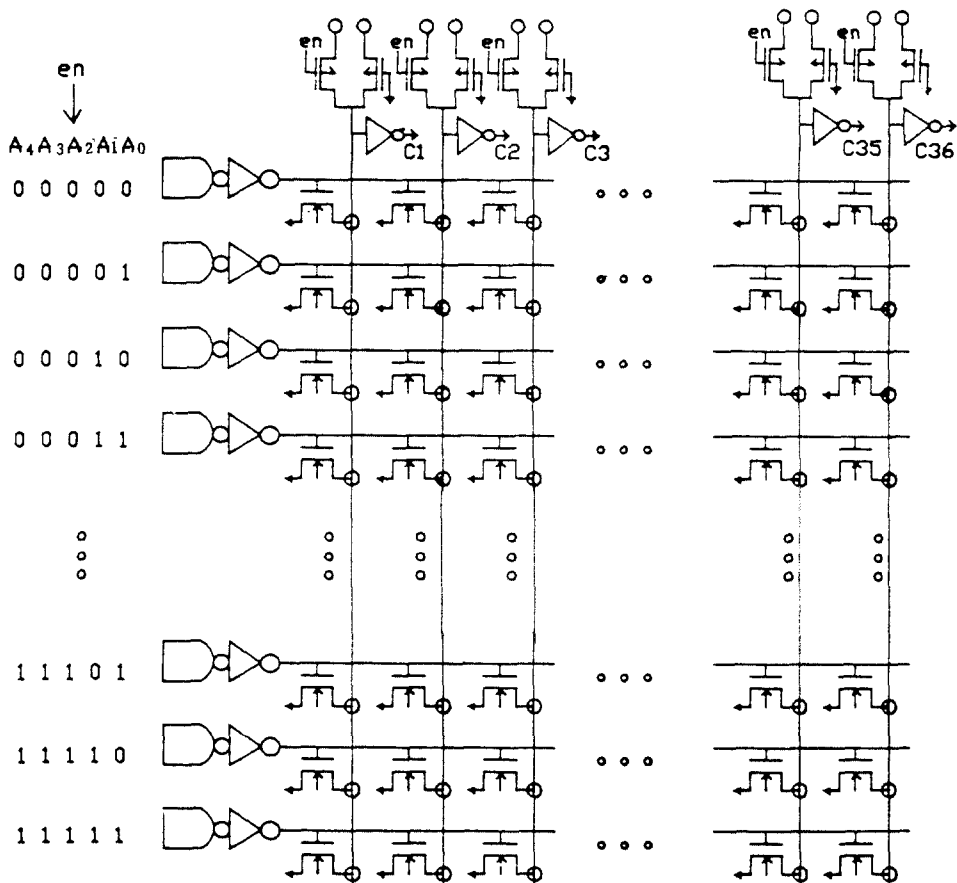


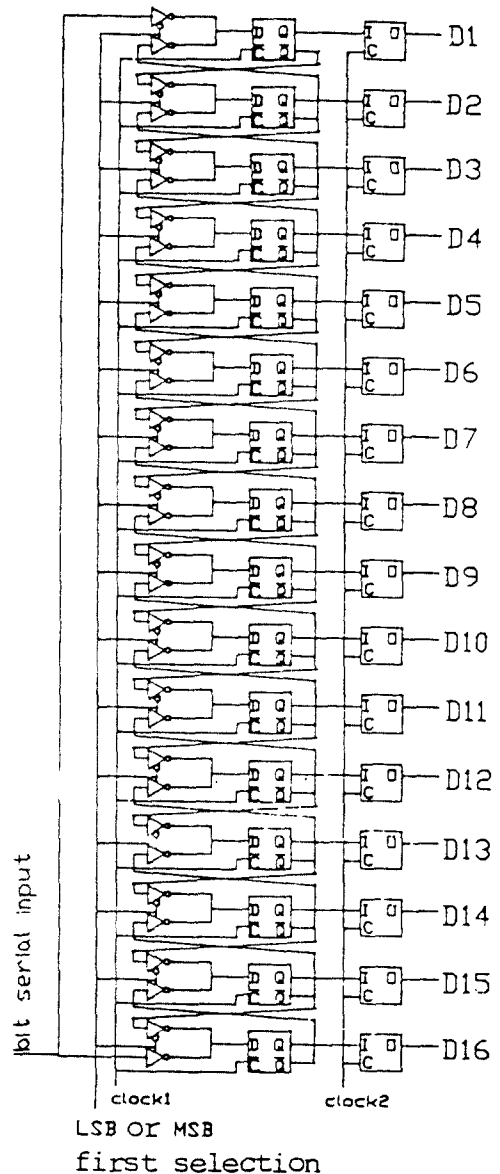
그림 7. ROM의 구조

기 위해 필요하며 실제로는 recoding된 계수가 기억된다. 18 bit의 계수를 만들어 주기위해 36 bit의 출력 bit line과 32개의 word line을 가지고 있다. 그림 7은 ROM의 구조이며 그계수내용은 그림 8과 같다.

36	00000000000000000000000000000000
35	00000000000000000000000000000000
34	00000000000000000000000000000001
33	00000000000000000000000000000000
32	00000000000000000000000000000000
31	00000000000000000000000000000000
30	00000000000000000000000000000000
29	00000000000000000000000000000000
28	00000000000000000000000000000000
27	00000000000000000000000000000000
26	00000000000000000000000000000000
25	00000000000000000000000000000000
24	00000000000000000000000000000000
23	00000000000000000000000000000000
22	00000000000000000000000000000000
21	00000000000000000000000000000000
20	00000000000000000000000000000000
19	00000000000000000000000000000000
18	00000000000000000000000000000000
17	00000000000000000000000000000000
16	00000000000000000000000000000000
15	00000000000000000000000000000000
14	00000000000000000000000000000000
13	00000000000000000000000000000000
12	00000000000000000000000000000000
11	00000000000000000000000000000000
10	00000000000000000000000000000000
9	00000000000000000000000000000000
8	00000000000000000000000000000000
7	00000000000000000000000000000000
6	00000000000000000000000000000000
5	00000000000000000000000000000000
4	00000000000000000000000000000000
3	00000000000000000000000000000000
2	00000000000000000000000000000000
1	00000000000000000000000000000000
A0	10101010101010101010101010101010
A1	11001100110011001100110011001100
A2	11110000111100001111000011110000
A3	11111100000000111111000000001111
A4	11111111111111111100000000000000

그림 8. ROM의 계수 내용

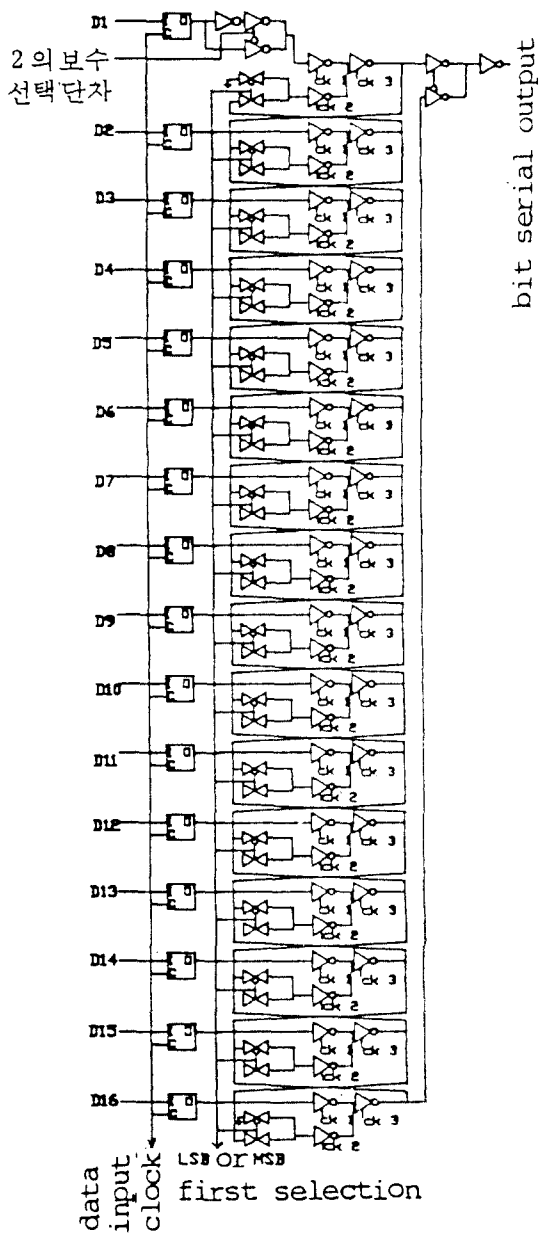
allel 로 바꾸어 주기위한 SIPO 인터페이스와 출력측에는 parallel에서 serial로 바꾸어주는 PISO 인터페이스가 필요하다. 각각의 인터페이스는 Left / Right 2개의 channel을 가지고 있고 데이터의 정렬순서를 MSB 또는 LSB 중에서 선택할 수 있게 하였다. 각각의 인터페이스에 대한 회로도는 그림 9과 같다.



(a) 입력 인터페이스

III.5 입출력 인터페이스의 설계

입력측에는 16bit의 데이터를 serial에서 par



(b) 승산 입자 케이스

그림 9. 입출력 입자 케이스 회로도

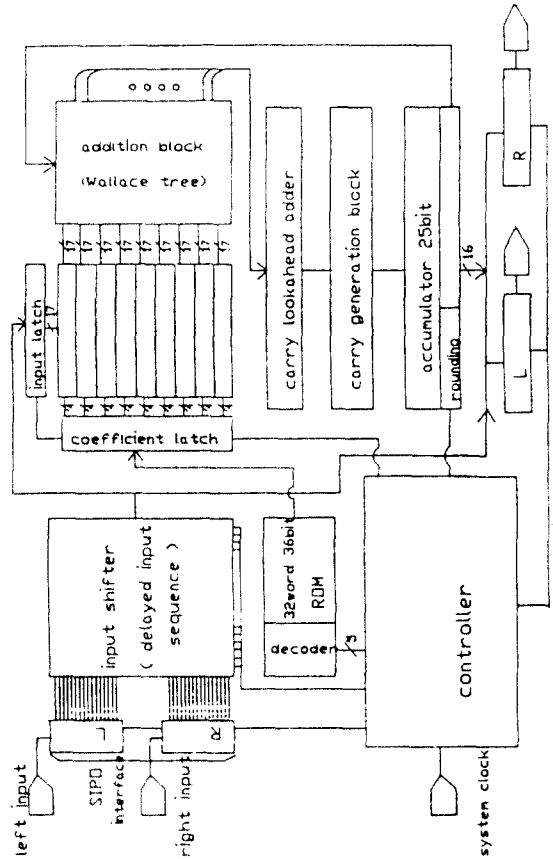


그림 10. 디지털 필터의 전체 회로도

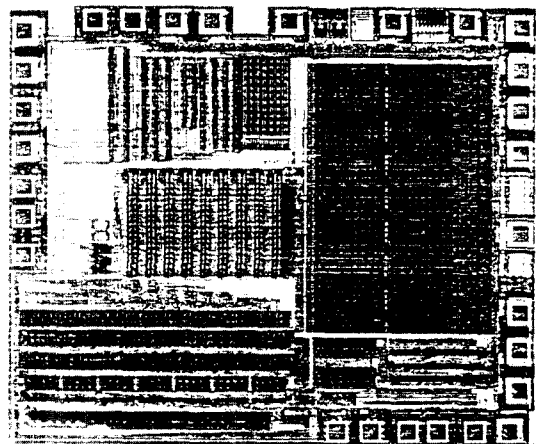


그림 11. 전체 회로 레이아웃

위 각 블록을 종합한 전체 회로블록도는 그림 10과 같고 전체 레이아웃은 그림 11에 보인다. 전체 칩면적은 $7 \times 7 \text{mm}^2$ 이다.

IV. 결 론

본 연구에서는 선형 위상 특성을 갖는 FIR 디지털 필터를 설계하였다. ALU 단은 병렬 승산기와 Wallace tree를 이용, 고속 연산을 수행하도록 하였다. ROM에는 partial product의 수를 반으로 줄이기 위해 modified Booth 알고리즘을 이용한 recoding 된 계수를 계산하여 기억시켰다.

동작 주파수는 오디오 신호영역의 최대 sampling 주파수인 50.5KHz에서 13MHz까지 가능하며 주파수 저지대역 감쇄량을 80dB이하로 감소시켰다. 또한 기본 셀의 게이트에 대한 시간 지연은 1.5 nano second 이하가 되도록 설계하였다.

앞으로 성능향상을 위한 윈도우 개발 및 승산기 등 구조적인 연구가 기대된다.

참 고 문 헌

1. Lawrence R. Rabiner and Bernard Gold, "Theory and Application of digital signal processing", 1975.

2. Meil weste and Kamran Eshraghian, "Principles of CMOS VLSI Design", 1985
 3. H.T. KUNG, Bob sproull and Guy steele, "VLSI systems and Computations", 1981.
 4. N. Zafar, N.N. Konar, T. Oseth, "A 24×24 Bit Parallel Multiplier Based on a Further Modified Booth's Algorithm", IEEE 1985 Custom Intergrated Circuits Conference, 1985.
 5. Kun Shan Lin, Gene A. Frantz, Ray Simar, "The TMS320 Family of Digital Signal Processors", Proceedings of the IEEE, Sep. 1987.
 6. R.F. Lyon, "Two's Complement Pipeline Multiplier", IEEE Trans. on Communication, April 1976.
 7. Louis P. Rubinfield, "A Proof of the Modified Booth's Algorithm for Multiplication", IEEe Trans. on Computers, Oct. 1975.
 8. Samuel D. Stearns and Ruth A. David, "Signal Processing Algorithms", 1988.
 9. 차광권 외 5, "Digital Filter One chip IC화 및 제작", 88 다목적 공동 설계개발에 관한 연구, 고려대학교
 10. Kai Hwang, Faye A. Briggs, "Computer Architecture and Parallel Processing", 1984.

金 相 勳 (Sang Hun KIM) 正會員
 1964年 8月14日生
 1987年 : 고려대 전자전공공학 졸업
 1989年 : 고려대 대학원 전자전공(석사)
 1989年 ~ 현재 : 삼성 반도체 AGIS팀



白 寅 天 (In Cheon PAIK) 正會員
 1963年 1月14日生
 1985年 : 高麗大 電子科 卒業
 1987年 : 高麗大 大學院 電子科(碩士)
 1987年 ~ 現在 : 高麗大 大學院 電子科 博士課程



朴 商 奉 (Sang Bong PARK) 正會員
 1962年 3月 8日生
 1985年 : 高麗大 電子材料科 卒業
 1987年 : 高麗大 大學院 電子工學科 卒業(工學碩士)
 1987年 ~ 現在 : 高麗大 大學院 電子工學科 博士課程



朴 魯 京 (Nho Kyung PARK) 正會員
 1958年 1月 8日生
 1984年 2月 : 高麗大 學校 電子工學科 卒業
 1986年 2月 : 高麗大 學校 工學碩士學位 取得
 1990年 2月 : 高麗大 學校 工學博士學位 取得
 1988年 ~ 現在 : 湖西大 學校 情報通信工學科 助教授
 ※ 主關心分野 : VLSI/CAD, 通信 回路 및 시스템 自動設計 등



車 均 鉉 (Kyun Hyon TCHAH) 正會員

1939年 3月26日生

1965年：高麗大學校 工學士

1967年：美國伊利諾伊大學校 工學碩士學位取得

1976年：高麗大學校 工學博士學位取得

1987年～現在：高麗大學校 電子電算工學科 教授

※主關心分野：CAD 및 通信等