

565 Mb/s 광전송용 단국중계장치 설계에 관한 연구

正會員 俞 奉 善* 正會員 朴 炳 哲*

A Study on the Design of the Terminal Repeater System for 565 Mb/s Optical Fiber Transmission

Bong Sun YOO*, Byung Chul PARK* *Regular Members*

要 約 본 논문에서는 우리 나라 디지털 다중화 계의 5차분 전송속도 564.992 Mb/s의 실제의 광전송 데이터 속도가 가정하고, 국내 565 Mb/s 광전송시스템을 유지 보수할 뿐만 아니라 디지털 광전송용 통신망을 B.S.I.화하기 위하여, 단국중계장치에서 기존의 전송로부호들 중 최적의 전송로부호라 시료되는 mBIZ 전송로부호를 이용한 새로운 전송로 프레임 구조를 제안하였다.

제안한 프레임 구조대로 565Mb/s 광전송용 단국중계장치에서 순수정보신호계열의 속도를 변환한 후 pulse stuffing 하는 방식으로 시스템 하드웨어를 실현시킨 결과, 전송 에러에 의한 연속적인 시스템 에러 과급 현상 즉, 도미노 현상을 방지할 수 있었으며, timing jitter와 동부호연속수도 억압할 수 있었다.

또한 광단국장치에서의 total BER을 10^4 정도까지 향상시킬 수 있기 때문에 시스템 SNR을 2dB 정도 개선할 수 있었다.

ABSTRACT On assuming that the transmission speed of the original information is the fifth-order transmission speed of the Korea digital multiplex hierarchy (564.992 Mb/s), this paper proposes a new structure of the transmission line frame at the terminal repeater system, in order to not only maintain and conserve 565Mb/s optical fiber transmission system but also make the B.S.I. of digital communication network for the optical transmission. And the structure uses the mBIZ transmission line code, which is considered the optimal transmission line code of conventional transmission line codes.

System hardware of the transmission line frame structure proposed in this paper is consisted by a method of pulse stuffing after converting the speed of the original information signal sequence at the terminal repeater system for 565 Mb/s optical transmission.

As a result of this, we can prevent the optical transmission system from a domino phenomenon, the phenomenon of the continuous error multiplication of systems by the transmission error, and suppress timing jitter and the identical-

*成均館大學校 電子工學科
Dept. of Electronics Engineer, Sung Kyun Kwan Univ.
論文番號 : 90-84 (接受1990. 8. .14)

consecutive digit number.

And also we can improve SNR of the optical transmission system about 2dB because of raising total BER at the optical terminal system up to 10⁹.

I. 서 론

오늘날 광통신 기술의 발달로 대륙횡단과 대륙간을 연결하는 장거리 통신망, 그리고 광대역 종합정보통신망(BISDN)에 이르기까지 그 응용 범위가 확장되어 가고 있으며, 특히 저손실 단일 모드 광섬유의 제작으로 일본과 구미 각 국에서는 1.7 Gb/s 이상의 전송속도 광전송 시스템이 이미 상용화되고 있다.⁽⁹⁾⁽¹⁰⁾ 이에 우리나라에서도 1978년 한국전자통신연구소에서 국내 디지털 다중화 계위 2차군 전송속도 6.312 Mb/s 광전송 실험을 성공으로 시작하여, 1979년에는 3차군 전송속도 44.736 Mb/s 광전송 실험을, 1985년에는 4차군 전송속도 139.26 Mb/s 광전송 실험을 성공한 이후, 1990년 1월에는 국내 디지털 다중화 계위 5차군 전송속도 564.992 Mb/s 광전송 시스템을 신탄진-서대전-옥천 전화국간에 설치하여 NRZ 전송로부호 패턴으로 45 Km 광전송에 성공하였다.⁽⁹⁾⁽¹⁰⁾

따라서 본 논문에서는 우리나라 디지털 다중화 계위 5차군 전송속도 564.992 Mb/s 광전송 시스템을 장거리 광전송용 통신망으로 구축할 경우, 디지털 광전송용 통신망을 B.S.I.(Bit Sequence Independence) 화합으로써 전화, 데이터, 팩시밀리, TV 전화 등의 각종 서비스에 대하여 양호한 전송품질을 제공하고, timing jitter 및 동부호연속수를 억압함과 동시에, 전송로 신호계열로부터 timing 정보 추출이 용이하도록 하기 위하여 순수정보신호계열을 전송로에 적합한 전송로부호로 변환하여야 할 뿐 아니라 565 Mb/s 광전송 시스템을 유지 보수하기 위하여 감시제어신호의 전송 및 전송로의 동작상태 등을 감시할 목적으로⁽⁹⁾⁽¹⁰⁾, 단국중계장치에서 기존에 발표된 광전송로 부호들⁽⁹⁾⁽¹⁰⁾중 최적의 광전송로 부호라 사료되는 mBIZ 광전송로 부호를 이용한 새로운 전송로 프레임의 구성하는

방법을 제안하였다.

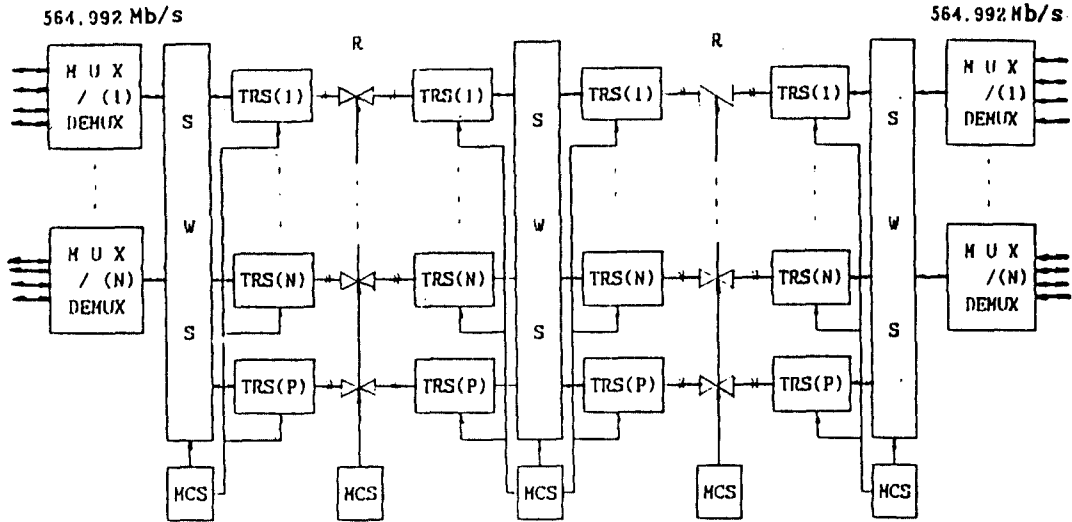
또한 본 논문에서 제안한 광전송로 프레임의 시스템 하드웨어는 단국중계장치에서 4차군 전송속도 신호계열의 4채널을 다중화한 5차군 전송속도 564.992Mb/s의 순수정보신호계열로 하여 이 순수정보신호계열의 속도를 우선 속도변환한 후, mBIZ 광전송로 부호로 부호화하면서 전송로 프레임 구조상의 보조 비트들 즉, housekeeping 비트들 각각을 pulse stuffing하여 각각의 위치에 삽입하는 방식으로 비교적 간단하게 구성하였으며, 이 결과와정을 컴퓨터 시뮬레이션하여 그 결과를 일본 디지털 다중화 계위 5차군과 6차군 전송속도를 광전송용 단국중계장치에서 전송로 프레임한 결과⁽⁹⁾⁽¹⁰⁾와 비교 검토하였다.

II. 565Mb/s 광전송 시스템

565Mb/s 광전송 시스템으로 장거리 광전송용 통신망을 구축할 경우, N개의 운용채널과 1개의 예비채널로 구성된 565Mb/s 광전송 시스템의 구성도는 그림1과 같으며,⁽⁹⁾⁽¹⁰⁾ 각각의 block을 간단히 설명하면 다음과 같다.

우선 564.992 Mb/s 광단국장치의 다중화기에 의한 국내 디지털 다중화 계위 4차군 전송속도의 신호계열 4채널을 5차군 다중화 프레임 구성에 따라 대국 정보 및 parity check 등 다목적 용도로 사용할 수 있는 예비 비트 들과 그외 서비스 비트 들 즉, housekeeping 비트들과 함께 다중화를 행하여 564.992 Mb/s 신호를 출력시키며, 역다중화기에서는 564.992Mb/s 다중화기에서 삽입된 FAW(Frame Alignment Word)을 찾아 종속된 4채널의 4차군 신호계열로 분리시키며, 이때 송신단에서 삽입된 housekeeping 비트들도 함께 분리시킨다.

단국중계장치 송신단에서는 지령에서 이미



MUX / DEMUX : 다중화기 / 역다중화기 (Multiplexer / Demultiplexer)
 SWS : 절체장치 (Switching System)
 TRS : 단국중계장치 (Terminal Repeater System)
 MCS : 감시제어장치 (Monitor and Control System)
 R : 광 증개기 (Optical Repeater)
 P : 예비채널 (Preparation Channel)

그림 1. 565Mb/s 광전송 시스템 구성도.
 Fig. 1. Structure of 565Mb/s optical transmission system.

언급한 바와 같은 목적하에 5차군 다중화 프레임 구성과는 독립적으로 564.992 Mb/s 정보신호계열을 다시 전송로 프레임을 행하여 단일 모우드 광섬유로 출력시키며, 단국중계장치 수신단에서는 이 송신단의 역동작을 행하면서 수신신호계열을 감시 제어한다.

절체장치는 단국중계장치에서 감시 제어한 결과에 따라 필요시 운용회선을 예비 회선으로 자동·수동으로 절체를 행하는 기능을 갖는다.

감시제어장치는 광단국장치와 단국중계장치, 그리고 광중계장치 (또는 광중계기라고도 함.)에 설치되어 이들 장치의 감시정보와 상태정보를 수집 분석하여 전체 565Mb/s 광전송 시스템의 성능 평가 데이터를 제공해 준다.

이제 III장부터는 본 논문과 관련있는 단국중계장치에 관하여 보다 자세히 언급하기로 한다.

III. 565Mb/s 단국중계장치의 설계

III-1. 전송로 프레임 구성 방법

III-1-1. 전송로 프레임 구성 조건

단국중계장치에서는 이미 서론에서 전술한 바와 같이 장거리 광전송용 통신망의 B.S.I. 화, timing jitter 및 동부호연속수의 억압, 그리고 전송신호계열로부터 timing 정보 추출이 용이하도록 하기 위하여 순수정보신호계열을 전송로에 적합한 전송로부호로 변환하여야 할 뿐만 아니라 565Mb/s 광전송 시스템을 유지 보수하기 위하여 감시제어신호의 전송 및 전송로의 동작상태 등을 감시할 목적으로 전송로 프레임을 구성하여야 하며, 이 전송로 프레임을 구성할 경우 고려해야 할 조건들은 다음과 같다.^(5x6x11x12)

- 1) 주정보신호계열의 속도를 변환하여 주정보 신호계열 내에 housekeeping 비트 삽입으로 인한 클럭 상승률이 높지 않아야 한다.
- 2) pulse stuffing의 불균형으로 인한 waiting time jitter가 발생하지 않도록 해야 한다.
- 3) 전송로 프레임 구성 회로를 가능한 한 간단히 하기 위하여 housekeeping 비트들을 동일 간격으로 분산 배치하여야 한다.
- 4) 각 디지털 다중화 계위의 다중화 프레임 동기복귀시간 규격치를 만족하도록 설계하여야 한다. 즉, 최고차군의 다중화 프레임 동기가 어긋나면, 저차군 다중화 프레임 동기에 영향을 끼쳐 저차군 다중화 프레임 동기가 어긋나기 때문에, 고차군 다중화 프레임 동기복귀시간을 저차군의 다중화 프레임 동기복귀시간 내로 하지 않으면 안된다. 따라서 일반적으로 고차군 다중화 프레임 동기복귀시간은 대응하는 저차군 다중화 프레임 동기복귀시간의 1/2이하로 하여야 한다. 표 1은 디지털 다중화 계위의 최대 다중화 프레임 동기복귀시간을 나타낸 것이다.⁽¹²⁾⁽¹³⁾⁽¹⁷⁾

표 1. 디지털 다중화 계위의 최대 다중화 프레임 동기복귀시간
 Table 1. The maximum sync recovery time of multiplexing frame of each digital multiplex hierarchy.

디지털 다중화 계위	최대 다중화 프레임 동기복귀시간 ms
2차군	16
3차군	2.5
4차군	1
5차군	0.5

III-1.2. 전송로 프레임 구성

현재 단국중계장치에서 전송로 프레임 구성방법으로 가장 잘 알려져 있는 방식으로는 전송로 프레임 동기복귀 방식에 따라 패턴검출 1비트 즉시 쉬프트 방식, 지연 집중 쉬프트 방식, 그리고

고 병렬 검출용 서차군 1비트 쉬프트 방식 등이 있다.⁽¹²⁾

본 논문에서는 현재 700MHz 정도의 고속 IC로 하드웨어 실현이 가능하다는 가정하에 전송로 프레임 구성시 조건들을 고려하여 패턴검출 1비트 즉시 쉬프트 방식을 채택하였다.⁽¹⁵⁾

이 방식으로 전송로 프레임 구성시, 전송로 프레임 SYNC 비트 수는 의사 동기 패턴을 피하고, 또 전송로 프레임 동기복귀시간을 단축하기 위하여 4비트로 정하였으며 (F_1, F_2, F_3, F_4), 전송로 프레임 동기복귀시간 T_r 은 국제 디지털 다중화 계위 5차군 전송속도 564.992Mb/s를 순수정보신호계열로 가정하고 다시 전송로 프레임을 행하여 광전송하는 것으로 하여 0.25[ms] 이내로 정하였다.⁽¹⁶⁾⁽¹⁷⁾

이 결과, 패턴 검출 1비트 즉시 쉬프트 방식에 의한 전송로 프레임 동기복귀시간 T_r 에 따른 한 전송로 프레임 길이 N 은 식(1)에 의하여 반드시 $N \leq 1448$ 이어야 한다.

$$T_r = (1 + \frac{P}{1-P}) \cdot N \cdot \frac{N}{f_0} \quad (1)$$

여기서 T_r 은 전송로 프레임 동기복귀시간으로서 $T_r \leq 0.25ms$, N 은 한 전송로 프레임 길이, P 는 SYNC 패턴 일치 확률로서 $P = (1/2)^r$, r 은 전송로 프레임 SYNC 비트 수로서 $r=4$, 그리고 f_0 는 전송로 프레임 구성후의 클럭 주파수로서 $f_0 \geq 564.992 \text{ Mb/s}$ 이다.

또한, 기존에 발표된 광전송로 부호 중 최적의 광전송로 부호라고 사료되는 mB1Z 광전송로 부호를 광전송로 부호로 선택함으로써 전송로 프레임 구성시 최적 인 비트 길이는 참고문헌 [14]에 의하여 15비트로 선정하였다. 이때의 광전송로 부호의 부호 패턴은 광전송 시스템의 신뢰도를 향상시키기 위한 방법을 고려하여 13B1P1Z (13 Binary with one Parity bit and one Zero bit Insertion)로 하였다. 그 결과 최적 한 전송로 프레임 길이 N 은 다음과 같이 구할 수 있다.

$$N=15 \times N_s \times K \quad (2)$$

여기서 N_s 는 Subframe 수로 $N_s=16$ 으로 함으로써 전 절에서 언급한 사항들을 목적으로 하는 현행 전송로 프레임 방식에 전송 도중 한 비트 정보에러를 검출 교정까지 할 수 있게끔 전송로 프레임을 구성할 수 있었다. 또한 K 는 임의의 양정수로 전 절의 조건 1과 식 (1)에서 구한 한 전송로 프레임 길이 범위 N 을 만족시키기 위하여 $K=6$ 을 선택하므로써, 주정보신호계열의 속도를 변환하여 주정보신호계열 내에 housek-

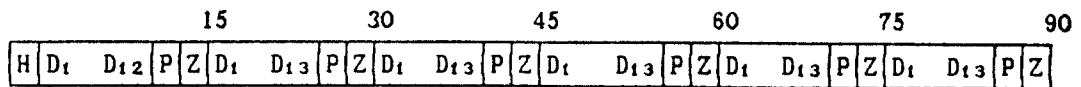
eeping 비트를 삽입으로 인한 클럭 상승률(1.169 \approx 90/77)을 최소로 줄일 수 있었다.

이상과 결과와 더불어 전 절의 조건 3을 만족하 게끔 구성된 전송로 프레임 구성도를 그림 2에 나타내었다.

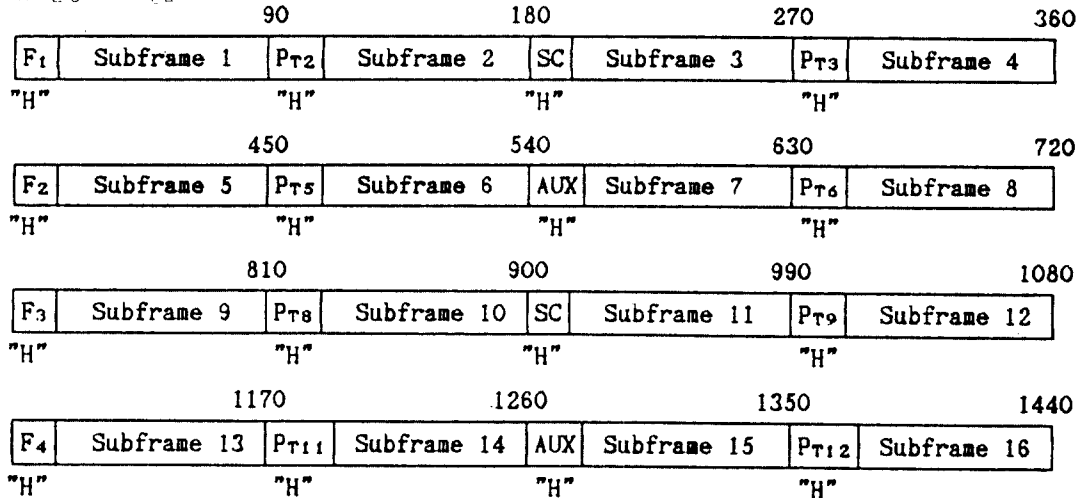
III-2. 단국중계장치의 시스템 구성

단국중계장치의 송신단에서 그림 2의 전송로 프레임을 실현시키는 시스템 구성에 관한 설명을 하기 위하여 그림 3에 단국중계장치의 송신단에 서의 시스템 블록도를, 그림 4에는 단국중계장치

* Subframe 구조



* 전송로 프레임



H : Housekeeping Bit

F_i : Frame Sync Bit (i=1,2,3,4), "F₁F₂F₃F₄=1100"

SC : Surveillance and Control Information Bit

AUX : Auxiliary Service Bit

D_i : The fifth-order Infomation Bit

P_{Ti} : 각각의 block의 i번째 비트들의 총 even parity 정보

P : 한 block 내 2,4,6,8,10,12 비트들의 even parity 정보

Z : Zero Bit

그림 2. 단국중계장치에서의 전송로 프레임 구성도

Fig. 2. The structure of the optical transmission line frame at the terminal repeater system.

의 송신단과 수신단에서 전송로 frame과 def-frame 을 행할 때 필요한 그림 3의 Frame Counter부에서 출력되는 timing diagram들을 나타내었다. PLL(Phase Locked Loop)을 이용하여 구성할 수 있는 Frame Counter부의 timing diagram 그림 4에서 T_b 와 T_m 의 주기는 564.992Mb/s의 입력 정보신호계열 P의 bit time slot을 T라 할 때, 각각 $154 \times T$, $2464 \times T$ 이며,

T_d , T_D , T_B , 그리고 T_S 의 클럭 펄스 수는 각각 T_b 한 주기에 154, 156, 6, 그리고 180개이다. T_F , T_H 와 T_R 은 각각의 T_B , T_b , T_m 클럭 펄스가 천이(transition)가 일어날 때마다 발생하는 클럭 펄스들이며, T_F 와 T_H 의 펄스지속시간은 T_S 한 주기 시간이고, T_R 의 펄스지속시간은 T_S 한 주기의 1/2 시간이다.

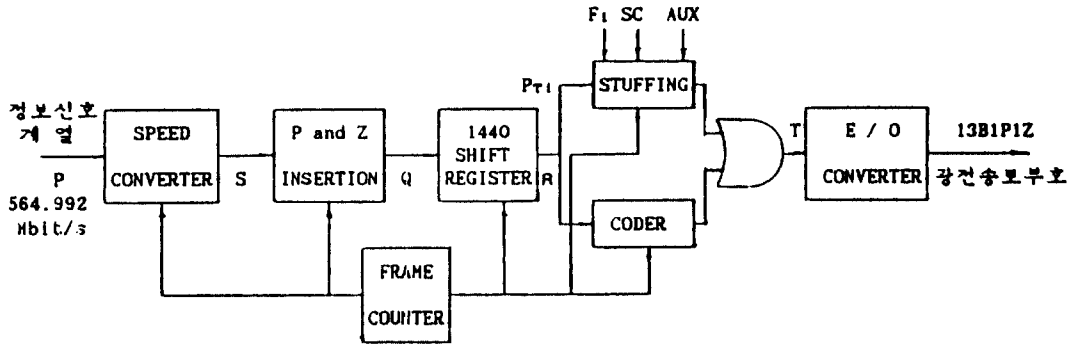


그림 3. 단국중계장치 송신부에서의 시스템 블록도.
Fig. 3. System block diagram at transmitter of the T.R.S.

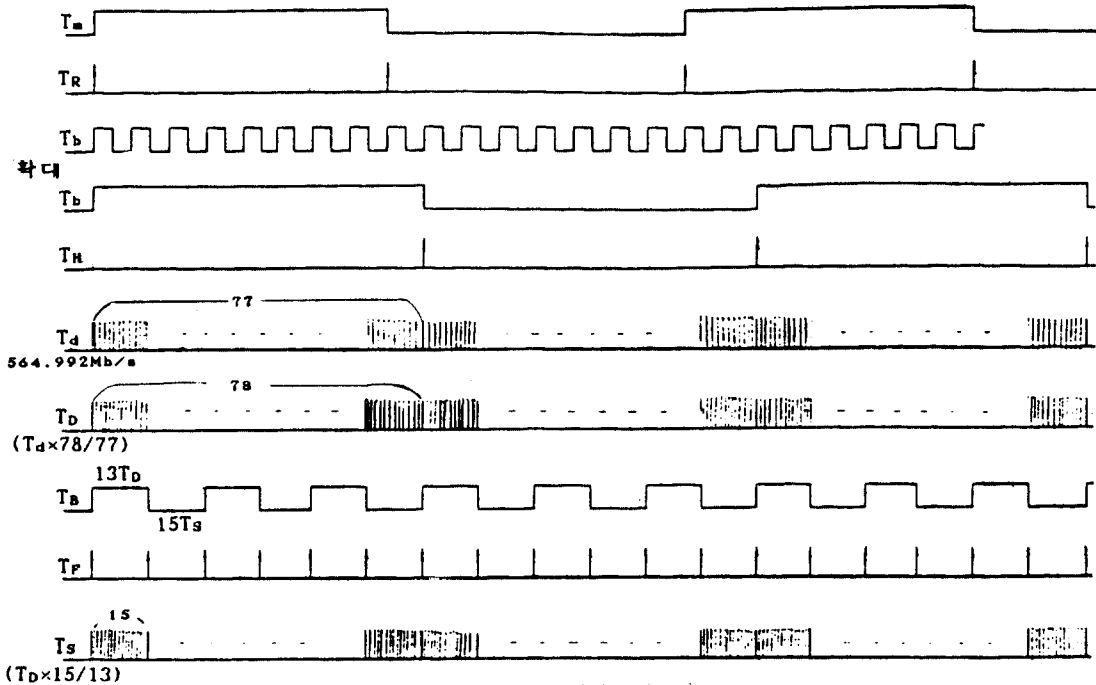


그림 4. Frame Counter부의 timing diagram.
Fig. 4. Timing diagrams at Frame Counter.

이 Frame Counter부의 timing diagram으로 단국중계장치의 송신단에서의 시스템 블럭도를 간단히 설명하면 다음과 같다.

국내 디지털 다중화 계위 5차군 전송속도 (564.992Mb/s)로 입력되는 순수정보신호계열 P가 Frame Counter부의 클럭 펄스 $T_b \cdot T_d$ (또는 $\bar{T}_b \cdot T_d$)에 의하여 77비트 단위로 Speed Converter 부에 입력되면, 78단 shift register 2개로 구성된 Speed Converter부는 Frame Counter부의 클럭 펄스 $\bar{T}_b \cdot T_D$ (또한 $T_b \cdot T_D$)에 의하여 78/77 만큼 P의 전송속도를 상승시켜 전송로 프레임 구조상의 "H" 정보 비트들 즉, F₁, P_T, SC, 그리고 AUX 정보 비트 들을 Stuffing 부에서 R 신호계열 내로 삽입시키기 위하여 78비트 단위로 맨 처음 비트마다 "0"을 삽입한 S신호를 출력시킨다.

이 S 신호계열이 Frame Counter 부의 클럭 펄스 $T_B \cdot T_D$ (또는 $\bar{T}_B \cdot T_D$)에 의하여 13 비트 단위로 P and Z Insertion 부에 입력되면, 13 단 shift register 2개로 구성된 P and Z Insertion 부는 Frame Counter 부의 클럭펄스 $\bar{T}_B \cdot T_S$ (또는 $T_B \cdot T_S$)에 의하여 15/13 만큼 S 신호계열의 전송속도를 다시 상승시킴과 동시에 전송로 프레임 구조처럼 클럭 펄스 $\bar{T}_B \cdot T_S \cdot T_F$ (또는 $T_B \cdot T_S \cdot T_F$)에 의하여 S 신호계열의 13 비트 내 2,4,6,8,10,12 번째 비트 들을 서로 EX-OR 한 even parity 정보비트 P와 "Zero"비트를 13 비트 다음 2비트에 차례한 블럭장이 15 비트인 13B1P1Z 광전송로 부호패턴 Q를 출력시킨다. 출력된 Q신호계열은 결국 국내 디지털 다중화 계위 5차군 전송속도 564.992Mb/s를 1.169 ($\approx (78/77) \times (15/13)$)만큼 전송속도를 상승시킨 신호계열이다. 이 Q 신호계열이 Frame Counter 부의 클럭 펄스 $T_m \cdot T_s$ (또는 $\bar{T}_m \cdot T_s$)에 의하여 총 전송로 프레임 길이 1440 비트를 단위로 1440단 Shift Register 부에 입력되면, 1440 단 shift register 2개로 구성된 1440 단 Shift Register 부는 Frame Counter 부의 클럭 펄스 $\bar{T}_m \cdot T_s$ (또는 $T_m \cdot T_s$)에 의하여 R 출력신호계열을 Coder부로 입력시킴과 동시에 "H" 비트

중 P_{T1}정보들을 생성하여 16단 parallel-in/serial-out register로 구성된 Stuffing 부에 병렬로 각각의 위치에 입력시킨다. 이 P_{T1} 정보는 총전송로 프레임 길이 1440 비트를 15 비트 단위로 블럭을 나누어 각각의 블럭에서의 2,3,5,6, 8,9,11,12 번째 비트 들끼리 서로 EX-OR 하여 생성한 even parity 정보들이며, 이 P_{T1} 정보들은 단국중계장치 수신단의 Error Correction Circuit 부에서 전송 도중 발생하는 한 비트 에러를 교정하는데 필요하다.

또한 P_{T1}정보가 Stuffing 부에 입력될 시간에 P_{T1} 정보 이외에 "H" 비트들 즉, F₁, SC, 그리고 AUX 정보 들도 Stuffing 부에 병렬로 각각의 위치에 입력되어야 한다. 이 R 신호계열이 Coder 부에 입력되면, Frame Counter 부의 클럭 펄스 T_S에 의하여 Coder 부는 R 신호계열과 Coder 부의 출력신호계열들을 한 비트씩 지연시킨 신호계열을 서로 EX NOR 하여 R신호 계열을 13 B1P1Z 광전송로 부호 (일종의 14B1Z 광전송로 부호임)로 부호 변환시켜 출력시킨다. 이때 Coder 부의 출력정보신호계열 중 (90i+1)번째 비트마다 전송로 프레임 구조처럼 "H" 정보들을 Stuffing부로부터 순서대로 삽입시키기 위하여 Coder 부에서는 지연소자를 Coder부의 출력 정보비트 수가 90 개일 때마다, 즉 Frame Counter 부의 T_B · T_H · \bar{T}_S 펄스가 발생할 때마다 논리치 "1"인 set 상태로 항상 초기화시키면서 부호화한다. 그 결과 부호화된 (90i+1)번째 비트 정보는 항상 "0"이며, 그 비트 자리에 "H"비트 정보를 삽입시켜 출력신호계열 T를 생성한다. 여기서 i는 0을 포함한 양정수이다.

이와 같이 출력된 출력신호계열 T는 E/O Converter 부에 입력되어 LD(Laser Diode)를 구동시킴으로써 본 논문에서 제안한 전송로 프레임 구조로 구성된 13B1P1Z 광전송로 부호로 광전송이 시작된다.

한편, 단국중계장치 수신단의 시스템 블럭도는 그림 5와 같으며, 그림 5에서 알 수 있는 바와 같이 단국중계장치 수신단의 시스템 구성은 패턴 검출 1비트 즉시 쉬프트 방식으로 전송로 프레임

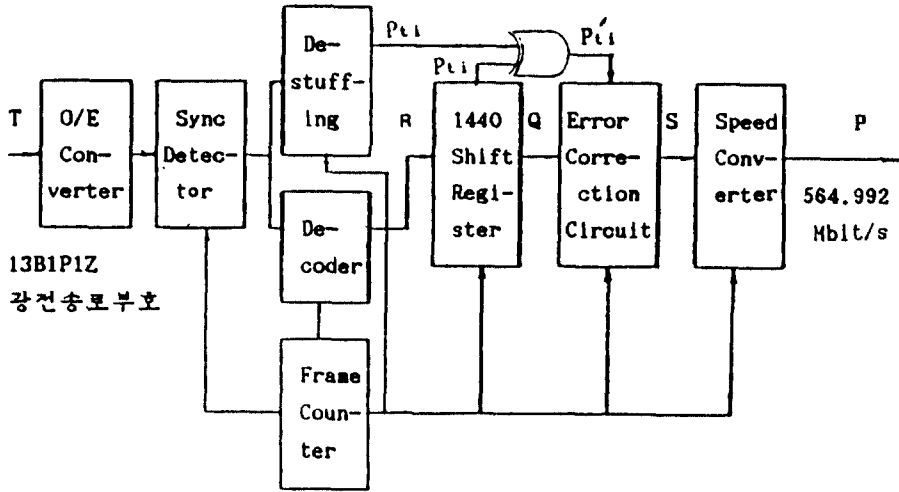


그림 5. 단국중계장치 수신단의 시스템 블록도
 Fig. 5. System block diagram at receiver of TRS

의 SYNC 비트들을 검출한 후, Error Correction Circuit 부문을 제외하고는 단국중계장치 송신단에서의 전송로 프레임 과정의 역과정으로 구성되어 있음을 알 수 있다.

따라서 본 논문에서는 단국중계장치 수신단에서의 Error Correction Circuit 부문을 제외한 시스템 구성에 대한 설명은 생략하는 것으로 하고, Error Correction Circuit 부에 관한 설명은 다음 절에서 보다 자세히 언급하기로 한다.

III-3. Error Correction Circuit

565Mb/s 광전송 시스템의 유지 보수뿐만 아니라 신뢰도를 향상시키기 위하여 본 절에서는 일종의 14B1Z 광전송로 부호인 13B1P1Z 광전송로 부호의 단점 즉, 13B1P1Z 광전송로 부호로 전송되는 신호계열 T가 전송 도중 한 비트 에러가 발생하였을 경우, 수신단의 13B1P1Z 광전송로 부호의 복호기로 복호된 후 에러 발생 한 비트와 그 다음 비트까지 연이어서 2비트 에러가 발생하는 단점을 이용하여 에러교정회로를 간단히 15단 shift register 2개로 구성하였으며, 그 동작 설명은 다음과 같다.

우선 단국중계장치 수신단에서의 시스템 블록도는 그림 5에서 알 수 있는 바와 같이, 13B1

P1Z 광전송로 부호의 복호기로 복호된 후 1440단 Shift Register부에 한 전송로 프레임 길이 1440 비트 정보들이 그림 4의 Frame Counter부의 클럭 펄스 $T_m \cdot T_s$ (또는 $\bar{T}_m \cdot T_s$)에 의하여 모두 입력된다. 입력된 1440비트 중 첫 번째 비트가 Error Correction Circuit부로 Frame Counter부의 클럭 펄스 $\bar{T}_m \cdot T_s$ (또는 $T_m \cdot T_s$)에 의하여 입력될 때, 그와 동시에 Frame Counter부의 클럭 펄스 T_R 에 의하여 단국중계장치의 송신단에서 보낸 P_{Ti} 정보를 그림 5의 Destuffing 부에서 이미 추출하였던 각각의 P_{Ti} 정보와 1440단 Shift Register 부에서 수신된 정보들로부터 다시 검출한 P_{Ti} 정보 각각을 같은 기호끼리 (즉, 예를 들어 Destuffing 부의 P_{T2} 와 1440단 Shift Register 부의 P_{T2} , 또 $P_{T3}, P_{T3}, \dots, P_{T12}, P_{T12}$ 끼리) 서로 EX OR 되어 8개의 패리티 정보 P_{Ti}' 정보가 Error Correction Circuit부의 8단 parallel in / parallel out register에 입력된다. 이때 입력된 P_{Ti}' 정보가 만일 "1"이라면, 한 전송로 프레임 길이 1440비트를 15비트 단위로 블럭을 나누었을 때, $96(=1440/15)$ 블럭 중 임의의 한 블럭의 i번째 비트가 에러 발생 한 것을 나타내며, 이와 반대로 만일 P_{Ti}' 가 "0"이라면, 총 96블럭 각각의 i번째 비트 모두가 정상임을 나타낸다. 이 8단

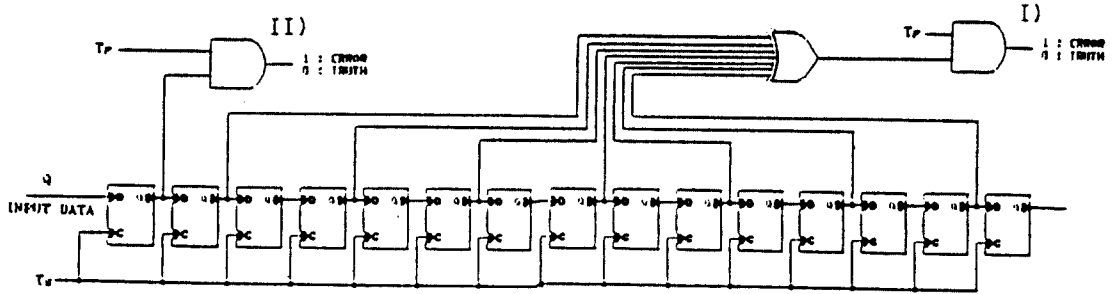


그림 6. 에러 검출 회로
Fig. 6. Error Detection Circuit

parallel-in / parallel-out register에 입력된 P_{Ti} 정보는 한 전송로 프레임 시간 단위로 바뀐다.

한편, 그림 5의 1440단 Shift Register 부로부터 출력되는 Q 신호계열은 15비트 단위, 즉 한 블록 단위로 Frame Counter 부의 클럭펄스 $T_B \cdot T_S$ (또는 $\bar{T}_B \cdot T_S$)에 의하여 Error Correction Circuit 부에 입력되어 단국중계장치의 송신단에서 이미 검사한 한 블록 내 14번째 비트 패리티 정보 P와 같은 한 블록 내 2,4,6,8,10,12 번째 정보 비트 모두를 서로 EX-OR하여 even-parity P_b 를 검사하므로써 즉, 그림 6-(I)과 같이 행하

므로써 한 블록단위로 에러가 발생한 블록을 검출할 수 있다. 이때 $P_b=1$ 이면, 지금 even-parity 검사를 한 블록 내에 비트 에러가 발생하였음을 나타내며, $P_b=0$ 이면, 그 블록 내에는 에러가 발생하지 않았음을 나타낸다.

이상의 동작으로, 96블록 내 임의의 한 블록에서 전송 도중 한 비트에러가 발생하였을 경우, 수신 복호후 얻어온 2비트 에러 위치를 표 2에 나타내었다.

이들 에러 발생 패턴 이외에 표2의 마지막 라인에 나타낸 한 가지 에러 발생 패턴이 더 있

표 2. 전송 도중 한 비트 에러에 의한 에러 발생 패턴과 위치
Table 2. The pattern and the position of error generation by one bit error at optical fiber transmission line.

블록에러 발생패턴	에러 발생 패턴									에러 발생 위치
	parallel-in / parallel-out register									
	P_b	Z	$P_{T_{12}}$	$P_{T_{11}}$	P_{T_9}	P_{T_8}	P_{T_6}	P_{T_5}	P_{T_3}	
1	0	0	0	0	0	0	0	0	1	D_1, D_2
1	0	0	0	0	0	0	0	1	1	D_2, D_3
1	0	0	0	0	0	0	0	1	0	D_1, D_4
1	0	0	0	0	0	0	1	0	0	D_4, D_5
1	0	0	0	0	0	1	1	0	0	D_5, D_6
1	0	0	0	0	0	1	0	0	0	D_6, D_7
1	0	0	0	0	1	0	0	0	0	D_7, D_8
1	0	0	0	1	1	0	0	0	0	D_8, D_9
1	0	0	0	1	0	0	0	0	0	D_9, D_{10}
1	0	0	1	0	0	0	0	0	0	D_{10}, D_{11}
1	0	1	1	0	0	0	0	0	0	D_{11}, D_{12}
1	0	1	0	0	0	0	0	0	0	D_{12}, D_{13}
1	0	0	0	0	0	0	0	0	0	D_{13}
0	1	0	0	0	0	0	0	0	0	the next block D_1

다. 즉, 그림 6 (H)의 에러검출회로에서 한 블록 단위로 15번째 비트마다 "0"이어야 할 비트가 "1"이고, 그 블록의 2,4,6,8,10,12번째 정보 비트들과 14번째 패리티 정보비트 P를 서로 EX-OR 하여 검사할 even parity 정보 역시 $P_b=0$ 인 동시에, 한 전송로 프레임 시간 동안의 모든 P_{Ti} 정보들이 다 "0"일 경우에는 13BIP1Z 광전송로 부호의 단점에 의하여 $Z=1$ 인 블록 그 다음 블록의 첫 번째 데이터 정보 비트가 에러 발생 위치가 된다.

이상의 모든 경우에 대하여 구성된 에러교정회로를 그림 7에 나타내었으며, 이 그림으로부터 표2의 일부 규칙적인 에러 발생 패턴과 위치에 의하여, 그림 7에 점선으로 표시한 회로부분을 cell화 하므로써 간단히 Error Correction Circuit을 구성할 수 있으며, 또 13BIP1Z 광전송로 부호의 단점 즉, 전송 도중 한 비트 에러에 의하여 수신 복호후 얻어온 2비트 에러가 발생한다는 단점을 이용하여, 전송 도중 한비트 에러에 의하여 수신 복호후 한 비트 에러만 발생하는 다른 광전송로 부호보다도 에러교정회로가 매우 간단하다는 것을 알 수 있다.

또한 에러교정회로를 지나 출력되는 출력신호 계열 S는 Frame Counter 부의 클럭 펄스 $T_B \cdot T_D$ (또는 $T_B \cdot T_D$)에 의하여 $(13/15) \times T_S (=T_D)$ 만큼 전송속도를 낮춤으로써 단국중계장치 송신단의 P and Z Insertion부에서 13BIP1Z

광전송로 부호패턴을 만들기 위하여 삽입시킨 P와 Z 2비트를 제거할 수 있다. 따라서, Error Correction Circuit 부는 단국중계장치 송신단에서의 P and Z Insertion부의 역과정을 얻을 수 있다.

그러고 그림 6의 에러검출회로와 광단국장치의 BER을 고려하여 검사제어 장치를 구성할 수 있으며, 이 장치로부터 "H"비트 중 SC 또는 AUX 정보 비트를 발생시켜 다른 단국중계장치로 송출하거나, 또는 검출장치로 송출하여 BER이 규정치보다 높은 유휴회선을 예비회선으로 교환할 수도 있다.

이상과 같이 동작하는 Error Correction Circuit 부를 지나 출력되는 정보신호계열 S는 Frame Counter부의 클럭 펄스 $T_b \cdot T_D$ (또는 $T_b \cdot T_D$)에 의하여 77단 Shift Register 2개로 구성된 Speed Converter부에 입력되고, 다시 Frame Counter부의 클럭 펄스 $T_b \cdot T_d$ (또는 $T_b \cdot T_d$)에 의하여 국내 디지털 제1 5차분 전송속도 564.992 Mb/s의 순수정보신호계열 P가 출력된다.

IV. 시뮬레이션 및 그 결과

본 장에서는 그림 8에 나타낸 컴퓨터 프로그램으로 단국중계장치의 송신단에서 수신단까지의 전반 과정을 한 전송로 그래픽 같이 단위로

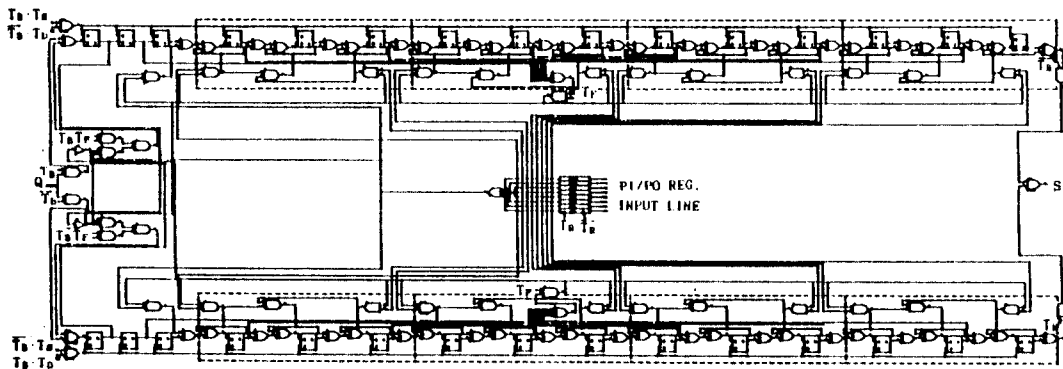


그림 7. 에러교정회로
Fig. 7. Error Correction Circuit

즉, 1440 비트 단위로 시뮬레이션하였다.

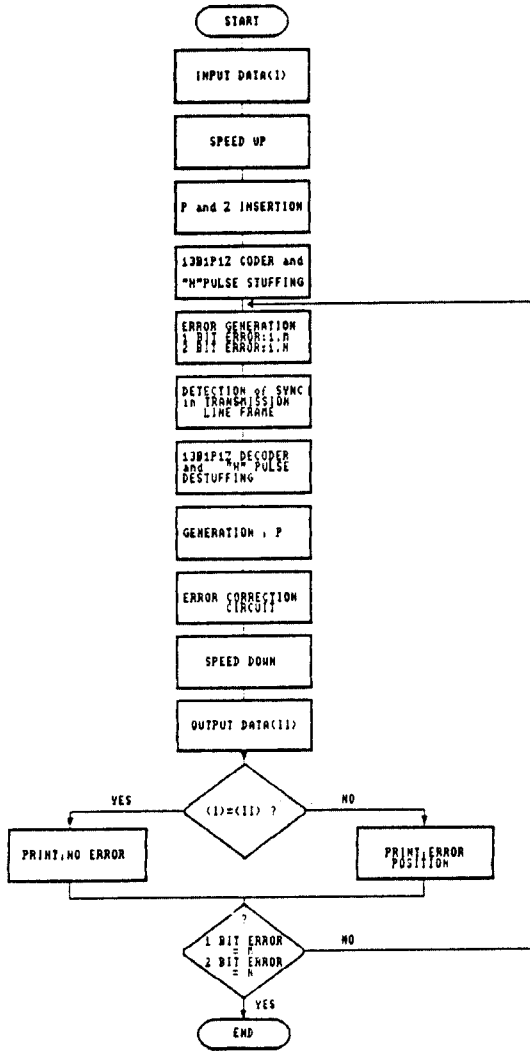


그림 8. 단국 중계장치의 시스템 흐름도
Fig. 8. A Flowchart of TRS.

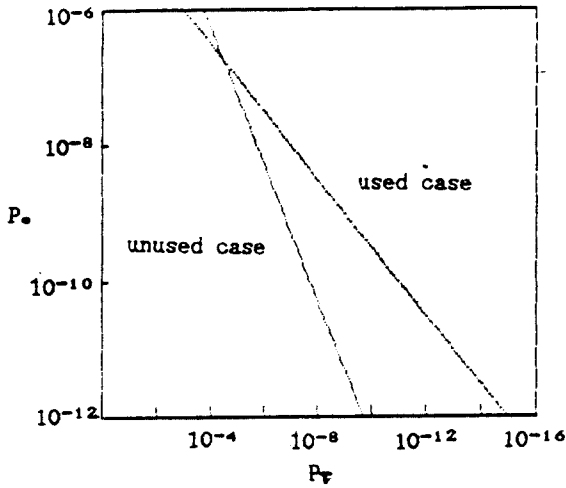
그림 9의 에러 발생 과정에서의 한 비트 에러 발생 과정은 1440번 loop을 돌려 에러가 발생할 수 있는 모든 비트 위치에서 한 비트 에러를 발생시켰고, 또 2비트 에러 발생 과정은 1440번 loop 내 다시 1440번 sub loop를 돌려 2비트 에러가 발생 가능한 모든 위치에서 2비트 에러를 발생시켜 에러 교정 능력을 검토하였다. 검사

결과 에러 비트가 없는 경우와 한 전송로 프레임 내 한 비트 에러가 발생한 경우에 대해서는 입력 데이터(I)과 출력데이터(II)의 값이 동일한 반면에 2비트 에러가 발생한 경우에 대해서는 2비트 에러 위치에 따라 에러 비트 수가 0-4개가 되며, 이 결과로부터 전송 도중 한 비트 에러에 의한 13B1P1Z 광전송로 부호의 단점이라 할 수 있는 수신 복호후 2비트 에러 현상을 볼 수 있었다.

이 시뮬레이션 결과로부터 전송 도중 한 비트 에러를 교정하기 위하여 redundancy 비트를 100% 삽입시킨 참고문헌[15]에 비하여 매우 적은 redundancy 삽입률(약14.4%)로 같은 효과를 얻을 수 있었을 뿐만 아니라 전송로 프레임 구성까지도 할 수 있었다. 또한, CCITT에서 권고한 장거리 표준 회선 길이인 2500Km를 최대 중계회선길이라 가정하고, 또 중계기 간격을 25Km, 단국중계장치간의 간격을 250Km라 가정하여 광단국장치간에 반드시 만족시켜야 할 소정의 BER⁽¹⁾, 즉 각종 서어비스의 전송품질을 양호하게 하기 위한 BER이 10⁻⁹인 광전송 시스템에 본 논문에서 제안한 전송로 프레임 방식을 단국중계장치에 적용시켰을 경우와 적용시키지 않았을 경우에 대해서 BER을 검토한 결과, 그림 9로부터 전송로 프레임 방식을 단국중계장치에 적용시켰을 경우가 적용시키지 않았을 경우보다 광단국장치간의 소정의 BER을 10⁴ 정도 향상시킬 수 있음을 알 수 있으며, 이 결과로부터 광전송 시스템의 SNR을 2dB 정도 개선할 수 있음을 또한 알 수 있었다.

따라서 광단국장치간 반드시 만족시켜야 할 소정의 BER이 10⁻⁹인 광전송시스템에 본 방식을 적용한다면, 현재의 광중계기 간격의 최대 길이를 더 연장시킬 수 있으리라 사료된다. 즉, 전송 손실이 1dB / Km인 단일 모우드 광섬유를 전송 매개체로 사용할 경우, 광중계기 간격을 2Km 정도 더 연장시킬 수 있다.

그리고, 표 3에 본 논문에서 제안한 전송로 프레임 방식과 일본 디지털 다중화 개위 5차준과 6차준 전송속도를 광전송용 단국중계장치에서



P_o : BER of transmission line
 P_t : Total BER at optical terminal system

그림 9. 전송로 BER에 따른 광단말장치에서의 BER
 Fig. 9. Total BER at the optical terminal system due to BER of transmission line.

표 3. 여러 전송로 프레임 방식들의 특성 비교
 Table 3. The comparison of characteristics of a few transmission line frames.

특성	송파	제한할	일본 5차분	일본 6차분
	전송로 프레임	전송로 프레임	전송로 프레임	전송로 프레임
1) Clock 상승률		1.169%	1.122%	1.146%
2) 1 frame 길이		1440 Bits	440 Bits	1760 Bits
3) 프레임 동기 부위시간		0.212 [msec]	0.216 [msec]	0.059 [msec]
4) 광전송로부호		mB1Z	mB1C	DmB1M
5) 에리잡지가능				
6) 에리교정가능			X	X
회로	부복호기			
	회로유무	○	X	△
유부	Scramblar	X	○	
	유부			
단	Error			
	교정회로	○	△	
도	잡지식			
	Total	○	△	△

전송로 프레임한 방식들과⁽⁶⁾⁽¹⁶⁾비교 검토한 결과를 나타내었다.

V. 결 론

우리나라 디지털 다중화 계위 5차분 전송속도 564.992Mb/s 광전송 시스템을 장거리 광전송 통신망으로 구축할 경우, 광전송 시스템의 유지 보수뿐만 아니라 디지털 광전송 통신망을 B.S.I.화 하기 위하여 본 논문에서는 광전송용 단국중계장치에서 기존의 광전송로 부호 중 최적의 광전송로 부호라 사료되는 mB1Z 광전송로 부호를 이용하여 다음과 같은 장점을 갖는 전송로 프레임을 행하는 방식을 새로이 제안하였다.

- 1) 장거리 디지털 광통신망을 BSI화 할 수 있다.
- 2) Timing jitter을 억압할 수 있다.
- 3) 동부호연속수를 15비트 이내로 억압할 수 있다.
- 4) 전송신호계열로부터 용이하게 timing 정보를 추출할 수 있다.
- 5) 전송로 프레임 회로 구성이 비교적 간단하다.
- 6) 전송신호계열의 마코율이 1/2이다.
- 7) 낮은 redundancy 삽입율로 전송 도중 발생 하는 한 비트 에러를 감출 교정할 수 있어 시스템 SNR을 개선할 수 있다.
- 8) 따라서 565 Mb/s 광전송 시스템을 유지 보수할 수 있다.

이상과 같은 장점을 갖는 전송로 프레임 방식을 565Mb/s 광전송 시스템에 적용하였을 경우, 현재의 광중계기 간격의 최대 길이를 더 연장시킬 수 있으리라 사료된다.

참 고 문 헌

1. A.H. GNAUCK, R.A. LINKE, R.T. YEN, L.G.

COHEN, "4-G bit / s Transmission over 103Km of Optical Fiber Using a Novel Electronic Multiplexer / Demultiplexer", IEEE. J. of Light Wave Tech., Vol. LT-3, No.5, pp. 1032-1035, October, 1985.

2. 山田雅一, 大川典男, "F-1.6G 방식 中間中繼裝置", 研實報, Vol.36, No.2, pp.161-167, 1987.

3. 이만섭, 강민호, "국내의 常用化 光傳送 시스템의 構成 및 特性", 전자통신, Vol.9, No.2, pp.1-13, 1987.

4. 신동관, 이만섭, "Development of Multiplexer and Demultiplexers for the 565 Mbit / s Optical Fiber Transmission System", 전자통신 Vol.9, No.2, pp.36-47, 1987.

5. 佐藤裕一, 松下正彦, "PCM-400M 端局中繼裝置의 實用化", 研實報, Vol.25, No.1, pp.61-76, 1976.

6. 吉開範障 加藤正美, "F-400M 방식 端局中繼裝置의 設計 と 特性", 研實報, Vol.32, No.3, pp.597-608, 1983.

7. NORIAKI YOSHIKAI, TAKESHI ITO, "mBIC Code and ITs Performance in an Optical Communication System", IEEE. Trans. Comm., Vol.COM-32, No.2, pp.163-168, FEBRUARY, 1984.

8. NORIAKI YOSHIKAI, SHIGENDO NISHI, JUN-ICHI YAMADA, "Line Code and Terminal Configuration for Very Large Capacity Optical Transmission System", IEEE. J. on SELECTED AREAS IN COMM.,

Vol. SAC.4, No. 9, pp.1432-1437, DECEMBER, 1986.

9. 유봉진, 원동호, 김명철, "高速 mBIZ 傳送路符號에 關한 研究", 한국 통신학회 논문집, Vol.12, No.1, pp. 347-356, 1987.

10. 김충환, 김창집, "565Mbit/s 單·모드 光傳送 시스템 開發", 전자통신 Vol.9, No.2, pp.14-23, 1987.

11. Frank F.E. Owen, "PCM and Digital Transmission Systems", McGraw Hill, Inc., 1982.

12. 大竹孝平, 高正博, "PCM-400M 多重變換裝置의 實用化", 研實報, Vol.25, No.1, pp.107-131, 1976.

13. CCITT, REC., G.743, "Second order digital multiplex equipments operating at 6312kbit/s and using positive justification."

14. 송재길, 유봉진, 박명철, "mBIZ 符號의 最適 情報長 決定에 關한 研究", 대한전자공학회 학술대회 논문집, 7.1988.

15. N.YOSHIKAI, "ERROR CORRECTING CODE FOR OPTICAL FIBER TRANSMISSION SYSTEMS", ELECTRONICS LETTERS, Vol.23, No.3, pp.97-98, January 1987.

16. 吉開, 吉山, "F-1.6G 방식 多重化 端局中繼裝置", 研實報, Vol.36, No.2, pp.169, 1987.

17. CCITT, REC.G.752, "Characteristics of digital multiplex equipments based on a second order bit rate of 6312kbit/s and using positive justification."

俞奉善 (Bong Sun YOO) 正會員

1960年 7月 3日生

1984年 2月 : 성균관대학교 전자공학과 졸업(공학사)

1986年 2月 : 성균관대학교 대학원 전자공학과 졸업(공학석사)

1989年 2月 : 성균관대학교 대학원 전자공학과 박사과정 수료

1989年 3月 ~ 現在 : 인덕공업전문대학 전임강사



朴炳哲 (Byung Chul PARK) 正會員

1930年 4月 30日生

1957年 9月 : 서울대학교 工科大学 通信工學科 卒業(工學士)

1975年 2月 : 仁荷大學校 大學院 電氣工學科 卒業(工學博士)

1980年 9月 : 日本東京大學 外國人 研究員(1年間) 1年

1972年 3月 ~ 現在 : 成均館大學校 電子工學科 教授



1987年 2月 ~ 現在 : 成均館大學校 工科大学長