

被測定回路的 經路 活性化 指定에 관한 研究

正會員 李 康 鉉* 正會員 金 容 得**

A Study on the Allocation schemes of the Path Sensitization for Circuit Under Test

Kang Hyeon RHEE*, Yong Deak KIM** *Regular Members*

要 約 本 論文에서는 被測定回路(CUT)를 擬似-全體檢査할 時, 檢査重要度(TMY)가 높은 노드를 中心으로 PI에서 PO까지의 經路를 活性化하는 알고리즘을 提案한다.

CUT의 TMY가 높은 노드들의 定義는 全體 노드들에 對한 檢査度(TY) 값을 原 데이터로 하는 母集團으로 取扱하고, 이를 t-分布에 有意水準: $(1-\alpha)$ 域의 檢定을 통하여 TY의 信賴區間 推定에서 이루어졌다. 定義된 TMY가 높은 노드들을 中心으로 順方向과 逆方向의 論理케이트에 特異커버와 一致操作을 實行하므로 擬似-全體檢査 패턴이 容易하게 生成되었다.

그 結果, 擬似 全體檢査 패턴 數는 $(1-\alpha)$ 域이 0.1579에서 全體檢査에 비해 0.05%로 가장 적게 生成되었다. 그리고 $(1-\alpha)$ 域이 0.2368에서 特異커버와 一致操作의 實行이 最適狀態였다. 이들 生成된 擬似-全體檢査 패턴을 回路의 入力과 內部 노드에 存在하는 缺陷故障에 適用하여 出力에서 檢證이 되어, 提案된 經路 活性化 알고리즘의 技能的 檢査의 效用性을 確認하였다.

ABSTRACT This paper deals with the path sensitization algorithm from PI to PO center on the nodes of high testability mainstay when CUT is tested by pseudo exhaustive testing.

In CUT, the node definition of high testability mainstay treats the testability values of the entire nodes with the population composed of the raw data, and after we examined the level of significance $(1-\alpha)$ region, we accomplished in the estimation of the confidence interval of the testability. Focusing on the defined nodes of high testability mainstay, we performed the singular cover and consistency operation to the forward and backward logic gates. Thus, we easily generated the pseudo exhaustive test patterns.

As a result, $(1-\alpha)$ region has 0.1579 and the pseudo exhaustive test patterns are least generated and the rate of test pattern is 1.22%, compared with exhaustive testing. $(1-\alpha)$ region has 0.2368 and this result exhibits the optimal performance of the singular cover and consistency operation. Applying the generated pseudo exhaustive test patterns to the stuck-at faults existing on the inputs and internal nodes in CUT, we verified this performance on the output. Thus, it is confirmed that functional testing of the proposed path sensitization algorithm is very useful.

I. 序 論

*朝鮮大學校 工科學 電子工學科
Dept. of Elec. Eng., Chosun Univ.
**亞洲大學校 工科學 電子工學科
Dept. of Elec. Eng., Ajou Univ.
論文番號: 90-76(接受 1990. 7. 30)

半導體 製造技術의 急激한 發展으로 LSI/
VLSI 回路의 複雜度와 集積度가 繼續 增加하고

있다. 이로 인하여 回路의 故障發生은 보다 높은 確率을 가져와서 回路檢査(circuit test)에 대한 어려움이 惹起되어 점점 더 重要한 問題로 擡頭 되었고 이의 研究가 繼續 進行되어 왔다.^{1) 2) 3)}

檢査할 回路(circuit under test : CUT)의 入力 數가 增加하면 檢査패턴의 數는 指數的으로 增加 하게 되어 CUT의 全體檢査(exhaustive test)가 어렵게 된다. 全體檢査는 브리징缺陷(bridging fault)에 대해서도 組合論理 回路를 順序回路로 變換하지 않고 100%의 缺陷에 대한 適用範圍를 提供해 주는 長點이 있다.⁴⁾ 따라서 CUT를 全體 檢査할 수 있으면서 檢査패턴의 數와 檢査時間을 減少시킬 수 있는 擬似-全體檢査(pseudo-exhaustive test)에 대한 研究가 繼續되었다.

이를 위하여 Roth⁵⁾, Goel⁶⁾, Fujiwara⁷⁾, McCluskey⁸⁾, Udell⁹⁾, 本 研究陣^{10) 11)} 등은 CUT의 P1과 P0 사이의 活性化된 經路를 探索하는 方法들을 提案하였다. 이 方法들은 素子の 特異커버(singular cover) 및 一致操作(consistency operation)을 하기 위한 經路의 順追跡과 逆追跡, 再收斂 經路의 處理가 複雜하며 그리고 副回路의 分割時에 境界 노드 定義에 따른 經路 探索과 活性化의 어려움, 生成된 檢査패턴이 不必要한 패턴까지도 包含한 點 等이 있다.

本 論文에서는 CUT를 擬似-全體檢査하는데 있어서 이러한 短點들을 改善, 補完하고자 CUT의 全體 노드들에 대한 檢査度(testability : TY)를 計算한 後, 이를 原 데이터로 하는 母集團(population)으로 取扱하고 有意水準(level of significance)의 域에 대한 檢定을 통하여, 信賴區間(confidence interval : CI)에 存在하는 重要度(mainstay)가 높은 TY를 中心으로 P1에서 P0까지의 經路를 容易하게 活性化시키는 方式의 알고리즘을 提案한다.

II. 擬似-全體檢査

CUT의 擬似-全體檢査는 CUT의 P1에서 P0까지의 經路를 活性化시키기 위하여 回路 素子の 特異커버를 定義하여 一致操作을 實行할 때,

回路의 內部 노드가 技能的 論理값으로 制御되는 동안에 CUT가 全體的으로 檢査되는 技術이다. 그러므로 CUT를 全體檢査하는 것 보다 매우 짧은 檢査패턴이 要求되고, 經路上的의 單一 s-a-缺陷(single stuck-at-fault)뿐만 아니라 製造工程上的의 예러로 인한 多重缺陷(multiple fault)까지도 檢出할 수가 있다.

1. 經路 活性化

CUT의 檢査에서 入力패턴을 生成하는 體系的인 方法은 P1에서 P0까지의 經路를 活性化하는 것이다. Roth는 複數의 經路를 同時에 活性化하는 D-알고리즘⁵⁾을 提案하였다. CUT의 任意의 論理素子를 通過하는 經路가 活性化되기 위해서는, 그 素子の 眞理表 特性에 따른 特異커버를 定義하여 一致操作을 實行한다. 表 1은 各 論理 게이트의 特異커버이다.

表 1. 論理 게이트의 特異커버
Singular cover of Logic gates.

AND		NAND		OR		NOR		EXOR	
입력	출력	입력	출력	입력	출력	입력	출력	입력	출력
1 1	1	0 X	1	1 X	1	0 0	1	X X'	1
0 X	0	X 0	1	X 1	1	1 X	0	X X	0
X 0	0	1 1	0	0 0	0	X 1	0		

特異커버는 定義는 積 系列의 論理 게이트 入力은 1을 割當하고, 合 系列의 論理 게이트 入力은 0을 割當한다. 이는 回路의 入力에서 出力까지 順追跡을 實行하는 過程이다.

게이트 레벨에서의 回路 故障은 經路의 論理狀態가 "1" "0"으로 固定되어 發生된다. 任意의 回路 內部 노드의 正常信號가 1일 때, 0을 發生시키는 故障信號는 s-a-0으로서 D로 表現되며, 正常信號가 0일 때, 1을 發生시키는 故障信號는 s-a-1로서 D'로 表現되니다. 게이트의 出力에 이러한 故障이 發生하면 表 2와 같이 入力에 一致操作의 論理값 割當이 이루어진다. 이는 出力에서 入力으로 逆追跡을 實行하는 過程이다.

표 2. 論理 게이트의 一致操作
Consistency operation of logic gates.

출력	입력검사 패턴				
	AND	NAND	OR	NOR	EXOR
0	0 X	1 1	0 0	1 X	0 0
0	X 0	1 1	0 0	X 1	1 1
1	1 1	0 X	1 X	0 0	0 1
1	1 1	X 0	X 1	0 0	1 0

2. 노드의 TY

CUT의 擬似-全體檢査 패턴을 生成하기 위해서는 回路的 各 노드에 固定된 論理값을 割當해야 한다.⁽¹²⁾ 이러한 實行을 할 수 있는 容易性을 이 노드의 制御度(controllability : CY)라 한다. 이 實行 後, 노드에 割當된 論理값이 CUT의 P0에서 觀測되는 容易性을 그 노드의 觀測度(observability : OY)라 한다. 이때 各 노드의 TY는 CY와 OY의 函數에 의해 求解된다.

論理素子 z의 CY를 計算하기 위해서는 먼저 Z에 대한 CY의 傳送率 CTF(controllability transfer factor)를 式(1)로부터 구한다. 이 素子の 出力 論理값 1,0의 數와 關係가 있다.

$$CTF(Z) = 1 - \left| \frac{N(0) - N(1)}{N(0) + N(1)} \right| \quad (1)$$

(N(0)는 素子 出力의 0의 總數, N(1)은 素子 出力의 1의 總數)

入力數가 n일 때 N(0)+N(1)은 2ⁿ이 된다. 出力端 Z₀에 대한 CY(Z₀)는 n과 CTF(Z), 그리고 入力端 Zi全體의 값인 CY(Zi)로부터 式(2)와 같이 計算된다.

$$CY(Z_0) = \frac{CTF(Z)}{n} \sum_{i=1}^n CY(Z_i) \quad (2)$$

論理素子 Z의 OY를 計算하기 위해서는 먼저 Z에 대한 OY의 傳送率 OTF(observability transfer factor)를 式(3)으로부터 구한다. 이는 素子の 入力에서 出力으로 活性化하는 經路의

數와 關係가 있다.

$$OTF(Z) = \frac{N(SP)}{N(SP) + N(IP)} \quad (3)$$

(N(SP)는 入,出力間의 活性 經路(sensitive path)의 總數, N(IP)는 入,出力間의 非活性 經路(insensitive path)의 總數)

入力端 Zi에 대한 OY(Zi)는 OY(Z₀)와 n과 OTF(Z), 그리고 다른 入力端 Zk全體의 값인 CY(Zk)로부터 式(4)와 같이 計算된다.

$$OY(Z_i) = OY(Z_0) \frac{OTF(Z)}{n-1} \sum_{k=1}^{n-1} CY(Z_k) \quad (4)$$

그리고 CUT의 各 노드에 대한 TY 計算은 式(5)와 같이 그 노드의 CY와 OY의 函數로 求解된다.

$$TY = CY * OY \quad (5)$$

III. 經路의 活性化 알고리즘

CUT를 檢査하기 위해서는 P1에서 P0까지 經路가 活性化 되어야 한다. 그리고 擬似-全體檢査를 하기 위한 檢査패턴을 TMY가 높은 노드를 包含하는 入,出力間의 經路를 活性化시켜 生成해야 한다. 이를 위하여 本論文에서는 CUT의 全體 노드에 대한 TY를 式(5)로부터 計算하여 이를 母集團으로 取扱하고, TY의 標本平均 X'와 標本標準偏差 s로 부터 有意標準 (1-α)域이 0에 收斂할 때, 母集團의 信賴區間 CI에 存在하는 TY를 中心으로 經路를 活性化시키는 알고리즘을 提案한다.

提案된 알고리즘에서 CI에 存在하는 TY값 計算은 自由度가 n-1(n은 노드 數)인 t-分布^{13, 14)}의 式(6)으로부터 구한다.

$$CI = X' \pm t(n-1; \frac{\alpha}{2}) \frac{s}{\sqrt{n}} \quad (6)$$

[定理 1]

CUT의 각 노드의 TY값에 대한 t -분布的 CI는 α 區間的 檢定을 통하여 定義된다. α 가 0에 收斂하는 域은 P1에서 P0까지의 모든 노드가 存在하며, $(1-\alpha)$ 가 0에 收斂하는 域은 TMY가 높은 노드가 存在한다.

[證明 1]

TY값의 X' 와 s 는 母數를 推定하면서 CI는 點推定(point estimation)이 된다. 따라서 α 가 0에 收斂하면 $(1-\alpha)$ 는 累積確率이 되어가고, 採擇域은 1이 되어 CUT의 모든 노드가 包含되는 全體檢査가 된다. 逆으로 $(1-\alpha)$ 의 有意域이 0에 收斂하면 採擇域은 0에 가까워지고, 여기에 TMY가 높은 노드가 存在하게 된다.

[定理 2]

CI에 存在하는 TMY가 높은 노드들의 구성은 선택된 P1와 内部 노드들로 形成된다. 그리고 内部 노드는 CUT의 分割된 副回路를 形成한다.

[證明 2]

TMY가 높은 内部 노드들을 中心으로 順方向과 逆方向의 論理 게이트에 特異키비 및 一致操作을 實行하여 선택된 P1와 P0 사이의 經路를 活性化시키면 CUT의 擬似-全體檢査가 構成된다. 그리고 論理의 組合의 으로 生成되는 檢査패턴 數는 선택된 P1 數의 제곱이 된다.

그림 1은 t -분布 上의 CI에 TMY가 높은 노드의 存在를 보여준다.

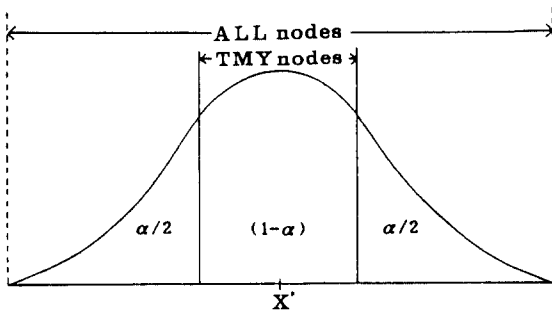


그림 1. t -분布 上에 存在하는 TMY.
The existing TMY on t -distribution.

이와같이 提案된 擬似-全體檢査를 위한 經路의 活性化를 定義하는 알고리즘의 構成은 다음과

같고 이의 흐름도는 그림 2와 같다.

〈CUT의 經路 活性化 알고리즘〉

- X' : TY값의 平均값
- s : TY값의 標本標準偏差
- n : CUT의 전체 노드의 數
- w : 選擇된 P1의 數
- I : 選擇된 内部 노드의 數
- T : $w+I$

[節次 1] CUT의 各 노드에 대한 CY, OY, TY를 計算한다.

[節次 2] 다음 段階에 의하여 TMY가 높은 노드를 探索한다.

[段階 1] TY를 母集團으로 취하여 X' 와 s 를 求한다.

[段階 2] t -분布 上에 存在하는 TY를 式 (5)의 $t(n-1;(\alpha/2))$ 項에서 α 區間의 檢定을 통하여 TY의 信賴區間 CI를 求한다.

[段階 3] $(1-\alpha)$ 의 有意域이 0에 收斂하는 域에서 存在하는 TY값의 노드를 求한다.

WHILE n DO

IF TY(n) \exists CI

THEN TY(n)은 TMY가 높은 노드 : $T \leftarrow$
TY (n)

IF TY(n)=PI

THEN $w \leftarrow$ TY(n)

ELSE $I \leftarrow$ TY(n)

IF END

IF END

[節次 3] 段階 3의 w 와 I 에 속한 TY(n)의 노드를 中心으로 順方向과 逆方向의 論理 게이트에 特異키비와 一致操作을 實行하여 擬似-全體檢査 패턴을 w^2 으로 生成한다.

IV. 實行結果 및 檢討

本 論文에서 提案한 CUT의 經路 活性化 알고

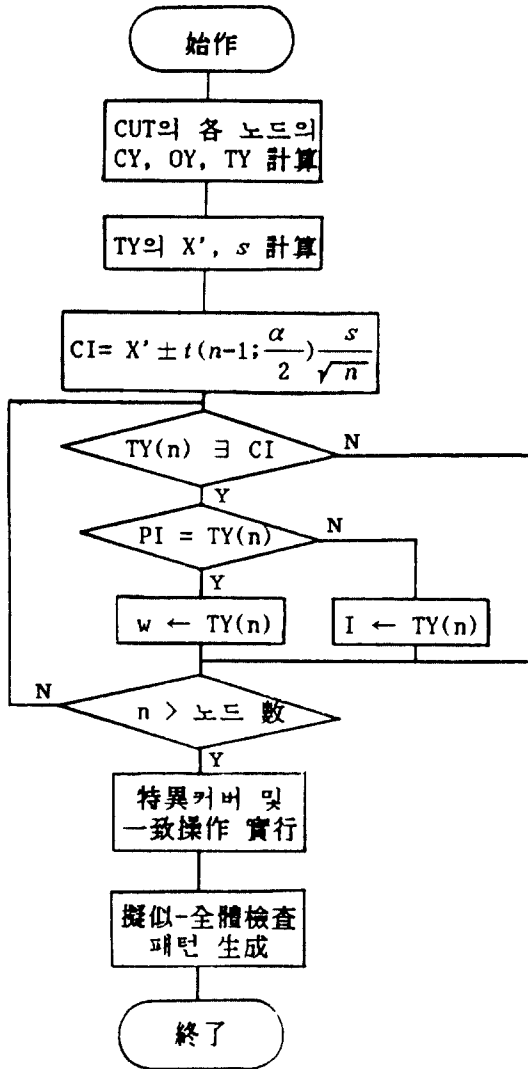


그림 2. 提案된 經路 活性化의 알고리즘 흐름도.
Flow-chart of proposed path sensitization.

리즘을 UNIX OS에서 C言語로 實現하여 그림 3의 組合論理 CUT에 適用하여 實行하였다. CUT의 各 노드에 대한 CY, OY, TY값은 表 3과 같다.

表 3의 TY값이 提案된 알고리즘의 節次2의 段階2와 3의 $t(n-1; (\alpha/2))$ 에서 그림 4와 같이 CI에 存在하는 노드는 X축의 $(1-\alpha)$ 가 0과 1사이의 값에 따라서 經路가 活性化되는 TMY 노드로

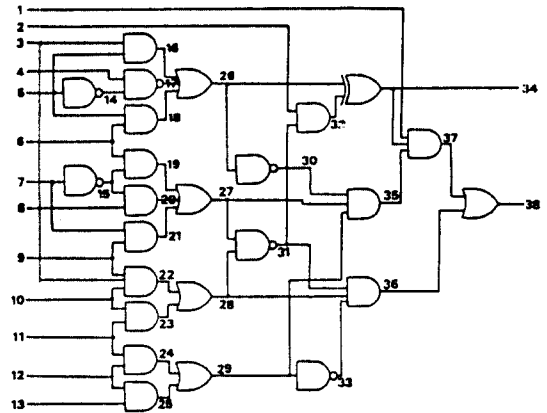


그림 3. CUT의 例
Example of CUT.

표 3. 그림 3의 各 노드의 CY, OY, TY 값
CY, OY and TY's values of each node in Fig. 3.

No.	CY	OY	TY
1	1.00000	0.00064	0.00064
2	1.00000	0.00488	0.00488
3	1.00000	0.00428	0.00428
4	1.00000	0.00843	0.00843
5	1.00000	0.00843	0.00843
6	1.00000	0.00426	0.00426
7	1.00000	0.00010	0.00010
8	1.00000	0.00010	0.00010
9	1.00000	0.00012	0.00012
10	1.00000	0.00013	0.00013
11	1.00000	0.00012	0.00012
12	1.00000	0.00011	0.00011
13	1.00000	0.00011	0.00011
14	1.00000	0.00843	0.00843
15	1.00000	0.00010	0.00010
16	0.50000	0.01686	0.00843
17	0.50000	0.01686	0.00843
18	0.50000	0.01686	0.00843
19	0.50000	0.00020	0.00010
20	0.50000	0.00020	0.00010
21	0.50000	0.00020	0.00010
22	0.25000	0.00052	0.00013
23	0.50000	0.00026	0.00013
24	0.50000	0.00023	0.00011
25	0.50000	0.00023	0.00011
26	0.12500	0.13484	0.01686
27	0.12500	0.00161	0.00020
28	0.18750	0.00208	0.00039

29	0.25000	0.00091	0.00023
30	0.12500	0.00015	0.00002
31	0.07813	0.03266	0.00255
32	0.26953	0.12500	0.03369
33	0.25000	0.00171	0.00043
34	0.19727	1.00000	0.19727
35	0.04167	0.00322	0.00013
36	0.04297	0.05162	0.00222
37	0.10324	0.02148	0.00222
38	0.03655	1.00000	0.03655

定義되어 Z축에 나타냈고, 節次 3으로 實行하여 生成된 擬似-全體檢査 패턴은 表 4와 같다. 그리고

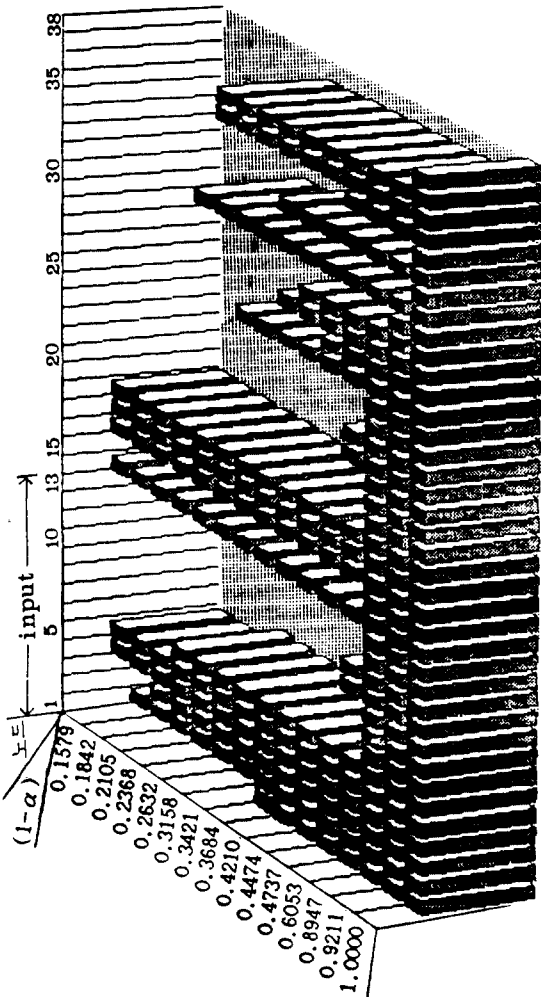


그림 4. t -분포에 따른 노드의 定義.
Node definition by t -distribution.

로 生成된 패턴의 妥當性을 위하여 入力端과 内部 노드에 $s a 0, s a 1$ 故障를 割當하고 出力을 檢證하여 D와 D'가 檢出되어서 이의 適用에 대한 技能的檢査의 效用性을 確認하였다.

論理의 組合的으로 生成된 檢査패턴의 數 w^2 과 全體檢査 그리고 AALG (Subscripted D-algorithm) AALG⁹와 比較한 結果는 表 5와 같다.

$(1-\alpha)$ 가 0.8947 以上의 累積確率 區間인 採擇 域에서 生成된 檢査패턴 數는 8192로서 全體檢査 가 되었으며, $(1-\alpha)=0.1579$ 의 域에서는 4로 가장 적은 擬似-全體檢査가 되어 99.95%가 減少 되었다. 그리고 AALG와 比較해 보면 $(1-\alpha)$ 가 0.4737 以上에서 36% 減少되었다. 特異커버 및 一致操作의 實行段階適用은 $(1-\alpha)=0.2368$ 의 域에서 再收斂 經路의 處理가 容易하였다.

V. 結 論

既存의 擬似 全體檢査 패턴 生成 알고리즘은 CUT의 P1와 P0사이의 經路 設定과 이를 活性化하는데 어려움과 時間이 많이 걸렸고, 回路의 全體的인 게이트나 노드들의 檢査가 同時에 實行되지 않았다. 그러나 本 論文에서 提案된 알고리즘은 CUT의 各 노드들에 대한 TY를 計算한後, 이를 母集團의 原 데이터로 取扱하여 t -분포 위에서 存在하는 TY의 信賴區間을 有意水準 $(1-\alpha)$ 의 域을 통하여 檢定하였다. 그러므로 빠른 時間내에 TMY가 높은 노드가 바로 定義되었고, 이들 노드를 中心으로 順方向과 逆方向의 論理 게이트에 特異커버 및 一致操作을 實行하므로 知的檢査를 할 수 있는 擬似-全體檢査의 패턴 生成이 容易하였다. 提案된 알고리즘의 實行을 통하여 $(1-\alpha)=0.1579$ 의 域에서 生成된 檢査패턴의 數는 AALG에 대하여 96% 減少하고, 全體檢査에 대하여는 99.95%가 減少되어 가장 적게 生成되었지만 TMY가 높은 内部 노드를 中心으로 特異커버 및 一致操作의 實行段階 適用과 再收斂 經路의 處理가 $(1-\alpha)=0.2$

표 4. 提案된 알고리즘으로 生成된 檢査패턴.
Generated test patterns by proposed algorithm.

入力 (1- α)	1	2	3	4	5	6	7	8	9	10	11	12	13
0.1579	1	1	1	w ₁	w ₂	1	0	1	1	1	1	1	1
0.1842	1	w ₁	1	w ₂	w ₃	1	1	1	0	0	0	0	0
0.2105	1	w ₁	w ₂	w ₃	w ₄	1	1	1	0	0	0	0	0
0.2368	1	w ₁	w ₂	w ₃	w ₄	w ₅	1	1	0	0	0	0	0
0.2632	1	w ₁	w ₂	w ₃	w ₄	w ₅	1	0	1	1	1	0	0
0.3158	1	w ₁	w ₂	w ₃	w ₄	w ₅	1	0	1	1	1	0	0
0.3421	1	w ₁	w ₂	w ₃	w ₄	w ₅	0	1	1	0	0	0	0
0.3684	w ₁	w ₂	w ₃	w ₄	w ₅	w ₆	0	1	1	0	0	0	0
0.4210	w ₁	w ₂	w ₃	w ₄	w ₅	w ₆	1	1	1	0	0	0	0
0.4474	w ₁	w ₂	w ₃	w ₄	w ₅	w ₆	0	1	0	0	0	0	0
0.4737	w ₁	w ₂	w ₃	w ₄	w ₅	w ₆	0	1	0	0	0	0	0
0.6053	w ₁	w ₂	w ₃	w ₄	w ₅	w ₆	0	1	0	w ₇	w ₈	1	0
0.8947	w ₁	w ₂	w ₃	w ₄	w ₅	w ₆	w ₇	w ₈	w ₉	w ₁₀	w ₁₁	w ₁₂	w ₁₃
0.9211	w ₁	w ₂	w ₃	w ₄	w ₅	w ₆	w ₇	w ₈	w ₉	w ₁₀	w ₁₁	w ₁₂	w ₁₃
1.0000	w ₁	w ₂	w ₃	w ₄	w ₅	w ₆	w ₇	w ₈	w ₉	w ₁₀	w ₁₁	w ₁₂	w ₁₃

표 5. 既存 알고리즘과 提案된 알고리즘의 比較 結果.
Comparison results between the conventional algorithm and proposed algorithm.

A : Proposed algorithm
B : AALG
C : Exhaustive test

(1- α)	A	B	C	A/B(%)	A/C(%)
0.1579	4	100	8192	4	0.05
0.1842	8	"	"	8	0.10
0.2105	16	"	"	16	0.20
0.2368	32	"	"	32	0.39
0.2632	32	"	"	32	0.39
0.3158	32	"	"	32	0.39
0.3421	32	"	"	32	0.39
0.3684	64	"	"	64	0.78
0.4210	64	"	"	64	0.78
0.4474	64	:	"	64	0.78
0.4737	64	"	"	64	0.78
0.6053	256	"	"	256	3.13
0.8947	8182	"	"	8192	100.00
0.9211	8192	"	"	8192	100.00
1.0000	8192	"	"	8192	100.00

368의 域에서 가장 容易하여 擬似-全體檢査를 위한 經路 活性化의 最適狀態임을 確認하였다.

以上の 結論으로 本 論文에서 提案된 經路 活性化의 알고리즘은 (1- α) 域의 變化에 따라 回路檢査 前에 w²으로 生成되는 檢査패턴의 數와 TMY가 높은 内部 노드의 數 I를 알 수 있기 때문에 特異커버 및 一致操作의 實行段階 適用도 豫測할 수 있으므로, 回路設計와 測定이 並行하는 DFT와 디지털 시스템 測定の CAT 分野에 適用이 期待된다.

參考文獻

1. 김용득, "오동작 측정이 쉬운 논리회로의 설계방식 연구," 대한전자공학회 논문지, vol. 18, no. 3, pp.52-57, 1981.
2. D.T. Wang, "An algorithm for the detection of tests set for combinational logic networks," *IEEE Trans. Comput.* vol. C-25, no. 7, pp.742-746, July 1975.
3. 이강현, 김용득, "관계행렬을 이용한 회로의 의사-전체

검사 패턴 생성." 대한전자공학회 논문지, vol. 27, no. 7, 1990.

4. I. Shperling, E. J. McCluskey, "Circuit Segmentation for Pseudo-exhaustive Testing," *CRC Tech. Report*, no. 87-2, Feb. 1987.

5. Roth, J. P. "Diagnosis of automata failures : A calculus and a method," *IBM Journal of Research and Development*, Vol. 10, no. 7, pp. 278-291, July 1966.

6. Goel, P. "An implicit enumeration algorithm to generate tests for combinational logic circuit," *IEEE Trans. Comput.*, vol. C-30, no. 3, pp. 215-222, 1981.

7. Fujiwara, H., T. Shimonom, "On the acceleration of test generation algorithms," *IEEE Trans. Comput.*, Vol. C-32, no. 12, pp. 1137-1144, 1983.

8. McCluskey, E. J., "Verification testing A Pseudo-exhaustive test technique," *IEEE Trans. Comput.*

Vol. C-33, no. 6, pp. 541-546, June 1984.

9. Udell, "Test set generation for pseudo-exhaustive BIST," *CRC Tech. Report*, Feb. 1987.

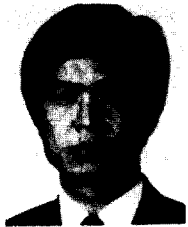
10. 김진문, 이상현, 김용득, "AALG의 검사패턴 감소를 위한 연구," 대한전자공학회 추계학술대회 논문집, vol.12, no.2, pp.191-194, 1989. 11.

11. 김진문, 이상현, 김용득, "Testability를 이용한 검사패턴 생성에 관한 연구," 대한전자공학회 하계학술대회 논문집, vol. 13, no.1, pp.347-350, 1990. 7.

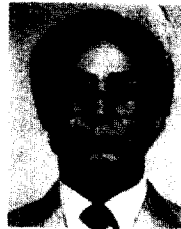
12. Barry W. Johnson, *Design and Analysis of Fault-Tolerant Digital System*, Addison-Wesley, pp.554-565, 1989.

13. 박정현, 電子統計概論, 自由아카데미, pp.71-188, 1988.

14. 최인범, 現代統計學, 經進社, pp. 233-321, 1990.



李康鉉(Kang Hyun JEE) 正會員
1953年 7月12日生
1977年 2月 : 조선대학교 전자공학과 졸업
1981년 8월 : 조선대학교 대학원 전자공학과 공학석사 취득.
1985년 9월 ~ 현재 : 아주대학교 대학원 전자공학과 박사학위 과정 중
1977년 3월 ~ 현재 : 조선대학교 공과대학 전자공학과 부교수.
주관심분야 : 회로설계 및 시스템 진단, Fuzzy 논리와 응용.



金容得(Yong Deuk KIM) 正會員
1946年 1月30日生
1971년 : 연세대학교 전자공학과 졸업.
1973년 : 연세대학교 대학원(공학석사).
1978년 : 연세대학교 대학원(공학박사).
1973년 ~ 1974년 : 불랑지 ESE연구원.
1979년 ~ 1980년 : 미국 Stanford 대학교 연구 교수 재직.
1978년 ~ 현재 : 아주대학교 전자공학과 교수.
주관심분야 : 하드웨어에 관련된 뉴-미디어 분야로서 FA, OA, HA네트워크 응용과 디지털 오디오/비디오 활용 및 집중방면에 흥미를 갖고 있음.