

ATM 교환기술의 최근 동향

송덕영* · 최대우** · 박홍식**
(*삼성전자 주식회사, **한국전자통신연구소)

■ 차 례 ■

1 서 론

2 Banyan형 스위치

- 2.1 Broadcast Packet Network(BPN)
- 2.2 병렬 델타망(PDN:Parallel Delta Network)
- 2.3 Distributed Banyan스위치
- 2.4 Sunshine스위치
- 2.5 Nemawashi 스위치

3 공통버퍼형 스위치

3.1 하나의 메모리를 공유하는 방식

3.2 다수의 소규모 버퍼를 공유하는 방식

3.3 공유버퍼 메모리를 queue로 운용하는 방식

3.4 공통버퍼형 스위치 비교및 대규모화 방안

4 기 타

4.1 ATOM(ATMOutput-buffer Modular스위치)

4.2 Growable 패킷 스위치

5 결 론

1 서 론

광대역 서비스에 대한 관심과 수요가 증대되면서 광대역 ISDN 구축을 위한 최적 기술로서 ATM(Asynchronous Transfer Mode)에 대한 연구개발이 활발히 추진되고 있다. 그것은 ATM이 기존의 회선교환이나 패킷교환 기술에 비해 광대역 서비스 수용시의 융통성, 회선사용의 효율성 및 고속 정보의 처리능력 면에서 잇점을 갖고 있기 때문일 것이다. 물론 광대역 서비스 수요가 많지 않고, 당분간 기존의 통신시설이나 장비와 공존해야 하는 과도기에서는 ATM 효과를 극대화 할 수 없기 때문에 이러한 과도기에서조차도 우월성을 갖는다고 말할 수는 없겠으나 광대역 서비스가 널리 확산된 시기에는 ATM 개념이 분명 최적의 광대역 ISDN 실현 기술로 여겨진다.

ATM 개념이 실현 가능하게 된 배경에는 광섬유의 보급과 고속 LSI 제조기술의 발달을 들 수 있다. 즉 광섬유가 전송로에 광범위하게 설치, 이용됨에 따라 신뢰성 있는 정보 전송이 가능하게 되고, LSI 기술의 발달로 고속 신호의

처리 및 시스템 구성이 상대적으로 용이하게 됨에 따라, 복잡한 기존의 패킷 프로토콜의 간략화, 하드웨어에 의한 라우팅 처리 등을 전제로 한 ATM 개념이 실현 가능해졌다고 볼 수 있다.

현재 각국에서는 ATM 교환기의 상용화를 목표로 하여 ATM 개념의 타당성 및 실현 가능성을 타진하기 위한 시제품 개발에 주력하고 있다. 실현 대상 스위치는 banyan형, Batcherbanyan형, 크로스포인트형, 공통메모리형 및 버스형 등 다양한 구조가 검토, 채택되고 있으며 통일된 하나의 최적구조는 없어 보인다. 그 이유는 스위치의 성능, 요구되는 스위치 동작속도, 하드웨어 규모, 실현의 용이성 사이에 서로 트레이드-오프 관계가 있기 때문에 어느 측면을 강조하느냐에 따라 요구조건에 맞는 최적의 스위치 구조가 서로 달라질 수 있기 때문이다.

본 고에서는 개념상으로 ATM 기술 출현 배경에 가장 근접되어 있다고 볼 수 있는 banyan형과, 회선교환에서 이용되는 시간스위치와 기본적인 동작원리가 유사하여 실현이 상대적으로 용이한 공통메모리를 위주로 하여 최근에 발표된

예를 중심으로 ATM 스위치의 개발 동향을 살펴 보기로 한다.

2 Banyan형 스위치^(1X30X31X32)

일반적으로 Banyan형 스위치는 2×2 스위치 엘리먼트를 $\log_2 N$ (N은 입/출력 포트수) 단으로 배열하고 각 단간을 일정 규칙에 따라 연결한 형태로 구성되는데, 임의의 입력포트와 출력포트 간에는 유일한 경로가 존재하고, 입력포트와 출력포트간 feedback path가 존재하지 않는다는 특징을 갖는다⁽¹⁾. 이와 같은 특성으로 인하여 복수의 입/출력간 패킷 전송시 스위치 내부 블러킹(internal blocking)이 발생하게 된다. 스위치 내부 블러킹 현상을 설명하기 위하여 그림 1에 2×2 스위치 엘리먼트로 구성된 8×8 banyan 형 스위치 예를 보였다. 예를 들어, 스위치 입력포트 1이 출력포트 5로, 입력포트 4가 출력포트 4로 전달되기를 요구하는 경우 두번째 단의 위로부터 3번째 스위치 엘리먼트에서 출력 링크충돌이 발생하게 되는데 이러한 현상을 내부 블러킹이라 한다.

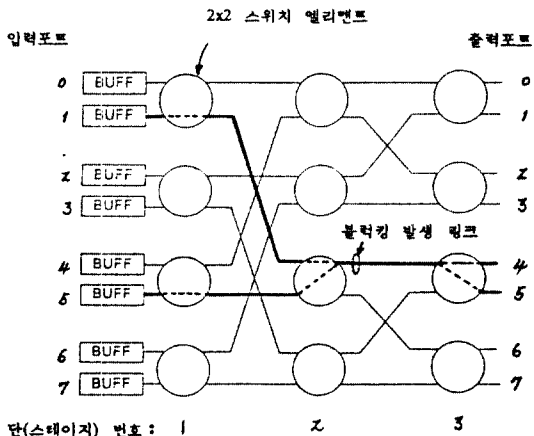


그림 1. 2×2 스위치 엘리먼트로 구성된 8×8 banyan 스위치

Banyan형 스위치는 구성이 단순하고 고속화와 대용량화에 적합하나 이와 같은 내부 블러킹으로

인해 입/출력포트수가 충분히 큰 경우 throughput 이 20% 정도로 감소하는 단점이 있다^(2,3). 이러한 내부 블러킹으로 인한 단점을 해결하기 위해 다음과 같은 방안들이 고려되고 있다.

- (1) 입력단자와 출력단자 사이에 복수개의 경로를 구성(distributed banyan 망, augmented delta망)하는 방안.
- (2) 2개 이상의 스위치망을 병렬로 배치 하는 방안
- (3) 단위 스위치간 연결되는 링크를 복수로 연결 하는 방안
- (4) 스위치 내부 속도를 증가시키는 방안
- (5) 단위 스위치내 버퍼를 두는 방안(buffered delta network)
- (6) 넌블러킹 banyan망을 구성하는 방안 (batcher-banyan 망)

이 방안들에 대한 특성을 간단히 살펴보면 방안 (1), (2)는 복수의 경로를 가짐으로서 성능은 향상되나 내부 블러킹이 최소가 되도록 하기 위한 복잡한 path-search 알고리즘이 필요하다⁽⁴⁾. 특히 방안 (2)의 경우, 예로서 2개의 스위치망을 병렬로 배치할 때 1,024×1,024 델타망인 경우 throughput이 약 40%까지 향상되나^(2,5,6) 하드웨어량이 2배 이상 증가한다는 단점이 있다.

방안 (3)은, 방안 (2)와 같이 성능은 향상되나 다수의 링크 연결을 위한 복잡한 기술이 요구된다. 예로서 스위치간 링크를 4개로 할 경우 크로스바 망과 유사한 throughput을 얻을 수 있다⁽²⁾.

방안 (4)는 스위치의 내부 속도를 입/출력 링크 속도의 N배(N은 입/출력 단자 수)로 할 때 최적의 throughput을 가질 수 있으나 증가된 속도를 뒷받침할 수 있는 소자기술이나 제어 등이 문제가 된다.

방안 (5)는, 스위치 내부에 필요한 버퍼수가 $N \times n \times \log_2 N$ (N은 스위치 입/출력 단자수, n은 스위치 엘리먼트 링크당 버퍼 크기)가 되는데 예로서 링크당 1패킷 크기의 버퍼를 둘 때 16×16 스위치인 경우 64 패킷 크기의 버퍼가 필요

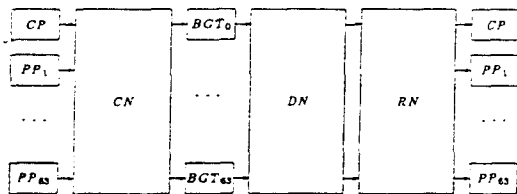
하고 이 때의 throughput은 약 40%까지 향상된다 (multiple 버퍼를 두는 경우는 60%까지 향상된다)⁽²⁶⁷⁾. 버퍼의 크기는 지연특성을 고려하여 링크당 1패킷 또는 2패킷 크기로 하는 것이 일반적이다.

방안 (6)은 banyan망이 언블러킹이 되기 위한 입력조건, 즉 전송할 패킷이 입력단자들간에 모두 인접해 있고 요구하는 출력포트 번호가 오름차순 또는 내림차순으로 배열되도록 하는 sorting망을 banyan망 앞단에 부가하는 방안이다. 이 구조는 sorting망으로 인해 $N \times (k+1)k / 4$ 개의 스위치 엘리먼트가 추가되며 이 구조의 대표적인 예로서 Batcher-banyan망이 있다^(98) 2x13).

다음에 각 방안을 이용한 스위치에 대하여 현재 개발되었거나 개발중인 대표적인 몇가지 스위치를 소개하겠다.

2.1. Broadcast Packet Netowrk(BPN) ⁽¹⁰⁰³³⁾

위싱턴 대학의 Turner 교수가 제안한 방송패킷망에 적용된 스위치로서 banyan망이 갖는 내부 블러킹을 해결하기 위해 banyan망 앞단에 분배망을 부가하고 단위 스위치 내에 버퍼를 갖는 구조이다. 방송패킷망은 패킷 스위치들로 구성되는데 패킷 스위치는 그림 2와 같이 공통 프로세서 (CP : Common Processor) 모듈, 패킷 프로세서 (PP : Packet Processor) 모듈 및 스위치망(SF : Switch Fabric)로 이루어진 스위치 모듈들로 구성되어 있다.



- CP : Common Processor
- PP : Packet Processor
- CN : Copy Network
- DN : Distribution Network
- RN : Routing Network
- BGT : Broadcast and Group Translator

그림 2. 스위치 모듈

그림 2에서 CP는 PP 및 SF의 동작을 제어하고 일대일 또는 방송을 위한 connection 설정 / 해제 기능을 수행한다. PP는 스위치 외부로부터 입력되는 패킷을 스위치 내부의 포맷에 맞도록 변형하여 SF를 통해 self-routing에 따라 출력포트로 전달될 수 있도록 하는 기능을 수행한다. SF는 방송을 위한 패킷 복사를 수행하는 CN (Copy Network), 방송패킷이 방송을 요구한 출력포트로 전달되도록 복사된 패킷에 출력포트 번호(루팅 정보)를 제공하는 BGT(Broadcast and Group Translator), 패킷이 원하는 포트로 self-routing 되도록 하는 RN(Routing Network) 및 RN에서의 패킷 충돌을 해결하기 위해 RN 앞에 부가되는 DN(Distribution Network)으로 구성된다.

RN은 banyan 망의 일종인 64×64 규모의 baseline 망(그림 3)으로 구성되어 있고 각 스위치 엘리먼트에는 충돌시 패킷 손실을 방지하기 위해 2패킷 크기의 버퍼가 내장되어 있다. 스위치 엘리먼트간은 8비트 병렬링크를 사용하여 200Mb/s의 고속 스위칭이 가능하도록 하였다. DN은 RN과 동일한 내부구조를 가지지만 각 스위치 엘리먼트는 패킷에 실려오는 출력 번지를 무시하고 패킷을 교대로 그들 출력으로 루팅시키는데 하나 또는 두 출력 모두가 사용중인 경우에는 사용가능해지는 맨처음 출력단자가 이용되게 함으로써 수신한 패킷을 DN 출력링크에 균일하게 분배하여 RN에서의 내부 블러킹을 줄이도록 한다.

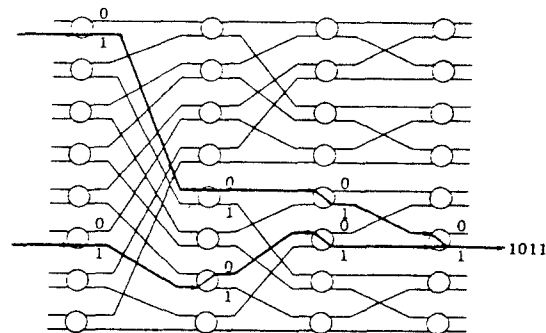


그림 3. Baseline망 (16×16)

CN은 방송패킷 수신시 방송을 요구하는 모든 포트에 동일하게 전달될 수 있도록 복사하는 기능을 수행한다. 복사기능은 각 스위치 엘리먼트에서 수행되며 복사해야 할 패킷 수에 따라 각 단에서의 복사기능 수행 여부가 결정된다. 즉 CN의 오른쪽 단부터 번호를 차례로 부여할 때 복사해야 할 패킷수가 2^{n-1} (n은 단 번호)보다 크면 복사하고 2^{n-1} 보다 작거나 같으면 복사하지 않고 그대로 DN으로 전송한다. 복사된 패킷은 BGT에 의해 루팅정보를 부여받아 DN 및 RN을 통하여 해당 출력포트로 전달된다.

2.2. 병렬 델타망(PDN : Parallel Delta Network) ⁽⁵⁾⁽⁶⁾

이태리에서 제안되었으며 banyan망의 일종인 델타망을 기본으로 하여 병렬망 형태로 구성한 스위치이다.

전체적인 망구조는 그림 4와 같이 PP(Packet Processor), MCP(Module Control Processor) 및 SF(Switch Fabric)으로 구성된다. PP는 스위치망 외부와의 인터페이스를 담당하는 모듈로서 패킷 송신 및 수신 처리, VCI(Virtual Channel Identifier) 처리 그리고 SF에서 self-routing에 필요한 루팅택 부착 기능을 수행한다. MCP는 트래픽 제어 및 경로 결정 기능을 수행한다. RL(Re-entry Loop)은 방송시 복사한 패킷을 재입력시키기 위한 링크이다.

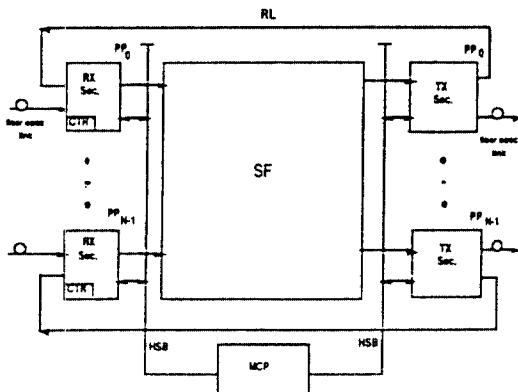
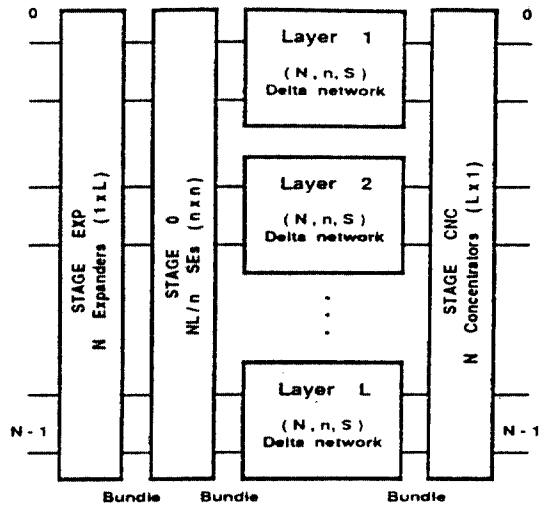


그림 4 전체 스위치망 구조

SF는 그림 5와 같이 병렬로 구성된 복수개의 델타망과, EXP(Expander), CNC(Concentrator) 및, 병렬 델타망과 EXP간의 연결을 위한 한단으로 구성된 접속회로로 되어 있다.

그림 5에서 SF를 구성하고 있는 델타망은 각 스위치 엘리먼트에 버퍼를 내장하고 이러한 델타망을 병렬로 구성하여 스위치 내부 블럭킹을 해결하였다. 또한 여러 입력포트에서 동일 출력포트를 요구할 때 발생하는 출력포트 충돌을 해결하기 위해 125μsec 주기를 갖는 프레임 구조를 적용하였으며 호 설정시 우선순위가 높은 트래픽에 대해서는 고정된 전용 타임슬롯을 할당하고 우선순위가 낮은 트래픽에 대해서는 고정된 전용 타임슬롯을 할당하고 우선순위가 낮은 트래픽에 대해서는 통계적 다중화 방식으로 비어있는 채널을 할당하도록 되어 있다.



- N : 입/출력포트 수
- n : 단위 스위치 엘리먼트의 입/출력 링크 수
- S : 델타망의 단 수
- L : 번블럭킹 스위치망에 필요한 델타망 수

그림 5. 병렬 델타망 구조

EXP와 CNC는 스위치의 모든 입출력포트간에 $L \times n$ 개의 경로를 두기 위하여 추가된 단으로서 스위치에 입력된 패킷을 병렬 델타망에 분산시키고 다시 집선시키는 기능을 수행한다. 그림 5와 같이 구성된 병렬 델타망에서, 언블럭킹되기 위해 필요한 입/출력포트간 경로수를 P라 할 때, 언블럭킹 조건은 다음과 같다⁽⁵⁾⁽⁶⁾.

$$L \geq n^{\lceil S/2 \rceil - 1} \text{ 또는 } P \geq n^{\lceil S/2 \rceil}$$

이다.

한편, 방송패킷이 수신되면 델타망에서 Boolean Interval Splitting 절차⁽³⁰⁾에 따라 필요한 수 만큼 방송패킷을 복사하고 RL을 통해 입력포트로 피드백시킨 다음 다시 방송 루팅 알고리즘에 따라 최종 출력포트로 출력시킴으로써 방송기능을 수행한다. 그러나 이러한 방송 방법은 방송을 위한 하드웨어량은 적으나 스위치 내부 속도가 최소한 입/출력 링크 속도의 2배가 되어야 하고 또한 1패킷 cycle내에 2번의 루팅이 필요하므로 제어가 복잡해지는 문제점이 있다.

2.3. Distributed Banyan 스위치⁽¹¹⁾

이 스위치는 banyan망에 distributor를 부가하여 다단 구성한 multi-path self-routing 스위치로서 전체 스위치 구조는 그림 6과 같이 N개 (N은 입/출력 포트수)의 패킷 프로세서(packer processor, PP), 2개의 스위치 플랜(스위치 플랜 A, B) 및 출력버퍼로 구성된다.

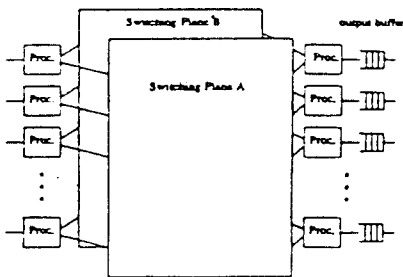


그림 6. 전체 스위치 구조

각 스위치 플랜은 $\log_2 N$ 개단의 2×2 스위치 엘리먼트, $\log_2 N - 1$ 개단의 distributor (reverse banyan망) 및 각단 사이에 위치하는 내부 버퍼로 구성되어 있다(그림 7).

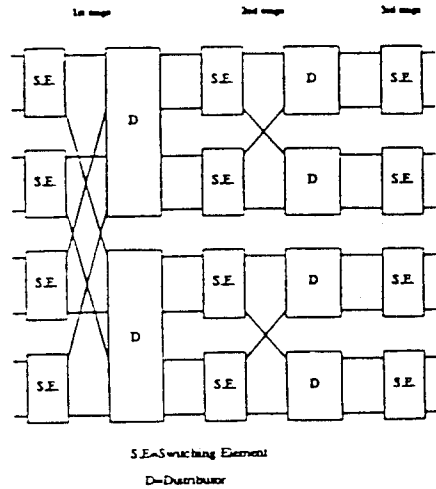


그림 7. 스위치 플랜 구조

각 스위치 플랜은 $\log_2 N$ 개단의 2×2 스위치 엘리먼트, 그림 7에서 스위치 플랜의 맨 왼쪽부터 단(스테이지) 번호를 부여하였을 때 스위치 플랜의 i 번째 단은 $N/2$ 개의 2×2 스위치 엘리먼트와 2_i 개의 $2^{n-1} \times 2^{n-1}$ ($n = \log_2 N$) distributor로 구성된다. 각 스위치 엘리먼트의 출력링크는 다음단의 서로 다른 distributor에 각각 연결되고, distributor의 출력링크는 다음단 스위치 엘리먼트의 입력에 나란히 연결된다. Reverse banyan망으로 구성된 distributor는 각 단에서 입력된 패킷들을 distributor 출력측에 설치된 버퍼에 고루 분산시킴으로써 다음단 스위치 엘리먼트의 특정 입력링크에 패킷이 누적되지 않도록 하는 기능을 수행하는데 이로 인해 스위치 입-출력간에는 복수의 전송링크가 존재하게 된다.

스위치의 동작원리를 간단히 살펴보면 다음과 같다.

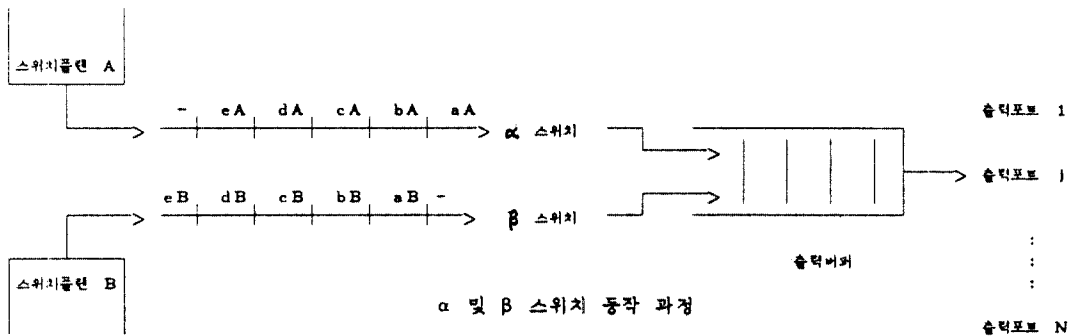
망에 패킷이 입력되면 패킷 프로세서는 입력된

패킷을 부패킷 (sub-packet) A와 부패킷 B로 분리한다. 부패킷 A는 full 패킷의 MSB(Most Significant Bit)로부터 1/2에 해당하며 피켓헤더를 포함하고 있고 부패킷 B는 full 패킷의 나머지 부분으로 구성된다. 두 개의 부패킷으로 분리한 후 부패킷 A는 스위치 플랜 A로, 부패킷 B는 스위치 플랜 B로 각각 보낸다. 스위치 플랜 A는 부패킷 A를 출력포트까지 내부 블럭킹이 발생하지 않도록 제어하여 루팅시키고 이 루팅 제어 신호를 스위치 플랜 B에 제공하여 스위치 플랜 B에서 부패킷 B도 내부 블럭킹없이 부패킷 A와 동일한 출력포트로 전달될 수 있도록 한다. 이러한 동작이 연속적으로 수행될 수 있도록 하기 위해 부패킷 A와 B는 T/2의 시간차를 두고 각 스위치 플랜에 전송된다. 이와 같이 full 패킷을 두 개의 부패킷으로 분리하여 두 개의 스위치 플랜에 나누어 보내는 이유는 부패

킷을 전송하는데 필요한 cycle은 한 패킷 전송 cycle(T)의 1/2(T/2)에 해당하므로 나머지 T/2 시간을 이용하여 스위치 엘리먼트의 두 입력이 같은 출력을 요구할 경우라 하더라도 시간 분할 다중화함으로써 스위치 엘리먼트에서의 블럭킹을 방지할 수 있기 때문이다.

스위치 플랜 A, B로부터 임의의 한 출력포트 j에 도착한 부패킷 A와 B는 패킷 프로세서의 제어하에 출력버퍼에 저장되었다가 원래의 full 패킷으로 조립된다. 출력포트에서는 한 cycle내에 두 개의 서로 다른 full 패킷으로부터 분리된 2개의 부패킷이 다중화되어 있으므로 이를 분리하기 위해 두 개의 스위치, α , β 가 필요하다. 스위치 α 및 β 의 구성 및 동작 과정을 그림 8에 나타내었다.

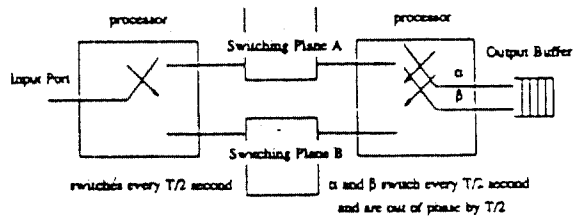
한편 스위치 플랜의 i단에서 한 distributor에 입력될 수 있는 부패킷은 N/2개 인데 입력



α 스위치 출력 순서 : aA, aB, cA, cB, eA, eB, - - -
 β 스위치 출력 순서 : bA, bB, dA, dB, - - -

aA : Full 패킷 a로부터 분리된 부패킷 A
 aB : Full 패킷 a로부터 분리된 부패킷 B
 bA : Full 패킷 b로부터 분리된 부패킷 A
 bB : Full 패킷 b로부터 분리된 부패킷 B

cA : Full 패킷 c로부터 분리된 부패킷 A
 cB : Full 패킷 c로부터 분리된 부패킷 B
 eA : Full 패킷 e로부터 분리된 부패킷 A
 eB : Full 패킷 e로부터 분리된 부패킷 B



α 및 β 스위치 구성

그림 8. 스위치 α 및 β의 구성 및 동작 과정

된 모든 부패킷들이 서로 다른 출력포트를 요구하는 경우 모두 스위치 엘리먼트 $i+1$ 단으로 전송될 수 있으나 만일 동일한 출력포트를 요구하는 패킷이 있는 경우 한 distributor에 $N/2$ 개 이상의 부패킷이 발생되는데 이 경우 $N/2$ 개의 부패킷만 다음 단으로 전송되고 나머지는 distributor내의 버퍼에 저장되었다가 다음 cycle에 전송된다. 따라서 스위치 내부의 버퍼 용량이 충분하다면 동일 출력포트를 요구하는 복수의 패킷들에 대해서도 패킷 손실을 방지할 수 있다. 한편, 각 스위치 엘리먼트에는 복사기능이 있어 패킷 입력시 각 스위치 엘리먼트가 패킷헤더에 기록된 출력포트 주소를 분석하여 복사여부를 결정하고 복사된 패킷은 일대일 전송과 동일한 방법으로 루팅된다.

이 스위치 구조가 갖는 특성은 Distributor에 의해 내부버퍼의 효율적인 사용이 가능하고 언블러킹 스위치 엘리먼트, 두 개의 스위치 플랜 및 출력버퍼를 사용함으로써 throughput이 크게 향상되나 이로 인해 하드웨어량 및 프로세서의 부하가 증가되는 문제점이 있다.

2.4. Sunshine 스위치⁽⁹⁾⁽¹²⁾⁽¹³⁾

Bellcore에서 Batcher-banyan 스위치를 이용하여 개발한 언블러킹 self-routing 스위치로서 전체 구조는 그림 9와 같다. 전술한 바와 같이 Batcher-banyan 스위치는 언블러킹 스위치이긴 하지만 여러 입력포트에서 동시에 동일한 출력포

트를 요구할 때 발생하는 충돌(output port contention) 현상으로 인하여 throughput이 저하된다⁽⁹⁾. 따라서 이러한 문제점을 해결하기 위해 3 phase 알고리즘이나 입력포트 스케줄링등 여러 가지 방안이 제안되고 있다⁽⁸⁾⁽⁹⁾ Sunshine 스위치는 이러한 출력포트 충돌 현상을 완화시키기 위해 출력측에 복수개의 banyan 망을 복수 경로로 연결하였고 출력포트로 복수개의 패킷이 입력될 때 발생하는 패킷 손실을 방지하기 위해 출력포트에 버퍼를 추가하였다. 또한 출력포트의 버퍼용량을 초과하는 복수개의 패킷이 입력되지 않도록 하기 위해 Starlite 스위치⁽¹⁴⁾에서와 같이 trap network을 스위치 내부에 추가하여 출력포트의 버퍼용량을 초과하는 패킷들에 대해서는 Sorting 망으로 피드백시켜 내부 버퍼에 저장하였다가 다음 cycle에 재전송요구를 하도록 하였다.

한편, 버스트성 트래픽이 많은 환경에서는 스위치 내부의 버퍼가 빨리 overflow 되는데 이러한 단점을 해결하기 위해 trap network 대신 arbitration network을 사용하고 logical addressing 및 trunk grouping을 적용하여 버스트성 트래픽에 대한 효율을 향상시켰다⁽¹²⁾.

이 스위치는 스위치 내부 및 출력측에 버퍼를 두고 적절히 운용함으로써 낮은 패킷손실확률을 갖고 버스트성 트래픽에 대해서도 유연하게 대처할 수 있는 장점이 있으나 출력포트 충돌을 해결하기 위해 부가되는 하드웨어량이 너무 많고,

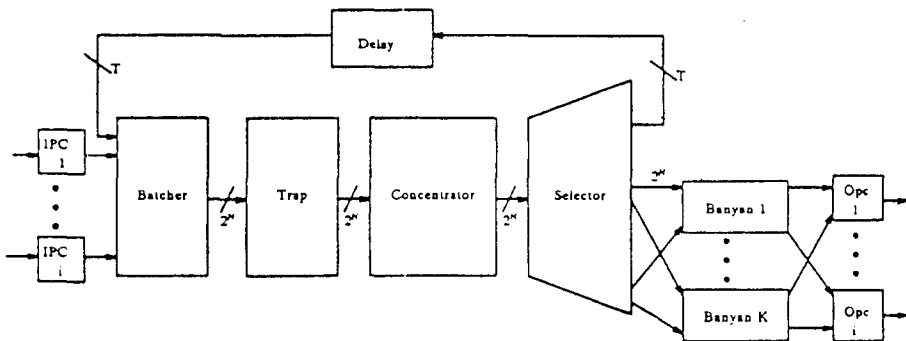


그림 9. Sunshine 스위치 구조

피드백으로 인해 패킷 손실이나 전송순서가 바뀌는 등의 문제점이 있다. 또한 방송을 위해서는 별도의 복사망을 부가하거나 Starlite 스위치에서와 같이 입력포트에서 방송할 패킷들을 미리 복사하여 스위치망에 입력시키는 기능이 필요하다.

현재 시스템 구성을 위해 다수의 CMOS VLSI 를 개발중에 있는데 <표 1>에 Bellcore 에서 개발한 Batcher sorter 및 banyan 엘리먼트의 제원을 보였다. 표에서 알 수 있듯이 각 스위치 엘리먼트는 최대 170Mb/s의 동작속도를 가지나 64×64 Batcher-banyan 스위치 구성시에는 스위치 엘리먼트간의 동기문제로 인하여 입/출력 단자 속도가 100Mb/s인 스위치가 개발되었으며 20개의 칩이 Batcher-sorter에, 12개의 칩이 banyan 엘리먼트에 각각 사용되었고 하나의 보드에는 2개의 칩을 실장하였다. 또한 스위치 내부 결선시 발생하는 지연 및 CMOS 소자의 구동 능력을 고려하여 그림 10과 같이 각

스테이지들(그림 10에서 A~G)을 수평과 수직으로 교대로 배열하여 연결하는 3-dimensional packaging 방법⁽³⁴⁾으로 구성하였다.

2.5. Nemawashi 스위치⁽⁹⁾⁽¹⁵⁾

일본의 OKI 전기 회사에서 개발한 Batcher-banyan 스위치망을 사용한 넌블럭킹 self-routing 스위치로서 Batcher-banyan 스위치에서 발생하는 출력포트 충돌을 해결하기 위해 그림 11과 같이 스위치 fabric외에 "Nemawashi"라는 별도의 스케줄링망을 추가하였다.

Nemawashi 망은 sorting 망과 출력포트 충돌 해결 기능을 수행하는 arbiter로 구성되는데 arbitration 수행 결과는 feed back path 를 통하여 입력포트로 전달되며 전달확인을 수신한 입력포트만 정보패킷을 보낼 수 있도록 하였다. 패킷을 전송하는 망과 출력포트 충돌을 방지하기 위해 스케줄링을 수행하는 망이 분리되어, 정보패킷 전송시 다음 패킷을 전송을 위한 스케줄링

표 1. Batcher 및 banyan 엘리먼트 제원

Chip 종류	최대동작속도	사 용 기 술	엘리먼트당 TR수	비 고
Batcher-sorter 엘리먼트	140Mb/s	2.0micron CMOS	65개	버전 1
	170Mb/s	1.2micron CMOS	113개	버전 2
Banyan 엘리먼트	140Mb/s	2.0micron CMOS	111개	버전 1
	170Mb/s	1.2micron CMOS	114개	버전 2

TR : Transistor

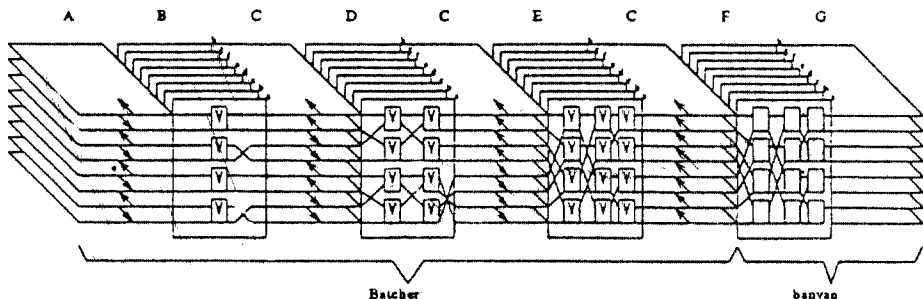


그림 10. 3-Dimensional로 구성된 64×64 Batcher-banyan 스위치

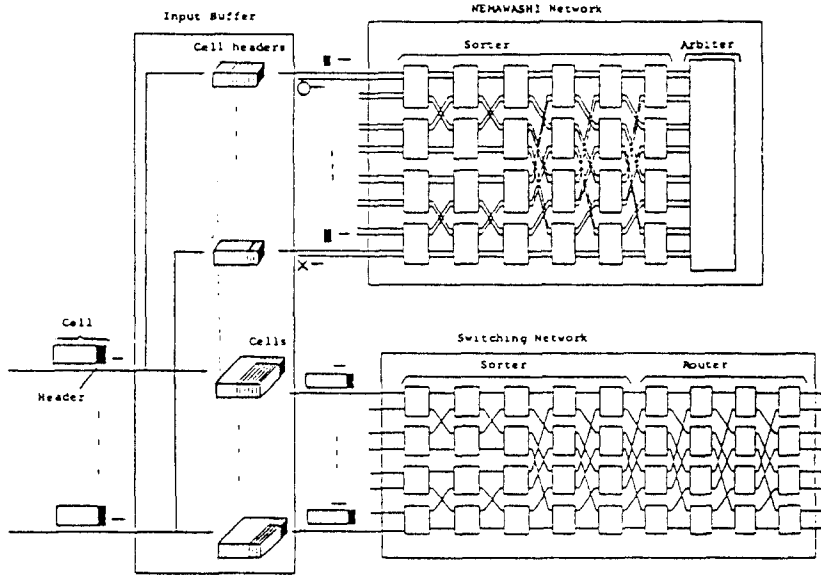


그림 11. Nemawashi 스위치 구조

을 동시에 수행함으로써 스케줄링으로 인한 스위치 내부속도 증대의 필요성은 없어졌으나 소요 하드웨어량이 Batcher-banyan 스위치의 약 2 배로 증가하게 되는 단점이 있다. Nemawashi 망에서는 스케줄링을 4번 수행할 경우 throughput 이 약 80까지 향상되나 스케줄링 회수가 입/출력 단자수와 정보패킷의 길이에 의하여 제한되고 있다. 그리고 이 스위치 역시 방송에 대해서는 Sunshine 스위치와 같은 문제점을 갖고 있다.

그림 12에 Nemawashi 망을 이용한 실험모델

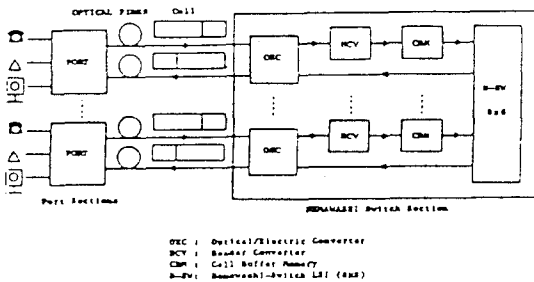


그림 12. Nemawashi 스위치 실험 모델 및 제원

을 보였다. 이 스위칭 시스템은 32Mb/s의 입/출력 속도를 갖는 8×8 크기의 규모로서 CMOS LSI를 사용하였다. 현재 300 Mb/s의 GaAs LSI도 개발하였으나 실험모델에 적용치는 않았다.

Item		Specifications
Switching system	Switch	-ATM switch
	Switch configuration	-NEMAWASHI switch -line bit-rate : 32Mb/s -size : 8×8
UNI/NNI		-Analogue subscriber -IB subscriber -ATM-UNI : 32Mb/s -ATM-NNI : 32Mb/s
Terminal		-Existing analogue terminal -Image terminal -I terminal -Personal computer
Transmission quality		-Cell loss probability <math>< 10^{-9}</math> -Cell delay time <math>< 1ms</math>

③ 공동버퍼용 스위치^(16 X17)

공동 버퍼용 ATM 스위치는 버퍼를 시분할적으로 운용, 교환하는 방식으로서 회선교환의 타임 스위치와 유사하며 공간분할 ATM 스위치와 비교하면 입력 트래픽 변동에 유연한 대처가 가능하고, resource 공유에 의해 하드웨어의 효율적 운영이 가능하다. 또한 방송기능 실현이 용이하고, output contention 해결이 용이한 장점을 가지고 있다. 그러나 입출력 스위치 규모를 $N \times N$ 이라 할 때 시분할 다중 운용특성으로 인해 스위치내부 동작속도가 링크 속도보다 $O(N)$ 배 고속이어야 하기 때문에 스위치 대규모화에는 문제가 있다. 따라서 스위치 대규모화를 위해서는 다단구성 내지는 병렬 스위치 형태를 취해야 한다.

공동 버퍼형 스위치는 그림 13에 보인 바와 같이 크게 세가지로 분류할 수 있다.

첫번째는, 전 입/출력포트가 하나의 버퍼를 공유하는 형태로서 스위치 동작속도가 입출력 링크 속도보다 $O(N)$ 배 빨라야 하기 때문에 버퍼의 read, write 제어를 어떻게 고속으로 처리하는가가 가장 중요한 문제가 된다.

둘째는, 다수의 소규모 버퍼를 공유하는 형태이다. 이 방식은 패킷 단위로 read, write를 할 수 있는 cell buffer를 공유함으로써 하드웨어 절감 및 버퍼 동작속도의 상대적 감소효과를 얻을 수 있으나 저장할 cell buffer 선택시의 복잡성 및 상대적으로 대량의 버퍼가 필요한 단점이 있다.

세번째는 공유버퍼를 queue로 운영하는 형태이다. 이 방식은 스위치 내부속도와 입출력 동작속도가 동일하며, 패킷 입력시 패킷의 정보와 헤더를 분리하고, 교환된 패킷헤더와 정보를 하드웨어적으로 결합하여 출력시키는 회선 스위치 (barrel shifter)와 rotative selector등 비교적 간단한 하드웨어로 구성되어 있다.

공동 버퍼용 ATM 스위치는 버퍼를 공용으로 이용하기 때문에 버퍼의 이용효율이 높고, 필요

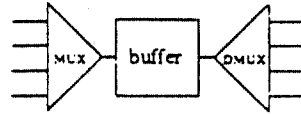


그림 13.1. 하나의 메모리 공유 방식

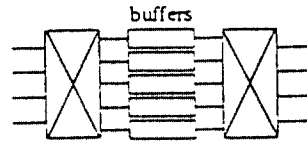


그림 13.2. 다수의 소규모 버퍼 공유 방식

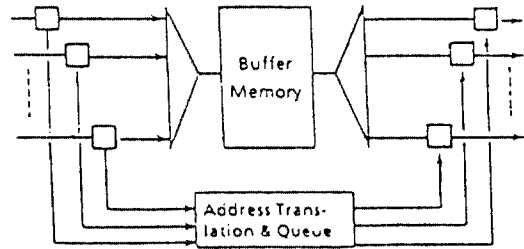


그림 13.3. 공유 버퍼메모리를 큐로 운용하는 방식

한 버퍼량도 적으나 시분할 교환을 이용하기 때문에 스위치 규모를 $N \times N$ 이라 할 때 스위치의 내부속도는 입출력 링크속도보다 N 배 고속이어야 한다. 따라서 이러한 고속의 교환기능을 수행하기 위해서는 소자기술 및 신호동기 기술이 선결되어야 한다. 또한 방송으로 인해 방송외의 다른 서비스의 지연이 발생되는데 이 문제를 해결하기 위해서는 특정 서비스에 대한 트래픽량을 일정한 선에서 제한하는 카운터와 내부 동작속도를 높이는 방법 등이 요구된다.

13.1. 하나의 메모리를 공유하는 방식^{(17) (18X20)}

이 방식의 대표적인 예로서 일본의 히다치사에서 개발한 Address Chain Pointer(ACP) 운용방식을 이용한 스위치를 그림 14에 보였다. 스위치

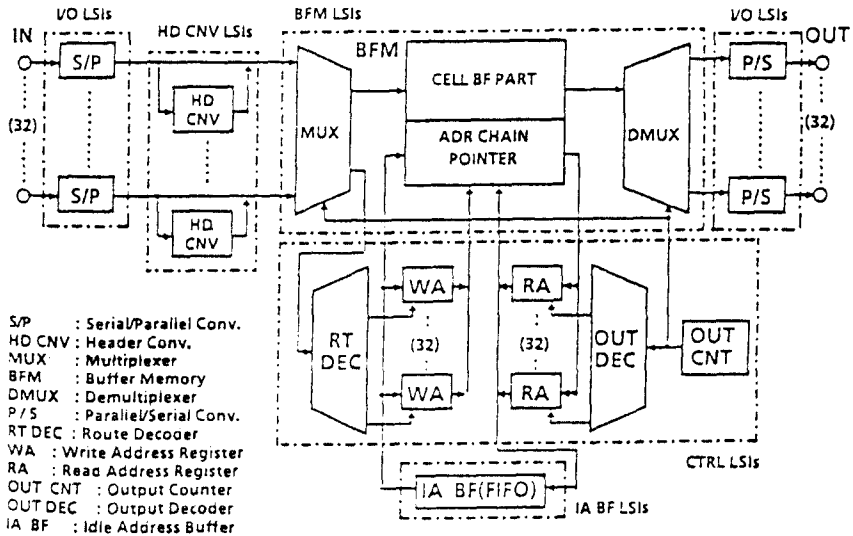


그림 14. 하나의 메모리 공유 방식의 예 (히다치사)

는 155Mb/s 속도를 갖는 32×32 규모의 스위치로서 CMOS IC로 구성되었다. 또한 스위치의 성능을 평가해보기 위해 동일속도의 8×8 프로토타입 스위치를 고속의 TTL IC를 사용하여 제작하였다⁽²⁰⁾.

그림 14에서 입력측 S/P는 직렬형태로 입력된 패킷을 병렬형태로 변환시켜주며, HD CNV는 헤더를 분석하여, 출력포트주소를 갖는 루팅 헤더로 치환시킨다. 저장부는 입력된 패킷을 저장하기 위한 곳으로서 패킷을 다중화시키는 MUX, 이를 순차적으로 저장시키는 CELL BF PART, 저장된 패킷의 버퍼주소와 다음에 저장될 버퍼주소를 마치 체인처럼 구동시키는 ADR CHAIN POINTER 및 BFM으로부터 출력된 패킷을 역다중화 하여 출력시키는 DMUX로 구성되어 있다. 제어부는 실제적인 교환기능을 수행하는 부분으로서, MUX로부터 입력된 루팅 헤더를 분석하여 해당 WA 레지스터를 동작시키는 RT DEC, 버퍼주소를 저장하고 있는 WA 레지스터, 출력포트를 순차적으로 지지하는 OUT CNT, 지시된 출력포트를 분석하여 해당 RA 레지스터를 동작시키는 OUT DEC 그리고 출력된 패킷의 버퍼주소를 기억하고 있는 RA 레지

스터로 구성되어 있다. IABF는 RA 레지스터에서 출력된 주소를 저장하며, WA 레지스터와 ACP에 다음에 저장될 버퍼주소를 제공한다. 마지막으로 출력측 P/S에서는 DMUX로 부터 출력된 병렬형태의 패킷을 직렬형태로 변환시켜 출력된다. 방송은 방송패킷 분석 및 방송해야 할 출력포트로의 출력을 제어하는 방송용 제어기에 의해 수행되어진다.

이 스위치 구조의 특징은 메모리를 효율적으로 운용하기 위해 ACP와 IABF를 사용하여, idle 버퍼 주소를 제어함으로써 모든 타임슬롯이 각각의 고정된 버퍼영역을 소유하는 형태가 아니라 입력되는 패킷을 idle 버퍼에 통계적 방식으로 저장하는 방식을 사용했다는 점이다. 이러한 방법을 사용하여 버퍼를 운용할 경우, 패킷 손실을 10⁻⁹ 일 때 출력버퍼방식 보다 5~6배 정도의 버퍼절감 효과를 얻을 수 있다.

3.2. 다수의 소규모 버퍼를 공유하는 방식⁽²²⁾

이 방식의 대표적인 예로서 일본의 미쓰비찌에서 개발한 입력선 N, 출력선 M, 버퍼수 L인 스위치 구조를 그림 15에 보였다.

전체적인 스위치 구성은 한 패킷씩 저장할 수 있는 cell-bufer, 비어있는 버퍼를 선택하는 Empty Cell-Buffer Selector(ECBS), 헤더를 저장하는 header register, 헤더를 분석하여 해당 출력포트의 CNE로 보내는 OPS, 패킷이 저장된 주소를 FIFO 메모리에 저장시키는 CNE 및 FIFO 메모리에 저장된 버퍼주소를 출력포트와 연결시켜주는 cell-buffer selectors 등으로 되어 있다.

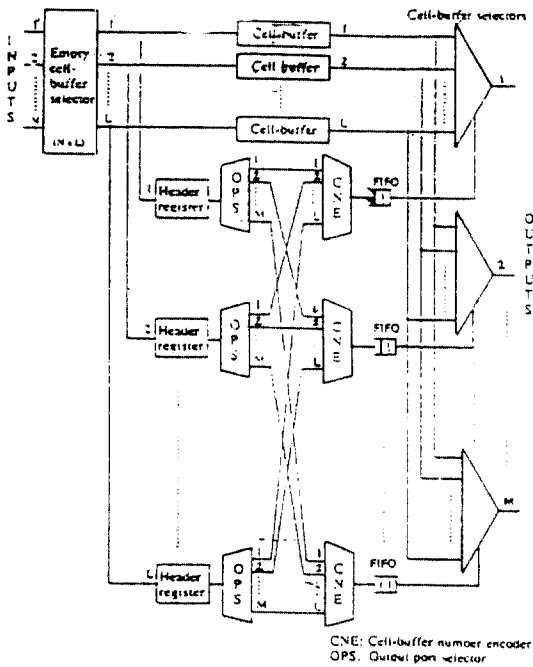


그림 15. 다수의 소규모 버퍼 공유 방식의 예(미쓰비시사)

스위치의 동작원리를 살펴보면 다음과 같다. 입력포트에 패킷이 도착하면 empty cell-buffer selector는 비어있는 버퍼를 선택하여 입력포트와 접속시킨다. 접속이 완료되면 패킷은 지정된 버퍼에 저장시키고, 헤더는 헤더 레지스터로 보내진다. 여기서 패킷을 저장할 수 있는 버퍼수와 같은 출력포트 선택기(OPS)는 패킷 헤더가 지정하는 출력포트의 CNE(Cell-Buffer Number encoder)로 헤더를 전송한다. CNE에서는 전송된

헤더의 패킷이 저장된 버퍼주소를 도착순서에 따라 FIFO 메모리에 기억시킨다. 패킷 버퍼 선택기(cell buffer selector)는 FIFO 메모리의 주소가 지정하는 패킷 버퍼와 출력 포트를 연결시켜 패킷을 출력시킨다.

이 방식은 라우팅이 간단한 장점은 있으나 하나의 버퍼를 공유하는 방식에 비해 소요되는 버퍼량이 많고 또 입/출력포트가 다수의 소규모 버퍼를 공유하기 때문에, 비어있는 버퍼의 선택을 효과적으로 수행하기 위해서는 ECBS에 복잡한 제어 알고리즘이 필요하다는 단점이 있다. 방송은 방송기능을 위한 CNE, FIFO, 방송패킷 선택기 및 방송 스위치등 별도의 부가회로에 의해 수행된다.

3.3. 공유버퍼 메모리를 queue로 운영하는 방식⁽²³⁾⁽²⁴⁾

1987년 프랑스의 CNET에서 개발한 'prelude'가 대표적인 예로서 280Mb/s의 입출력 단자 속도를 갖는 16×16 규모의 스위치이다.

스위치 구조는 그림 16과 같이 프레이밍 직/병렬 변환부, 클럭적용 및 위상조정부, 슈퍼 다중화부, 제어부, 메모리부, 역 다중화부 등으로 구성되어 있고 ECL 기술을 사용하여 제작되었다. 슈퍼다중화부 및 역다중화부는 회전 스위치(barrel shifter)를 이용하여 하드웨어적으로 고속의 교환을 위해 정보와 헤더의 분리 및 결합을 수행한다.

스위치의 동작원리를 간단히 살펴보면 프레이밍 직/병렬 변환부는 입력되는 직렬형태의 데이터를 스위칭 동작속도를 감소시키기 위해 16 바이트 단위의 병렬 데이터 형태로 변환시킨다. 클럭적용 및 위상조정부는 클럭등기를 유지하고 스위치내부에서 교환이 용이하도록 하기 위해 모든 링크상의 데이터의 위상을 일치시킨다. 각 링크간은 1바이트씩의 위상차를 갖는 diagonal 형태로 조정함으로써 하드웨어적으로 동작하는 슈퍼다중화부에서 회전스위치에 의해 패킷 헤더와 정보의 분리가 용이하도록 하였다. 이렇게 하드웨어적으로 미리 헤더를 분리하는 이유는

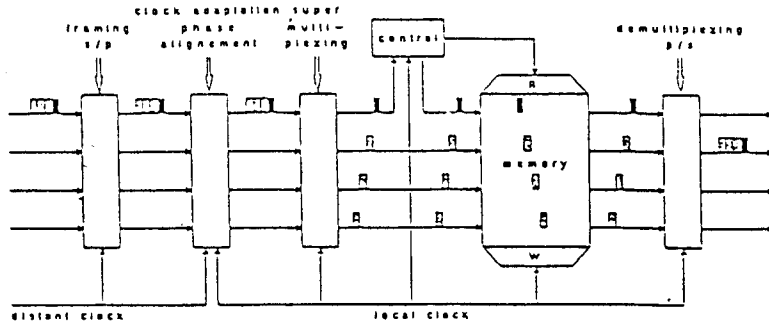


그림 16. 스위치 구조

제어부에서의 헤더 분석을 위한 프로세싱 부하를 줄여줌으로써 고속 스위칭이 가능하도록 하기 위한 것이다. 슈퍼다중화부에서 패킷헤더와 정보가 분리되면, 헤더는 제어부로 입력되고 정보는 FIFO 메모리에 저장된다. 제어부는 패킷헤더 변환을 위한 치환메모리, FIFO 메모리에 저장된 패킷의 주소를 기록하기 위한 제어큐 및 회전형 선택기로 구성되는데 슈퍼다중화기로부터 입력된 패킷헤더를 분석하여 각각의 출력 링크에 관련되는 제어큐에 출력될 패킷의 주소를 기록하고 회전형 선택기가 제어큐를 순서대로 선택하여

각각의 링크로 패킷들을 출력시킴으로써 교환이 이루어진다.

한편, 방송을 위해서는 방송을 요구하는 포트 로 동일 주기내에 방송패킷을 보내야하는데 이를 위해서는 방송을 위한 별도의 제어큐를 운용하여야 하는 단점이 있다.

3.4. 공통 버퍼형 스위치 비교 및 대규모화 방안[25]

지금까지 살펴본 공동버퍼형 스위치들을 비교한 내용을 <표 2>에 나타내었다.

표 2. 공통 버퍼형 스위치 비교

스위치종류	히타치사 스위치	미쓰비시사 스위치	Prelude	주
비교항목	(1)	(2)	(3)	
버퍼크기	소	대	중	각 스위치에 대한 상대평가치임
제어복잡성	복잡	복잡	간단	
하드웨어량	적음	많음	적음	
스위치내부속도	외부링크속도×N	외부링크속도와 동일	외부링크속도와 동일	N은 입/출력 포트수
방송성	용이	용이	용이	(1), (2) : 방송호로 필요 (3) : 제어기능 추가 요구
출력포트충돌	없음	있음	없음	
스위칭속도	155.52	?	280	단위 : Mb/s
스위치규모	32×32	16×16	16×16	
패킷 길이	54(6+48)	?	16(1+15)	단위 : 바이트(헤더+정보)
버퍼메모리용량	4000패킷	?	265패킷	
사용소자기술	CMOS	?	ECL	
비 고	방송실현(X)	개발중	'87년 개발완료	

한편 공통 버퍼형 스위치의 용량 확장시 하드웨어가 회선수*버퍼수로 증가되고, 버퍼의 입출력 동작속도는 입력단자수(N)에 따라 N배만큼 증가되기 때문에 한계가 있다. 이러한 한계를 극복하기 위해서는 다수의 소규모 공통 버퍼형 스위치를 조합하여 다단망으로 구성하는 것이 필수적이다. 입출력단에 $n \times n$ 공통버퍼형 스위치 모듈을 사용하고, 중간단에는 스위치의 동작속도를 고려하여 입력 버퍼형 모듈을 사용한 3단 clos망 구성 예를 그림 17에 보였다. 입력단에 공통버퍼형 스위치 모듈을 사용한 것은 버퍼의 이용효율이 높고, 패킷 폐기율을 만족시키기 위해 필요로 하는 버퍼량도 적고, 트래픽 특성이 상대적으로 좋기 때문이다. 또한 중간단 N을 크게 하면 r도 따라서 커져야 하므로 버퍼의 입력 동작속도가 1배, 출력 동작속도가 1배(-2배)인 입력 버퍼형이 적합하다고 판단된다. 만약 이 때 중간단을 출력 버퍼형으로 사용하면 버퍼의 입력 동작속도는 입력단자수에 따라 N배만큼 증가하므로 대규모화에는 부적합하다. 이와 같은 다단망 구성시 입, 출력포트간에 multi-path가 존재하기 때문에 최적의 라우팅을 위한 복잡한 path search 알고리즘이 필요한데 이로 인하여 스위치의 고속동작에 제한을 주는 요소가 된다.

(中間段)

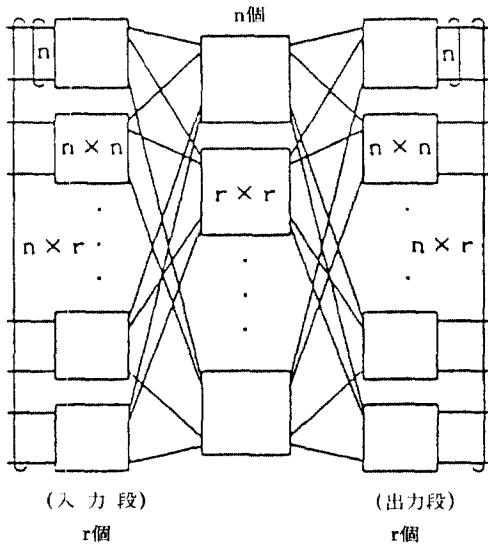


그림 17. 대규모화한 ATM 스위치

4 기 타

4.1. ATOM(ATM Output-buffer Modular) 스위치[26]

버서형 ATM 스위치의 한 예로 ATOM 스위치를 들 수 있다. 이 스위치는 일본의 NEC에서 제안, 개발중에 있는 스위치로서 고속의 시분할 다중화된 버스와 출력버퍼를 이용한 단위 스위치를 기본으로 하여 구성된다. 그림 18에 ATOM 단위 스위치의 동작 원리를 보였다.

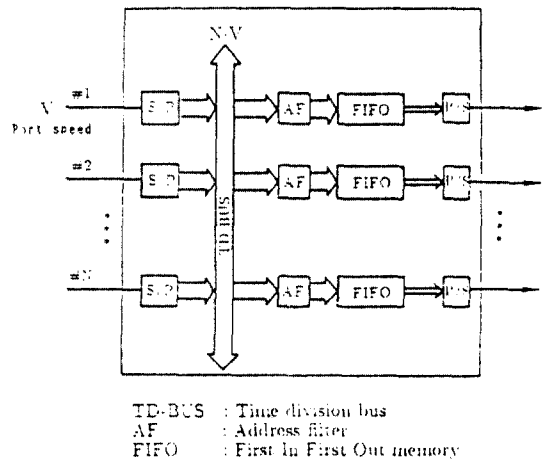


그림 18. ATOM 단위 스위치 동작 원리도

입력단자에 입력되는 패킷은 먼저 직/병렬 변환되어 시분할 다중화 방식으로 운영되는 고속의 데이터 버스인 TD-bus로 전달되고, 출력단자 별로 설치된 어드레스 필터(AF)는 자기 출력단자로 출력되고자 하는 패킷을 검출하여 버퍼메모리(FIFO)에 순차적으로 전송함으로써 교환이 이루어지게 된다. N을 입력단자 수, V를 입력링크 속도라 할 때 TD-bus, AF, 버퍼메모리의 동작속도는 입력링크 속도보다 N배($N \times V$) 고속이어야 하므로 대용량 구성시에는 문제가 있어 직렬데이터를 병렬로 변환, 처리하는 것이 일반적이다.

실례로 단위 스위치를 실현한 구조를 그림 19에 보였다.

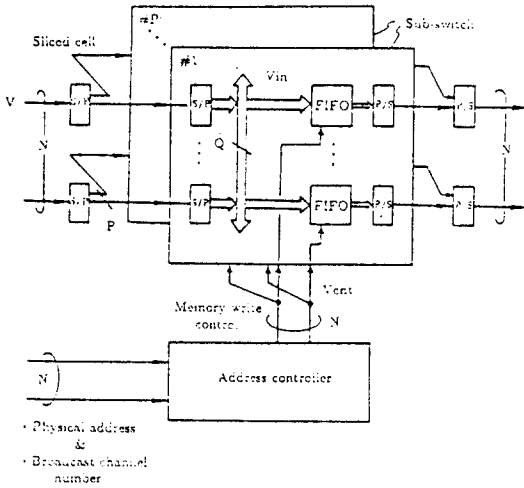


그림 19. ATOM 단위 스위치 구조도

기본적인 동작원리는 앞서 설명한 바와 같은데, 스위치는 병렬로 변환된 비트수(P) 만큼의 sub-switch 플랜으로 구성되고, 내부 TD-bus는 다시 Q비트 병렬로 구성되어 입력링크 속도는 NV/PQ 로 줄어들게 된다. 또한 어드레스 필터 기능은 그림에서 처럼 어드레스 제어기에서 중앙 집중되어 처리된다. 즉 매 패킷의 헤더에 실려오는 출력주소는 어드레스 제어기로 입력되고 여기서 출력주소를 조사하여 해당 버퍼메모리의 unit 제어 신호를 만들어 준다. 현재 단위 스위치용 LSI로는 2가지를 들 수 있는데 sub-switch의 제원은 <표 3>과 같다.

표 3. Sub-switch 제원

항 목	내 용
스위치 규모	8×8
최고 회선 속도	311.04Mb/s 이상
스위치 방식	출력버퍼형
버퍼 용량	128 패킷 / 출력단자
우선 순위	2레벨
제조 기술	CMOS 표준 셀
하드웨어량	15K 게이트+584 비트

단위 스위치의 규모는 8×8이기 때문에 다단 연결망 형태를 이용하여 스위치의 대용량화를

실현하고 있다.

4.2. Growable 패킷 스위치⁽²⁷⁾⁽²⁸⁾

이 스위치는 AT & T의 Bell Lab에서 제안한 것으로 앞서 제안한 Knockout 스위치⁽²⁹⁾의 기본 개념을 확장한 것이다.

Knockout 원리는 입력을 N이라 할 때 임의의 출력이 그 출력으로 동시에 입력되는 패킷중 L개($L < N$)의 패킷을 받아들일 수 있으면 원하는 패킷 손실확률을 만족할 수 있기 때문에 특정 출력으로 동시에 L개 이상 입력되는 패킷을 폐기하여도 된다는 것으로, N이 충분히 크고, 입력된 링크에서의 회선점유율이 0.9일 때 $L=8$ 이면 10^{-6} 의 패킷 손실확률을 만족할 수 있다고 알려져있다.

Growable ATM 스위치에서는 N개의 출력을 n개씩 grouping해서 n개 출력으로 입력되는 패킷들에 대해 Knockout 원리를 적용하게 되면 출력단자당 등가적으로 L개의 패킷대신 m/n ($m/n \leq L$)만 받아들일 수 있어도 동일한 패킷 손실확률을 만족할 수 있다는 점을 이용한 것이다. 예로써 출력그룹 크기 n을 16보다 크게하면 m/n 은 8에서 2.5 이하로 급격히 줄어들게 된다.

그림 20에 Growable 스위치의 구조도를 보겠다.

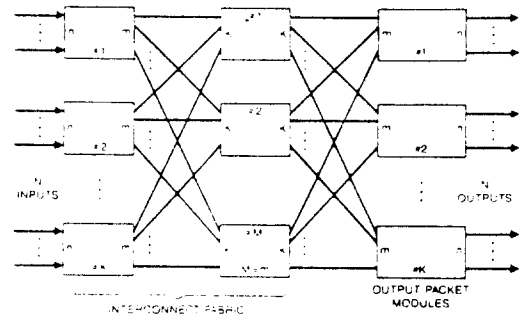


그림 20. Growable 스위치 구조도

그림에서 앞의 두 단이 연결망이고 마지막단이 출력 패킷 모듈이다. 연결망은 앞서 설명한 원리

를 이용하면 N개의 입력을 $N \times m / n$ 개 출력으로 연결해주면 되므로 어떠한 형태의 스위치를 이용하여도 좋으며 출력패킷 모듈은 m개 패킷을 원하는 n개의 출력으로 접속시켜 주는 일종의 출력버퍼방식 스위치이다.

5 결 론

본고에서는 최근 광대역 ISDN의 'target solution' 으로 정의되고 있는 ATM 기술중 ATM 교환기술에 대해 실현 예를 중심으로 살펴 보았다.

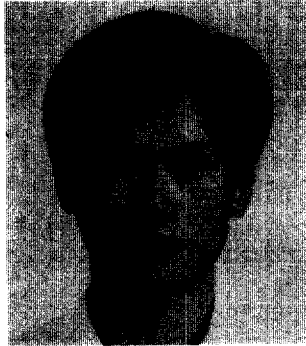
현재 미국, 일본, 유럽등 세계 각국에서는 '90년대 중반까지 ATM 교환기 상용화를 목표로 활발하게 연구 개발중이며 $8 \times 8 \sim 64 \times 64$ 정도의 소규모 스위치는 이미 개발되어 시험중에 있다. 개발된 스위치는 주로 Batcher-banyan형, 공통 메모리형 스위치로서 스위치 성능, 복잡한 프로세서 제어, 스위치 하드웨어 규모, 방송성 및 확장성 등 여러가지 요소에 대해 각기 장단점을 가지고 있다. 또한 ATM이 갖는 특성중의 하나인 출력포트 충돌(output port contention)을 비롯하여 우선순위 제어, 스위치 규모 확장, 방송 기능 부여 등에 대한 공통적인 문제점을 가지고 있다. 따라서 이러한 문제점을 효과적으로 해결할 수 있는 방안의 지속적인 모색과 함께 ATM망의 조속한 확산을 위해 범 세계적인 표준 권고안의 신속한 제정이 필요하다고 생각된다. 이와 함께 서론에서도 언급한 바와 같이 ATM 교환이 실현되기 위해서는 이를 뒷받침해 줄 수 있는 고속 반도체 소자기술의 발전과 광섬유의 확대 도입에 의한 신뢰성 있는 전송로 구축이 필수적이라 하겠다.

參 考 文 獻

1. L. R. Goke and G. J. Lipovski, "Banyan Networks for Partitioning Multiprocessor Systems", 1st Annual Int'l. Symp. Comp. Arch., Dec. 1973. pp. 21~28.
2. D. M. Dias, M. Kumar, "Packet Switching in $N \log N$ Multistage Networks", Globecom'84.
3. Daniel M. Dias and J. Robert Jump, "Analysis and Simulation of Buffered Delta Networks", IEEE Trans. on Computers, VOL. C-30, No. 4, Apr., 1981.
4. Gary J. Anido, Anthony W. Seeto, "Multipath Interconnection: A Technique for Reducing Congestion within Fast Packet Switching Fabrics", IEEE JSAC Vol. 6, No. 9, Dec. 1988.
5. A. Forcina, T. Di Stefano, E. Taormina, "A Multicast Broadband Switching Module in a Hybrid ATM Environment", ICC'89, 4.3.1-4.3.6.
6. F. Bernabei, A. Forcina, M. Listanti, "On Non-blocking Properties of Parallel Delta Networks", Proceedings of Infocom'88
7. Y. C. Jenq, "Performance Analysis of a Packet Switch Based on Single Buffered Banyan Networks", IEEE JSAC, Vol. 1, No. 6, Dec. 1983, pp. 1,014~1,021.
8. Joseph Y. Hui, Edward Arthurs, "A Broadband Packet Switch for Integrated Transport", IEEE JSAC, Vol. 5, No. 8, Oct. 1987.
9. 송덕영, 박홍식, "Input buffer 방식 ATM 스위치에서의 HOL blocking 완화 방법" ETRI TDX 개발단 TM-047, 1990. 8.
10. J. S. Turner, "Design of a Broadcast Packet Network", Proceedings of Infocom'86, pp. 667~675.
11. H. S. Kim, L. G. Alberto, "A Multistage ATM Switch with Interstage Buffers", ISS'90, A7.3.
12. J. N. Giacopelli, W. D. Sincoskie, M. Littlewood, "Sunshine: A High Performance Self-Routing Broadband Packet Switch Architecture", ISS'90, P21.
13. J. J. Hickey, W. S. Marcus, "The Implementation of a High Speed ATM Packet Switch Using CMOS VLSI", ISS'90, C1.3.
14. Alan Huang and Scott Knauer, "STARLITE: A Wideband Digital Switch", Proceedings

of Globecom'84.

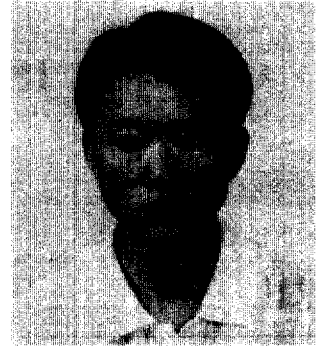
15. N. Arakawa, A. Noiri, H. Inoue, "ATM Switch for Multi-media Switching System", ISS'90, A7.2.
16. 임성재, 박홍식, "공동 버퍼형 ATM 스위치", EIRI TDX 개발단 TM-050, 1990. 8.
17. Y. Sakurai, S. Gohara, "A shared buffer memory switch for an ATM exchange", ICC'89, pp. 118~122.
18. T. Kozaki, Y. Sakurai, K. Aiki, K. Asano, "LSI implementation for shared buffer type ATM switch", IN89-103, pp. 49~54.
19. N. Endo, T. Kozaki, H. Kuwahara, S. Gouhaa, Y. Sakurai, "A memory switch architecture for ATM switching network", 전자정보통신학회 논문지 B-1, Vol. J72-B-I, No. 11, pp. 1,062~1,069, 11, 1989.
20. Y. Sakurai, N. Ido, S. Gohara, N. Endo, "Large Scale ATM Multi-stage Switching Network with Shared Buffer Memory Switches", ISS'90, A6.3.
21. H. Kitamura, et. al., "A study on shared buffer type ATM switch", 전자정보통신학회논문지 B-1, Vol. J72-B-I, No. 11, pp. 1,070~1,075, 11, 1989.
22. H. Kitamura, "A study on shared buffer type ATM switch", IN88-120, pp. 19~23.
23. M. Devault, J. Cochenec, M. Servel, "The 'Prelude' ATD experiment : Assessments and future prospects", IEEE, SAC-6, No. 8, Dem., 1988.
24. 박홍식, 김동희, 송덕영, "광역 ISDN을 위한 ATM 기술", ETRI TDX 개발단 TM-070, 1988. 9.
25. E. Suzuki, Y. Shobatake, T. Kamitake, "A Study of Large Scale ATM Switch", SSE89~60, pp. 79~84.
26. H. Suzuki, H. Nagasano, T. Suzuki, T. Takeuchi, S. Iwasaki, "Output Buffer Switch Architecture for Asynchronous Transfer Mode", ICC'89 4.1.1-4.1.5.
27. K. Y. Eng, M. J. Karol, Y. S. Yeh, "A Growable Packet(ATM) Switch Architecture : Design Principles and Applications", Globecom'89, 32.2.1-32.2.7.
28. Eng K. Y., Karol M. J., Chin-Lin I., "A Modular Broadband (ATM) Switch Architecture with Optimum Performance", 13th ISS'90, A5.1.
29. Y. S. Yeh, M. G. Hluchyj, A. S. Acampora, "The knockout switch : A simple, modular achitecture for high-performance packet switching", ISS'87, B10.2.1-8.
30. Tony T. Lee, "Non-blocking Copy Networks for Multicast Packet Switching", Int'l Zurich Seminar on Digital Communications, Mar. 1988.
31. Manfred N. Huber, Erwin P. Rathgeb, Thomas H. Theimer, "Self routing banyan networks in an ATM-environment", Proceedings of ICC 1988, pp. 167~174.
32. 최대우, 박홍식, "Banyan형 ATM 스위치에서의 멀티캐스트 방식", ETRI TDX 개발단 TM-048, 1990. 8.
33. R. G. Bubenik and J. S. Turner, "Performance of a Broadcast Packet Switch", IEEE Trans. on Com., Vol. 37, No. 1, Jan. 1989, pp. 60~69.
34. D. K. Wilson, "A New Architecture for Packaging Wideband Communication Equipment Using A 3-D, Orthogonal Edge-to Edge Topology", Globecom'88, 13.5.1-13.5.5.



송 덕 영

저자약력

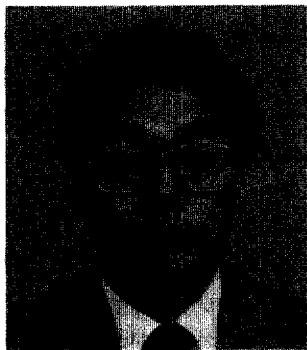
- 1963년 11월 17일생
- 1986년 2월 : 충남대학교 졸업 전자공학 학사
- 1985년 12월 ~ 현재 : 삼성전자(주) 근무
- 1987년 8월 ~ 현재 : 한국전자통신연구소 교환기술연구실 파견



최 대 우

저자약력

- 1958년 7월 23일생
- 1981년 2월 : 경북대학교 졸업 전자공학 학사
- 1983년 2월 : 경북대학교 대학원 졸업 전자공학 석사
- 1983년 3월 ~ 현재 : 한국전자통신연구소 근무
현재 : TDX개발단 교환기술연구실 선임 연구원



박 흥 식

저자약력

- 1953년 8월 16일생
- 1977년 2월 : 서울대학교 졸업(학사)
- 1986년 8월 : 한국과학기술원 졸업(석사)
- 1977년 3월 ~ 현재 : 한국전자통신연구소 근무
현재 : TDX 개발단 교환기술연구실장