

MOS의 DLTS 신호특성과 계면트랩에 관한 연구

A Study on the DLTS Spectrum and Interface Trap in MOS

박병주* · 윤형섭** · 박영걸**

(인하대 응용물리학과)

(Pyung-Choo Park, Hyung-Sup Yoon, Young-Kull Park)

요 약

본 논문에서는 컴퓨터를 근본으로 한 Deep Level Transient Spectroscopy(DLTS) 장치를 구성하고 이를 이용하여 P형 Si MOS 캐패시터의 Si-SiO₂ 계면상태를 측정하여 트랩의 활성화에너지와 포획단면적 그리고 계면트랩밀도를 조사하였다.

실리콘 band gap 내에 연속적으로 분포하고 있는 계면트랩을 상세히 고찰하기 위해 quiescent 전압의 위치를 변화시키면서 0.1volt의 미소한 펄스를 MOS에 주입하여 그 각각이 분리된 트랩이라고 생각되는 매우 좁은 에너지 영역에서 나오는 DLTS신호를 측정하였다.

또한 quiescent 전압의 위치, 주입펄스전압의 진폭 그리고 rate window의 선택이 DLTS 신호에 미치는 영향 등을 조사하였다.

측정결과, 계면트랩의 활성화에너지는 가전자대로부터 0.16~0.45eV이고 포획단면적은 $1.3 \times 10^{-19} \sim 3.2 \times 10^{-15} \text{cm}^2$, 계면트랩밀도는 $1.8 \times 10^{10} \sim 2.5 \times 10^{11} \text{cm}^{-2} \text{eV}^{-1}$ 로 측정되었다.

ABSTRACT

In this study, the density, capture cross section, and activation energy of the interface traps in p-type Si MOS capacitor are investigated using computer-based DLTS system. In DLTS measurement, small voltage pulses(less than 0.1V) are applied to obtain DLTS signal from a narrow energy section which can be treated as a discrete level even though the levels of interface traps are continuously distributed. Also, dependence of the DLTS signals on the quiescent voltage pulse amplitude, and rate window which affects the DLTS signal are all measured.

The results of the activation energy, density distribution, and capture cross section of the interface traps in the p-type MOS capacitor are 0.16~0.45 eV, $1.8 \times 10^{10} \sim 2.5 \times 10^{11} \text{cm}^{-2} \text{eV}^{-1}$, and $1.3 \times 10^{-19} \sim 3.2 \times 10^{-15} \text{cm}^2$, respectively.

* 금성 일렉트론(주)

** 인하대학교 응용물리학과

1. 서 론

Metal-Oxide-Semiconductor(MOS) 구조의 Si-SiO₂ 계면트랩(interface trap)의 활성화에너지, 계면트랩밀도 및 포획단면적은 MOS 소자의 전기적인 특성을 이해하는데 중요한 변수들이다.

반도체내의 깊은 준위를 측정하는 TSC (Thermally Stimulated Current)¹⁾, 온도변화에 따라서 집합의 공핍층내에 있는 트랩의 점유율 변화를 측정하는 TSCAP(Thermally Stimulated Capacitance)²⁾ 등이 있다. 이러한 기존의 여러방법들은 측정시간이 길고 자료 분석이 어려우며 대개 간접적인 측정방법이어서 짧은 측정시간과 분석이 보다 용이한 방법이 요구되어 왔다.

1974년에 D.V.Lang³⁾은 종래의 전기용량과도 응답방식에 "Rate Window"개념을 도입한 Deep Level Transient Spectroscopy(DLTS)법을 제안하였고, P-N접합과 Schottky-barrier diode에 적용하여 깊은 준위를 조사하였다. K.L.Wang과 A.O.Evwaraye⁴⁾는 처음으로 DLTS법을 이용하여 IGFET(또는 MOSFET) 소자의 계면과 bulk트랩은 연구하였고 M. Schulz와 N. M. Johnson⁵⁾은 MOS소자의 계면 상태를 결정하였다.

그 후 Kimiyoshi Yamasaki⁶⁾, T.J.Tredwell과 C.R.Viswanathan⁷⁾등은 MOS의 트랩특성을 DLTS법으로 측정하였고, Teruaki Katsube와 Kakimoto⁸⁾ 그리고 F.Murray⁹⁾ 등은 미소주입 전압을 적용한 DLTS신호로부터 포획단면적의 온도의존성과 에너지의존성, 그리고 계면 트랩분포를 조사하였다.

본연구에서는 MOS캐패시터의 Si-SiO₂ 계면에 연속적으로 분포한 계면준위¹⁰⁾을 불연속적

인 단일준위로 취급하기 위해서 0.1V의 미소 pulse전압을 인가하여 rate window, quiescent 전압, 주입펄스의 크기에 따른 MOS의 DLTS 신호특성을 조사하였고, MOS의 Si-SiO₂계면 트랩특성을 결정하였다.

2. 이 론

2-1. MOS의 DLTS이론

본 논문에서는 MOS의 Si-SiO₂계면트랩의 여러가지 특성들을 조사하였는데 기본적인 원리⁶⁻⁸⁾는 다음과 같다. 그림1의 a와 같이 소

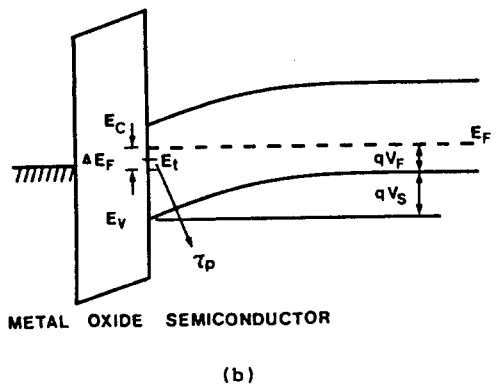
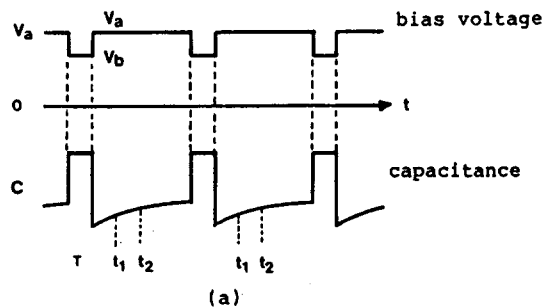


그림 1. DLTS측정동안 MOS의 bias전압 인가순서와 과도전기용량변화 및 energy band구조.
Fig. 1. (a)sequence of bias voltage and capacitance transient.
(b)energy band diagram in MOS during DLTS.

자에 Va의 펄스전압을 인가하여 계면트랩을 공핍상태로 만든 후에 Vb의 전압을 T초 동안 인가하여 계면트랩이 정공을 포획하도록 한다. 계면트랩을 공핍화하기 위해 다시 Va의 펄스를 소자에 인가하면 계면트랩에 포획되었던 정공들이 방출되는데 이 때 관찰되는 고주파 과도용량(high frequency transient capacitance)의 온도에 따른 변화로부터 캐리어 방출률을 결정하고 온도와의 관계에서 운반자트랩 특성을 결정한다.

종래의 DLTS는 소자에 large injection 펄스를 주입하여 Si band gap의 전영역에 걸쳐서 연속적으로 분포하는 계면트랩의 특성을 결정했는데, 이 방법으로 미소구간내에 있는 트랩특성을 조사하는데는 한계가 있다. 이런 문제를 해결하기 위해서 본 논문에서는 진폭의 차(Vb-Va)가 0.1volt인 미소전압을 소자에 주입하여, 공핍(depletion)조건일 때 표면포텐셜 Vs을 일정하게 유지시킨 후에 미소전압 V을 주입하여 그림 1의 b에서와 같이 미소에너지 구간 ΔE_T의 계면트랩들이 정공을 포획하였다가 방출하도록 만든다.

2-2. 활성화에너지와 포획단면적의 결정

DLTS신호가 최대치를 갖게 될 때의 시정수는

$$\tau_p = (t_2 - t_1) / [\ln(t_2/t_1)] \tag{1}$$

이때 정공의 방출시정수¹¹⁾는 다음과 같이 표시된다.

$$e_p = 1/\tau_p = V_b N_v \sigma_p \exp(-\Delta E_T/kT) \tag{2}$$

양변에 log를 취하면,

$$\log e_p = \log(V_b N_v \sigma_p) - 5.038 \Delta E_T (1000/T) \tag{3}$$

여기서 V_b는 정공의 열속도, N_v는 가전자대의 유효상태밀도, K는 볼츠만상수, T는 온

도, σ_p는 정공의 포획단면적이고, ΔE_T는 미소 계면트랩의 활성화에너지이다.

(3)식의 log e_p와 1000/T의 Arrhenius Plot에서 구해지는 직선의 기울기 즉 -5.038 ΔE_T에서 계면트랩의 활성화에너지를 구하며 직선의 y 절편인 log(V_bN_vσ_p)에서 포획단면적을 구한다.

2-3. 계면트랩밀도의 결정

계면트랩의 캐패시턴스 q²N_s가 Cox에 비해 매우 작다고 가정할 때 펄스전압에 의한 캐패시턴스의 변화량 즉, DLTS신호는 다음과 같이 나타낼 수 있다.

$$\Delta C = A \int_{E_1}^{E_2} S(e_p(E_T)) N_s(E_T) dE \tag{4}$$

$$S(e_p(E_T)) = [f_0(E_T) - f_1(E_T)] \cdot \{ \exp[-e_p(E_T)t_1] - \exp[-e_p(E_T)t_2] \} \tag{5}$$

이때 A = C₀³/ε₃N_ACox

C₀는 역바이어스 동안의 단위면적당 캐패시턴스,

Cox는 단위면적당 산화막의 캐패시턴스,

ε₃는 실리콘의 투자율(permiability),

N_A는 실리콘 기판의 도핑농도,

N_s(E_T)는 에너지 E_T에서의 트랩밀도, f₀와

f₁은 펄스전압이 각각 V_a와 V_b일 때 정공의 점유함수(hole occupation function)이다.

미소펄스전압을 주입하여 구한 DLTS신호는 그림1에서 보는 바와 같이 실리콘 band gap내에 연속적으로 분포하고 있는 계면트랩(surface trap)를 미소한 에너지준위 ΔE_T로 나눈다고 생각할 수 있다.

정공의 포획단면적이 온도와 깊은 관계를 갖지 않는다면, S[e_p(E_T)]이 최대치를 가질 때의 에너지 E_m은 다음과 같이 표현된다.

$$E_m = E_v + kT \ln[\sigma_p(E_T) V_b N_v (t_2 - t_1)] /$$

$$\ln(t_2/t_1)] \tag{6}$$

함수 $S(E_p(E_T))$ 의 최대반치(half-maximum)에서 full energy width E_m 은 다음과 같이 나타낼 수 있다.⁹⁾

$$\Delta E_m = kT \ln(t_2/t_1 + 10) \tag{7}$$

t_2/t_1 비가 10이하로 선택되고 계면트랩밀도가 E_m 의 $3kT$ 에너지범위에서 크게 변화되지 않으면 식(4)로부터

$$\begin{aligned} \Delta C &= AN_S(E_T) \int_{E_c}^{E_v} S[e_p(E_T)] dE \\ &= AkTN_S(E_T) \ln(t_1/t_2) \end{aligned} \tag{8}$$

(8)식으로 부터 계면트랩밀도 $N_S(E_T)$ 를 구하면 다음과 같이 나타낼 수 있다.

$$N_S(E_T) = [\epsilon_s C_{ox} N_A / C_0^3] [\Delta C / kT \ln(t_1/t_2)] \tag{9}$$

3. 실험

3-1. 장치제작

본 연구에서는 Boonton 캐패시턴스 meter를 Apple II 마이크로 컴퓨터에 interfacing하여 구성된 DLTS장치를 통해서 MOS소자에서 발생하는 신호를 측정하고 분석하였는데 여기서 사용된 소프트웨어 프로그램은 assem-

bler와 basic언어로 작성되었다.

측정장치의 block diagram을 그림2에 나타내었는데 Boonton 72BD Capacitance Meter, Apple II 마이크로 컴퓨터, dot printer와 A/D, D/A컨버터를 포함하는 자체 제작한 인터페이스 장치 등으로 구성되어 있다. A/D컨버터는 12 bit D/A컨버터 0800 CBI-V와 SAR 4549, 4559를 사용한 대차비교형으로서 전환시간이 $26\mu\text{sec}$ 이며 입력전압이 10volt 일 때 분해능은 2.44mV이다. C-Meter의 full scale 출력전압이 2V이므로 A/DC에 입력되기 전에 5배 증가시켰다.

온도감지는 diode를 사용하여 thermocouple에서 발생된 전압을 off-set, 온도보정을 하였는데 77K에서 0V가 되도록 하였다. 온도측정 범위는 77K에서 400K로 하였고 두 온도 사이의 전압이 11.1mV이므로 A/DC입력전압에 맞추기 위해서 약900배 증폭시켰는데 이때의 온도분해능은 0.08K이다. 온도장치는 파이렉스(Pyrex)관, 시편부착기에 접합시킨 MOS소자, 가열기 및 thermocouple 등으로 구성되어 있다.

3-2. 측정방법

본 실험에 사용된 시료는 보론이 첨가된 비저항이 $6\sim 9\text{ohm}\cdot\text{cm}$ 인 p형(100)실리콘웨이퍼이다. 산화막성장을 하기 전에 웨이퍼를 10 : 1HF에서 10초간 담구어 초기산화막(native oxide)를 제거하고 다시 125°C 의 $\text{H}_2\text{SO}_4\text{-H}_2\text{O}_2$ 용액에 웨이퍼를 10분간 담구어 세척한 후 회전 건조시켰다. 세척을 마친 웨이퍼는 950°C 의 확산로에서 100%dry O_2 를 써서 산화막을 열적으로 성장시켰고, 산화막의 두께는 785\AA 이며 게이트 전극으로는 스퍼터방법으

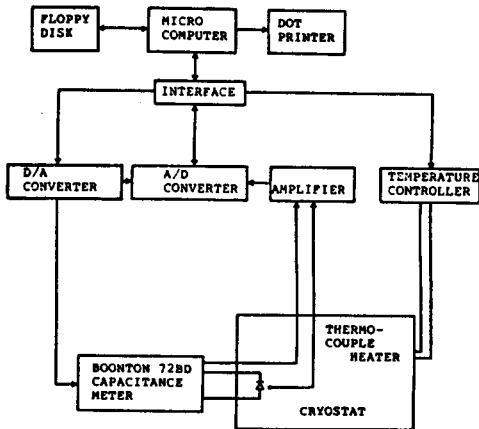


그림 2. DLTS시스템의 구성도
Fig. 2. DLTS system block diagram.

로 알루미늄을 증착하여 사용하였다. 알루미늄 전극의 면적은 0.51mm²이다.

소자의 제반특성을 알기 위해 5~-5V의 전압범위에서 1MHz의 high frequency C-V 측정, 분석하여 이로부터 flat band 전압, 일함수 차이, 공핍층의 폭, 기판의 도우핑농도, 표면 전하밀도와 Al게이트의 면적 등을 구했다. MOS의 표면전위는 quasi-static C-V를 측정하여 구하였다. 또한 300K에서 측정한 C-V곡선을 통해서 quiescent 전압 Va와 injection 전압 Vb를 결정하고 테스트 프로그램을 통해 DLTS작동을 함으로써 과도용량(transient capacitance)현상을 오실로스코프로 관찰하였다. 그리고 |Va-Vb|=0.1로 유지하면서 Va와 Vb를 -1.1~+1.1V로 변화시켰고 펄스폭은 9.4msec와 16.1msec의 두 종류를 사용했으며 t₁과 t₂의 비율을 0.5로 고정하여 t₁과 t₂값을 변화시키면서 DLTS신호를 분석하였다.

이와 같이 결정된 펄스전압이 적당하다고 판단되었을 때 작동프로그램으로부터 DLTS 신호를 구했다.

4. 실험결과 및 논의

4-1. MOS DLTS신호의 Rate Window의존성

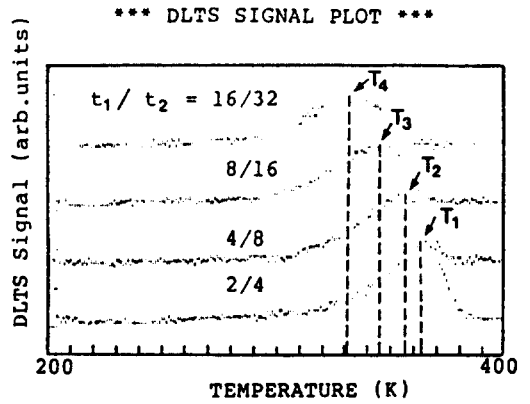
DLTS는 전기용량의 과도응답으로부터 트랩준위를 선별하기 위한 방법으로서 과도현상이 지수함수적일 때 방출시정수는 일반적으로 다음과 같이 주어진다.

$$\tau_p = [\tau_0 \text{EXP}(-E_T/kT)]^{-1} \tag{10}$$

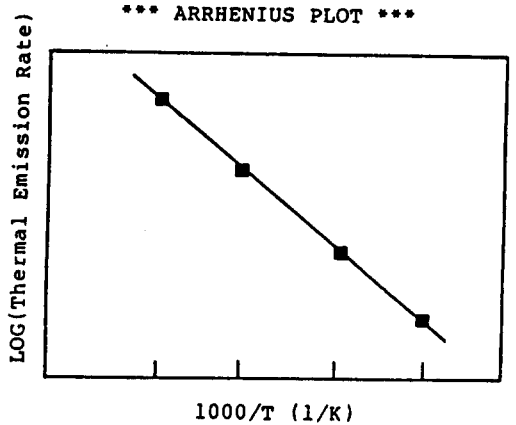
여기서 τ_p : 정공의 방출시정수

τ_0 : 정공의 초기 방출 시정수

이때 E_T 는 과도현상에 관계된 트랩의 활성화에너지이다. 시간 $t=0$ 에서 주입전압을 quiescent 전압 V_a 에서 V_b 로 변화하면 캐패시터의 전기용량 변화가 발생되는데 시간 t_1 과



(3-a) DLTS spectrum



(3-b) Arrhenius plot of DLTS signal

그림 3. rate window변화에 따른 DLTS spectrum과 Arrhenius Plot.

Fig.3. DLTS spectra as a function of rate window and arrhenius plot.

t₂사이의 변화를 표시하면 다음과 같다.

$$\Delta C(T, t_1, t_2) = c(0)[\text{EXP}(-t_1/\tau_p) - \text{EXP}(-t_2/\tau_p)] \tag{11}$$

여기서 $C(0) = C - C_0$ 이다.

(11)식을 관찰하면 $\tau_p = (t_2 - t_1) / \ln(t_2/t_1)$ 일 때 ΔC 가 최대치를 갖는다. 따라서 일회 온도 scanning으로 피크온도 T_m 에서의 방출시정수를 구할 수 있고 t₁과 t₂를 변화시키면서 온도

주사를 하면 각기 다른 피크온도에서 시정수를 얻을 수 있다. 대개 비율은 일정하게 두고 t_1 과 t_2 를 변화시키면서 측정하는데 2/4, 4/8, 8/16, 16/32msec로 설정한 DLTS신호가 그림 3-a이며 그림 3-b는 이 신호를 arrhenius plot한 것이다. 미소전압 ($V_b - V_a < 0$)을 소자에 주입하여 구한 수치를 식(3)에 대입하고 arrhenius plot하여 얻어지는 직선의 기울기로부터 구한 계면트랩의 활성화에너지는 0.16~0.45eV이었고 $\log e_p$ 측의 절편에서 구한 포획 단면적은 $1.3 \times 10^{-19} \sim 3.2 \times 10^{-15} \text{cm}^2$ 이었다.

4-2. MOS DLTS신호의 quiescent 전압의존성

시료로 사용된 MOS 캐패시터의 C-V곡선(그림 4)를 분석하면 MOS의 전기용량상태를 축적(accumulation), 공핍(depletion), 반전(inversion)모드의 세가지로 구별할 수 있는 게이트 전압의 위치를 알 수 있다. 그리고 MOS DLTS에서 quiescent 전압 V_a 가 위의 세 모드 중 어디에 위치하느냐에 따라서 DLTS신호에 관계되는 트랩이 달라지므로 신호의 양상이 변한다. 그림 5는 주입펄스의 진폭($V_b - V_a$)를

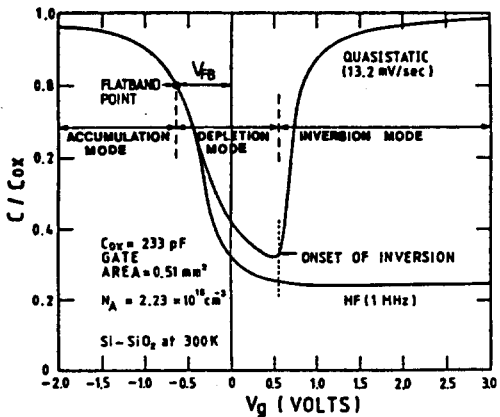


그림 4. P형 MOS capacitor의 quasistatic C-V 및 High-frequency C-V 특성.

Fig. 4. Quasistatic C-V and High-frequency C-V of P-type MOS.

0.1V로 고정하여 quiescent 전압 V_a 의 위치를 공핍모드에서 축적모드로 이동시키면서 측정 한 DLTS신호이다. 그림 5에서 볼 수 있는 것처럼 그림 5의 A, B는 quiescent 전압이 공핍 및 반전모드의 경계부분인 weak inversion 영역에 있기 때문에 다수캐리어와 소수캐리어에 의한 DLTS신호가 동시에 검출된다. 그러나 quiescent 전압이 그림 5의 C, D, E, F, G에서처럼 공핍모드쪽으로 이동함에 따라 소수캐리어(전자)에 의한 신호는 사라지고 negative 구성의 피크를 나타내는 다수캐리어(정공)에 의한 신호만이 검출되고 이에 따라 신호의 피크도 증가한다. 그림 5의 H, I에서는 quiescent 전압이 flat band 전압을 넘어감에 따라 0.1V의 펄스로 여기되는 계면준위의 수가 감소하여 그에 따른 전기용량의 변화도 작아지고 있다. 따라서 그림 5에서 관찰된 두가지 신

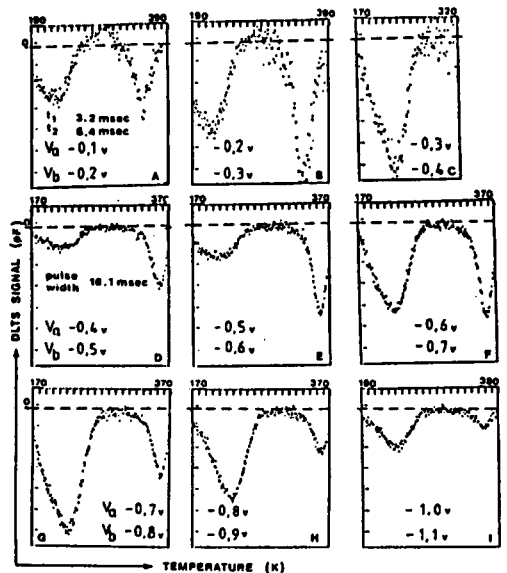


그림 5. DLTS spectrum의 quiescent 전압의존성 (다수 carrier와 소수carrier의 경우)

Fig. 5. DLTS spectra as a function of quiescent voltage position (in case of majority carrier and minority carrier).

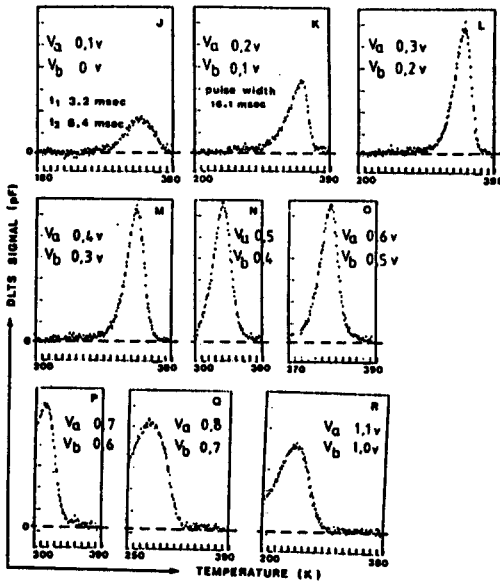


그림 6. DLTS spectrum의 quiescent 전압의존성 (소수 carrier의 경우)

Fig. 6. DLTS spectra as a function of quiescent voltage position (in case of minority carrier).

호는 계면트랩(다수 캐리어)과 벌크트랩(소수 캐리어)에 의한 것으로 볼 수 있다.

그림 6은 주입펄스의 진폭($V_b - V_a$)를 0.1V로 고정시킨 채 V_a 를 공핍층에서 반전층으로 이동시켜서 구한 DLTS신호이다. 그림에서 관찰되듯이 DLTS신호는 positive극성의 피크를 갖는데 이것은 소수캐리어(전자)에 의한 것이다.

DLTS신호의 quiescent전압의 의존성을 관찰할 때 quiescent전압의 위치에 따라 다수캐리어에 의한 신호와 소수캐리어에 의한 신호를 분리하여 측정할 수 있으며 금지대내에 분포하고 있는 계면트랩의 위치에 따라서 서로 다른 DLTS신호가 발생된다.

다수캐리어에 의한 DLTS신호의 분석결과로 구한 계면트랩의 포획단면적의 관계를 그

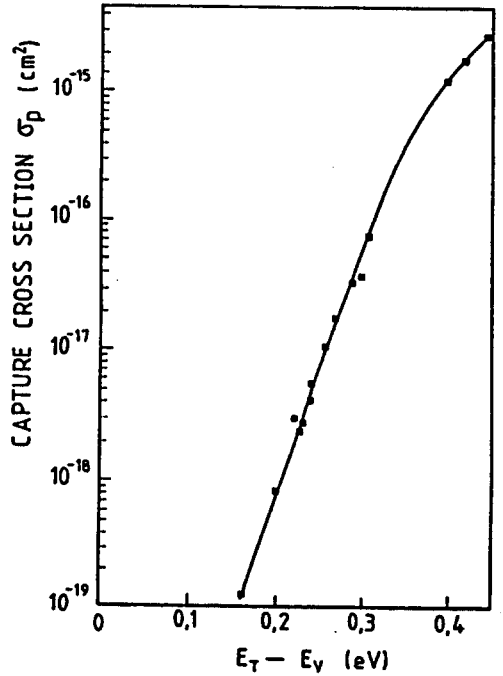


그림 7. P형 capacitor에서 계면트랩의 Hole 포획 단면적.

Fig. 7. Hole capture cross section of interface trap as a function of energy level in P-type MOS capacitor.

림 7에 구성했는데 계면상태가 가전자대에서 멀수록 포획단면적이 커짐을 알 수 있다.

4-3. MOS DLTS신호의 주입펄스 진폭 의존성

그림 5와 같이 공핍층내에 quiescent 전압 V_a 를 설정하고 주입전압 V_b 를 소자에 가했을 때 두 가지의 신호를 관찰한 바 같다.

이와 같이 다수캐리어에 의한 두가지 신호의 특성을 조사하기 위하여 V_a 를 0V로 정하고 V_b 를 $-0.2 \sim -0.7\text{V}$ 까지 -0.1V 의 증가시키면서 측정된 DLTS신호를 그림 8에 나타내었으며 보다 상세한 관찰을 위해서 한 평면에 재구성하였다(그림 9, 10).

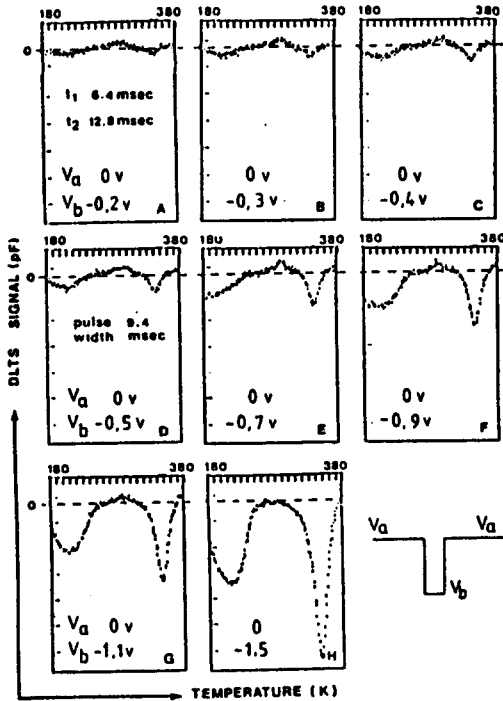


그림 8. 주입펄스 전압의 진폭에 따른 DLTS spectrum 특성

Fig. 8. DLTS spectra as a function of the amplitude of injection pulse.

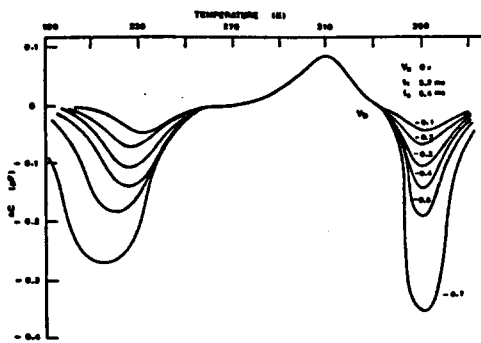


그림 9. 펄스전압의 변화에 의한 계면트랩과 벌크 트랩의 구별

Fig. 9. Difference in pulse voltage dependence between DLTS spectra of interface trap and that of bulk trap.

그림 9에서는 극성이 다른 세가지의 신호가 관찰되는데 고온에서 피크를 갖는 신호는 V_b 의 증가에 관계없이 일정한 피크온도를 나타낸다. 이것은 방출시정수가 일정한 단일트랩에 의한 것으로서 여기서는 실리콘 bulk내의 깊은 단일트랩에 의한 신호라고 해석된다.

저온에서 관찰되는 신호를 그림 10에 재구성하였다. 주입펄스의 진폭이 커짐에 따라 피크온도가 저온으로 이동하고 있는데 DLTS 신호의 피크온도가 펄스전압에 따라서 다르다는 사실로부터 방출시정수가 서로 다른 여러 트랩에 의한 것임을 알 수 있다. 따라서 이 신호는 MOS의 Si-SiO₂계면에 연속적으로 분포하고 있는 계면트랩에 기인된 DLTS신호라고 생각된다.

한편, 그림 9의 310K 부근 중간부근에서 관찰되는 신호는 positive 극성을 갖는 피크로서 소수캐리어의 surface generation에 의한 것으로 여겨진다.

종합하여 볼 때, DLTS신호의 injection pulse amplitude 의존성을 고찰하면 계면트랩에 의한

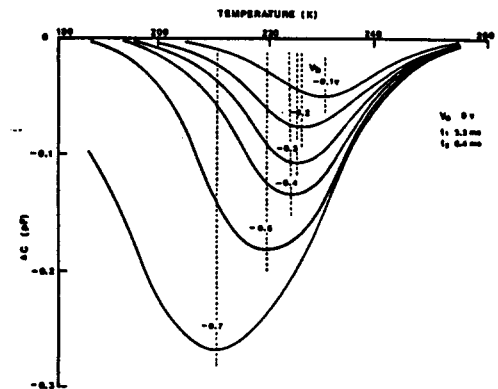


그림 10. 주입펄스 전압의 진폭에 따른 계면트랩의 DLTS 특성.

Fig. 10. DLTS spectra of interface trap as a function of the amplitude of injection pulse.

신호와 bulk트랩에 의한 DLTS신호를 서로 분리할 수 있다. 그림 10에서 보듯이 펄스진폭이 커짐에 따라서 피크값이 증가하는데 이것은 단일 에너지라 생각되는 ΔE_T 의 크기가 커져서 그 안에 포함되는 계면트랩의 영역이 넓어졌기 때문이라 생각된다.

4-4. MOS 계면트랩밀도

MOS의 계면트랩밀도의 결정에는 앞의 이론에서 언급했던 식(9)를 사용하였으며 이때 변수들은 high frequency C-V(그림 4)로부터 구했다. $\epsilon_m = 1.04 \times 10^{-12} \text{F/cm}$, $N_a = 2.23 \times 10^{15} \text{cm}^{-3}$, $C_{ox} = 223 \text{pF}$ 와 $t_1 = 3.2 \text{msec}$, $t_2 / t_1 = 2$, 기타 C_0 , ΔC 등을 식(9)에 대입하여 구한 계면상태밀도를 그림 11에서 나타냈다.

측정결과, 계면트랩의 활성화에너지 ($E_T - E_V$)가 $0.16 \sim 0.45 \text{eV}$ 일 때 $N_s(E)$ 는 $1.8 \times 10^{10} \sim 2.5 \times 10^{11} \text{cm}^{-2} \text{eV}^{-1}$ 의 범위로 분포함을 알 수

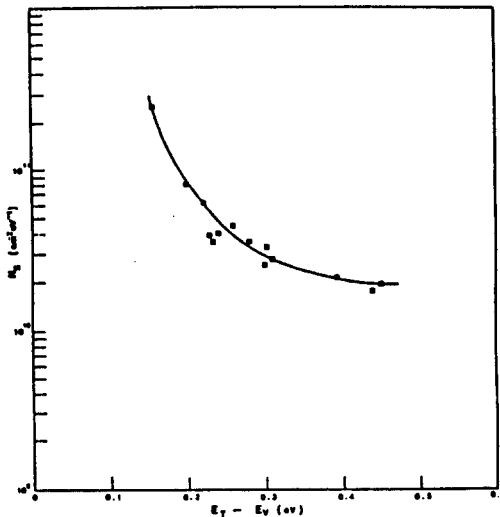


그림 11. P형 MOS capacitor의 계면트랩밀도 특성.

Fig. 11. Interface trap density distribution as a function of energy level in a P-type MOS capacitor.

있었다. 그림에서 보듯이 활성화에너지가 작은 곳 즉 가전자대 근처에 트랩이 많이 분포하며 mid-gap으로 갈수록 트랩밀도가 작아진다. 본 실험은 p-type MOS의 다수캐리어에 대하여 측정하였기 때문에 0.6eV이상의 활성화에너지를 갖는 부분에 대해서는 상세히 검토할 수 없었다.

5. 결 론

본 실험은 컴퓨터를 도입하여 측정과 분석을 자동화할 수 있는 DLTS장치를 자체 설계, 제작하여 oxide두께가 785 Å인 P형 MOS캐패시터의 계면트랩특성을 조사하였다.

MOS캐패시터의 DLTS신호에 영향을 주는 세가지조건을 분석하였는데 첫째, rate window의존성에서 계면트랩의 활성화 에너지가 $0.16 \sim 0.45 \text{eV}$, 포획단면적이 $1.3 \times 10^{-19} \sim 3.2 \times 10^{-15} \text{cm}^2$ 로 분포함을 알았고 둘째, quiescent 전압 의존성에서는 다수 캐리어와 소수캐리어에 의한 DLTS 신호를 quiescent 전압의 위치에 따라 각각 분리할 수 있었으며 금지대내에 연속적으로 분포하는 계면트랩을 분리된 트랩으로 간주하여 그 특성을 조사하였다. 셋째, injection pulse amplitude의존성에서 계면트랩과 bulk트랩에 의한 DLTS신호를 분리하여 조사할 수 있었다.

측정결과로서, 조사된 MOS소자의 계면상태는 가전자대 edge에서부터 활성화에너지가 $0.16 \sim 0.45 \text{eV}$ 인 영역에 걸쳐서 분포하며 계면트랩밀도는 $1.8 \times 10^{10} \sim 2.5 \times 10^{11} \text{cm}^{-2} \text{eV}^{-1}$ 로 조사되었다.

참 고 문 헌

1) T.Katsube, Y.Adachi; *Solid-State Electron*, 19, 11(1976)

- 2) C.T.Sah, W.W.Chan, S.S.Fu, J.W.Walker; *Solid-State Electron*, **23**, 1171(1980)
Appl. Phys. Lett., **20**, 193(1972)
- 3) D.V.Lang; *J. Appl. Phys.*, **45**, 3023(1974)
- 4) K.L.Wang, A.O.Evwaraye; *J. Appl. Phys.*,
47, 4574(1976)
- 5) M.Schulz, N.M.Johnson; *Solid-State Comm*,
25, 481(1978)
- 6) K.Yamasaki, M.Yoshida, T.Sugano;
Jap. J. Appl. Phys., **18**, 113(1979)
- 7) T.J.Tredwellk, C.R.Viswanathan;
Solid-State Electron, **23**, 1171(1980)
- 8) T.Katsube, K.Kakimoto; *J. Appl. Phys.*, **52**,
3504(1981)
- 9) F.Murray, R.Carlin, P.Bogdanski;
J. Appl. Phys., **60**, 3592(1986)
- 10) M.Schultz; *Surface Science*, **132**,
422-455(1983)
- 11) W.Shockley, W. T.Read; *Phys. Rev.*, **87**,
835(1952)
- (1989년 12월 29일 접수)