

텅스텐 실리사이드의 산화에 따른 전기저항 및 과잉실리콘의 거동에 관한 연구

남유원·이종무·임호빈*·이종길**

인하대학교

*KAIST

**삼성전자

(1990년 1월 31일 접수)

Studies on the Electrical Resistance and the Behaviors of Excess Silicon of Tungsten Silicide during Oxidation

You-Won Nam, Chongmu Lee, Ho-Bin Im* and Jong-Gil Lee**

Inha University

*KAIST

**Samsung Electronics

(Received January 31, 1990)

요 약

다결정 실리콘막상에 CVD 법으로 증착된 $WSi_{2.7}$ 막과 $WSi_{3.1}$ 막의 열산화막들에 대한 특성들을 서로 비교함으로써 과잉의 실리콘이 산화막의 특성에 미치는 영향을 조사하였다. AES 분석결과에 의하면, $WSi_{2.7}$ 은 산화시 하부층인 다결정 실리콘이 소모되는 반면, $WSi_{3.1}$ 은 산화시 실리사이드 막 내의 표면 가까운 부분의 실리콘 성분들이 소모되어 산화후 실리사이드 막 내의 조성분과 비저항이 매우 불균일해졌다.

ABSTRACT

Effects of excess Si on the properties of the oxide of CVD tungsten silicide were investigated by comparing the characteristics of the two kinds of thermal oxide for CVD- $WSi_{2.7}$ and $WSi_{3.1}$ films on the polycrystalline Si film each other.

It is revealed from AES analysis that Si in the surface region of the silicide film is consumed to make composition and resistivity of the silicide film very nonuniform for the case of the oxidation of $WSi_{3.1}$, while the underlayer polycrystalline Si was consumed for the case of the oxidation of $WSi_{2.7}$.

1. 서 론

내화금속 실리사이드(refractory metal silicide)는 오

늘날 초대규모 집적회로(VLSI)에서 게이트(gate) 전극 재료 및 배선(interconnect)재료로 자리를 굳혀가고 있다^{1,2)}.

실제 양산에 가장 많이 적용되는 실리사이드는 순도가 높고 스텝커버리지(step coverage)가 좋은 텅스텐 실리사이드(WSi_x)이며, 막 형성방법으로는 양산성이 좋은 CVD (Chemical Vapor Deposition)법을 가장 많이 쓰고 있다³⁾. 일반적으로 텅스텐 실리사이드의 조성은 WSi_2 보다는 과잉의 실리콘이 존재하는 $WSi_{2.6}$ (as-deposited 상태) 정도의 것을 많이 사용하는데 그 이유는 산화초기 실리콘의 공급을 원활히 하기 위한 것으로 알려져 있다⁴⁾. 실리사이드 막 내의 과잉 실리콘의 함량에 따라 실리사이드 자체의 막질이나 실리사이드 산화막의 특성이 크게 달라짐에도 불구하고 아직까지 텅스텐 실리사이드의 조성비가 산화막의 특성에 미치는 영향이나 과잉 실리콘의 거동에 관해서는 잘 조사되어 있지 않은 실정이다.

본 연구에서는 Si/W 비가 각각 2.7 및 3.1인 텅스텐 실리사이드를 상부층으로 하는 이른바 텅스텐 폴리사이드(polycide) 구조를 건식(dry) 및 습식산화(wet oxidation)하고 이렇게 만들어진 산화막들의 특성을 비교 검토하였다.

본 논문에서 다룰 내용은 첫째는 조성비, 다결정 실리콘의 두께, 산화방법 등의 변화에 따른 텅스텐 실리사이드막의 전기저항 특성의 변화가 되겠으며, 둘째는 실리사이드의 조성비와 다결정 실리콘의 두께가 다른 이들 폴리사이드 구조 각각에 대해 실리사이드 막 내의 과잉 실리콘과 다결정 실리콘 막 내의 실리콘 중 어느 것이 산화반응시에 주로 소모되는가를 AES(Auger Electron Spectroscopy)분석에 의하여 조사한 것이 되겠다.

2. 실험 방법

2.1. 시편제작

Table 1과 Fig.1에 본 실험을 위한 시편 제작과 분석 과정을 나타내고 있다. WAKER-CHEMITRONIC사에서 제조한 저항이 5-25 Ω /□이고, 반경이 125mm인 boron을 doping한 P형(100) Si wafer를 130°C에서 20분 정도 황산 boiling을 실시한 후 THERMCO사의 확산로를 이용하여 90°C에서 18분 30초 동안 건식 O_2+HCl 분위기로 thermal SiO_2 를 1000 Å의 두께로 성장시켰다.

다결정 실리콘 질소 분위기에서 5% SiH_4 기체를 사용하여 열분해 반응에 의하여 SHIPLEY사의 저압화학 기상증착 장비로 thermal SiO_2 층 위에 증착하였다. 이때 다결정 실리콘은 온도와 압력은 625°C와 300mtorr로 일정

Table 1. Schematic Representation of Sample Preparation and Analysis.

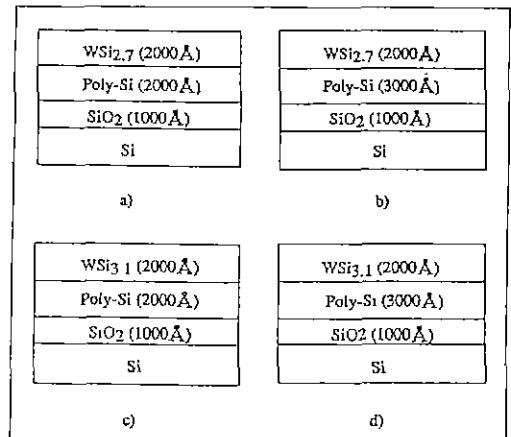
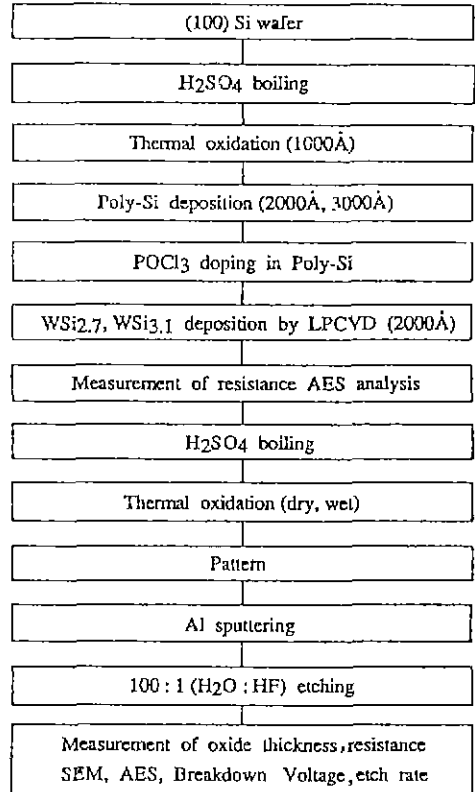


Fig. 1. Schematic representation of sample.

- a) $WSi_{2.7}$ /poly-Si(2000 Å)
- b) $WSi_{2.7}$ /poly-Si(3000 Å)
- c) $WSi_{3.1}$ /poly-Si(2000 Å)
- d) $WSi_{3.1}$ /poly-Si(2000 Å)

하게 유지하고, 2000 Å/min 두께의 다결정 실리콘인 경우, SiH₄기체 유속을 85 Å/min으로 흘려 주었으며, 3000 Å 두께의 경우, SiH₄기체 유속을 105 Å/min으로 조절하여 증착한 후, LEITZ사의 Nanospec 장비를 이용하여 이들 막의 두께를 측정하였다. 그런다음, N₂분위기에서 POCl₃을 이용하여 다결정 실리콘층에 인을 doping 하였다. 여기에서 인의 doping 농도를 알아보기 위하여 bare Si wafer를 같은 확산로에 넣고서 공정을 진행시킨 후, 저항을 측정하여 이 저항을 다결정 실리콘 막 내의 인의 doping 농도로 결정하였다. 질소는 15l/min으로 흘려 주었으며, doping 농도가 15Ω/□인 경우에는 POCl₃을 900°C에서 550cc/min의 유속으로 50분간 흘려주었다. 그 다음 100:1(H₂O:HF)용액에 2분 정도 담구어 다결정 실리콘층 표면에 생긴 P₂O₅와 SiO₂ 등을 제거하였다.

텅스텐 실리사이드 막은 Genus 8301 LPCVD 장치를 사용하여 다결정 실리콘층 위에 증착하였다. 이때 WF₆와 SiH₄기체의 유속비를 달리하면, 텅스텐 실리사이드의 성장 속도와 조성이 달라지게 된다.

본 연구에서는 온도를 360°C 그리고 압력을 200mtorr로 일정하게 유지하고, WF₆의 유속을 16sccm, SiH₄유속을 1900sccm으로 흘려주면서, 300sec 동안, 반응시켜 2000 Å의 두께로 텅스텐 실리사이드 WSi_{2.7}막을 형성하였으며, WF₆유속은 6sccm으로 하고 SiH₄기체 유속은 2500sccm으로 흘려 주어 900sec 동안 반응시켜 2000 Å의 WSi_{3.1}막을 도포하였다. 이때, 온도와 압력은 WSi_{2.7}의 경우와 같게 하였다.

산화 공정에 들어가기 전 130°C 온도에서 황산 boiling을 실시한 후, THERMCO사의 산화로를 사용하여 wet O₂와 dry O₂분위기에서 각각 산화를 실시하였다. Dry O₂분위기에서 산화 공정은 온도를 900°C로 일정하게 한후, 산화시간은 20분, 40분, 100분이며, wet O₂분위기에서 산화 공정은 온도를 800°C로 일정하게 한후 10분, 30분 동안 실시하였다. 900°C dry O₂분위기에서의 산화의 경우 650°C 항온에서 5 l/min의 유속으로 N₂를 흘려주다가 15 l/min으로 N₂의 양을 늘려서 20분간 흘려준 후, 그 다음 5 l/min으로 O₂를 흘려주면서, 노의 온도를 10°C/min으로 상승시켰다. 산화가 진행되는 동안은 5 l/min으로 O₂ 유속을 조절하였으며, 산화가 끝난후 항온에서 15 l/min으로 N₂유속을 조절한 후 시간은 60분간 흘려 주었다. 그 후 3.3°C/min로 노의 온도를 감소시킨 후, 항온에서 5 l/min의 유속으로 N₂를 흘려주었다. Wet O₂산화 경우에는

산화가 진행되는 동안 5 l/min으로 O₂를 흘려주고, 동시에 7.5 l/min으로 H₂를 흘려주어 산화 반응을 진행시켰다.

2.2. 분석

산화 공정후, 산화막의 두께를 측정하고, 산화후 silicide 막의 조성 변화를 측정하기 위하여 패틴을 형성하였다. 먼저 막 위에 SHIRLEY사의 감광액(photoresist)을 5000rpm에서 약 10000 Å 두께가 되도록 coating 처리를 하였다. 그다음 NICON사의 축소 투영노광기를 사용하여 노광하였고, 현상처리를 실시하였다. 그다음 bake를 하여 SHIPLEY사의 현상 etchant에서 3분 20초 동안 현상하였다. 감광막 테두리에 남은 현상용액을 중화시켜 없애기 위해 130°C의 100:1(H₂O:HF)용액에서 10분 동안 중화처리한 후 rebake 하였다. 그다음 BHF(Buffered HF NH₄:HF=7:1) 용액에서 분당 1200 Å으로 산화막을 etching 하였다. 그후 strip 전처리를 거쳐 황산으로 감광막층을 벗겨내었다. 이렇게 제조된 wafer들에 대해 100:1(H₂O:HF)용액으로 2분, 6분, 10분씩 SiO₂막을 etching 하고, 이어서 deionized wafer로 세척한 다음 남아있는 산화막의 두께를 측정하였다.

한편, 텅스텐 실리사이드 열산화막의 breakdown voltage를 측정하기 위하여 산화막 위에 shadow mask를 사용하여 wafer 위에 dot 모양으로 Al을 sputtering 시켰다

다결정 실리콘과 텅스텐 실리사이드의 면저항은 four point probe 측정 방식으로 된 KOKUSAI 전자 회사의 저항측정 장치인 VR-30으로 측정했는데, 웨이퍼 표면의 다섯 군데를 측정하여 그 평균값을 취하였다. 텅스텐 실리사이드와 etching 후의 산화막두께는 TENCOR INSTRUMENT 회사의 alpha-step 200으로 측정하였으며 산화막의 breakdown voltage를 측정하기 위하여, HEWLET PACKET 회사의 HP 4145 장비를 사용하였으며, 다섯 군데를 측정하여 그 평균값을 취하였다. 그리고 산화전과 산화후 텅스텐 실리사이드의 조성비는 PERKIN-ELMER사의 AES 장비를 이용하여 측정하였다.

3. 실험결과 및 고찰

3.1. 저항 특성

Fig 2.Fig.는 as-deposited WSi_{2.7}의 저항값과 900°C

온도에서 산화한 후의 $WSi_{2.7}$ 의 저항 변화를 나타내고 있다. As-deposited $WSi_{2.7}$ 의 경우, 저항은 $46\Omega/\square$ 으로 상당히 높은 값을 가지고 있으며, 이때 이 저항에 가장 큰

영향을 미치는 전도 기구는 전자의 격자 산란으로 생각된다. 이것은 as-deposited silicide의 구조는 아직 결정화가 일어나지 못하여 W-W 결합, Si-Si 결합, W-Si 결합

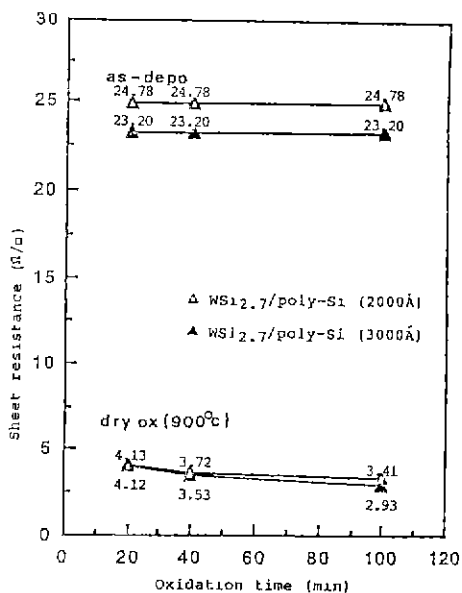


Fig. 2. Sheet resistance of WSi_x polycide as-deposited and oxidation.

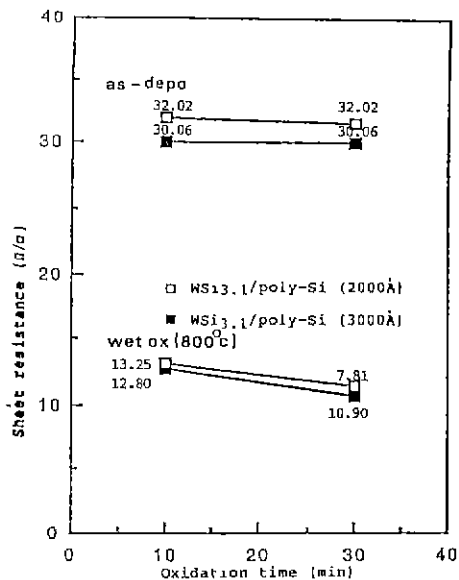


Fig. 4. Sheet resistance of WSi_x polycide as-deposited and oxidation.

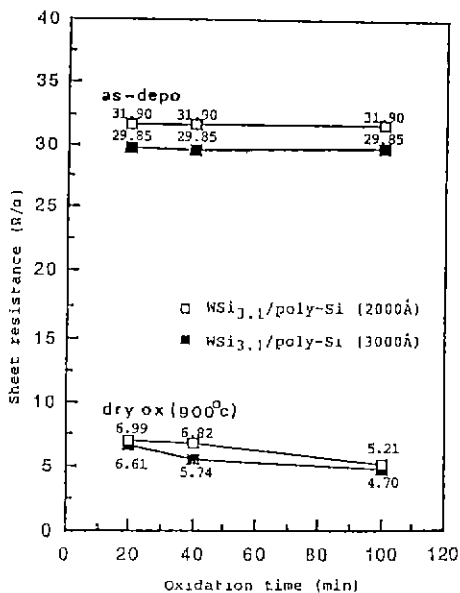


Fig. 3 Sheet resistance of WSi_x polycide as-deposited and oxidation.

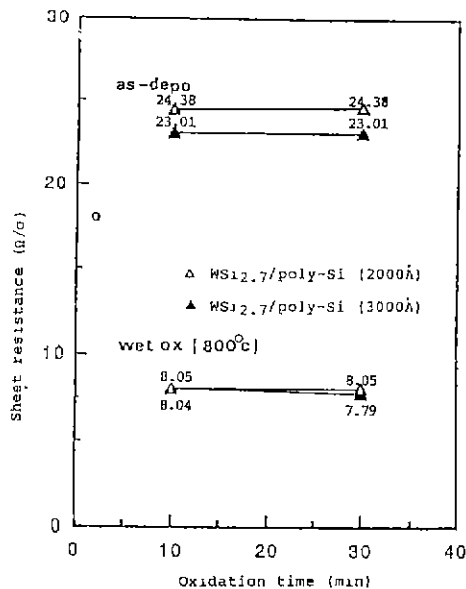


Fig. 5. Sheet resistance of WSi_x polycide as-deposited and oxidation.

들이 불규칙하게 배열되어 있는 비정질 구조이기 때문에 전자의 격자산란이 심하게 일어나고, 따라서 높은 저항값을 갖게된다. 또한 이 상태에서의 전도도는 비저항이 낮은 W-W 결합에 의하여 영향을 가장 많이 받을 것으로 생각된다⁶⁾.

$WSi_{2.1}$ 과 $WSi_{2.7}$ 의 경우, $WSi_{3.1}$ 에는 저항이 높은 Si의 양이 많기때문에 면저항값이 $30\Omega/\square$ 정도로 높은 값을 가지며, $WSi_{2.7}$ 은 $23-2\Omega/\square$ 정도의 면저항을 갖는 것으로 측정되었다. 2000 \AA 두께의 다결성 실리콘 위에 $WSi_{3.1}$ 의 구조를 한 polycide 구조의 면저항이 가장 높았다. 900°C , 800°C 의 고온에서 실리사이드의 저항은 크게 감소하여 $5\Omega/\square$ 으로 그 값이 낮아졌는데, 실제로 텡스텐 실리사이드를 소자에 적용할 때 낮은 저항값을 얻기 위해서는

1000°C 에 가까운 고온이 필요함을 알수 있다⁶⁾. 이 고온에서 저항이 감소하는 것은, 초기 as-deposited 때의 비정질 상태의 실리사이드가 온도의 증가에 따라 결정화되고 이어서 큰 결정립으로 성장되었기 때문일 것이다⁷⁾. 결정립의 크기가 커짐에 따라 결정립계의 밀도가 감소하여 Matthiessen's 법칙에 의한 입계의 전자 산란량이 감소되고, 더불어 carrier의 이동도가 증가하기 때문에 결국 저항은 감소하는 것으로 생각된다.

3.2 AES 분석

Fig.6Fig.9는 wet oxidation 후의 polycide 구조에 대한 AES depth profile이다 실리사이드의 조성비가 3.1인 polycide구조(Fig 8과 9)에서는 산화시 실리사이드막의 표면에 있던 과잉의 Si들이 소모된 반면, 실리사이드

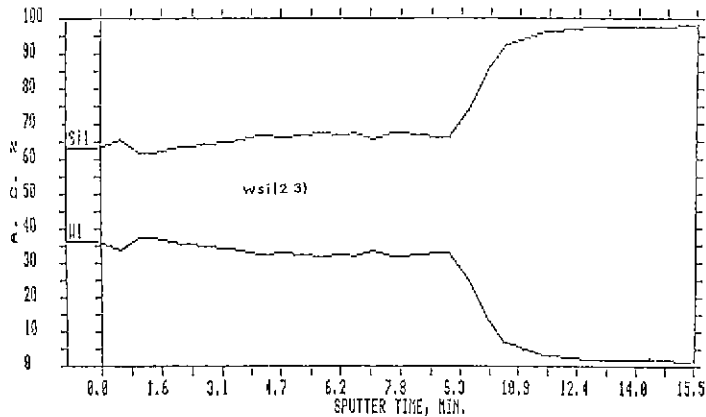


Fig.6. Auger depth profile of $WSi_{2.7}/\text{poly-Si}(2000\text{ \AA})$ after wet oxidation at 800°C .

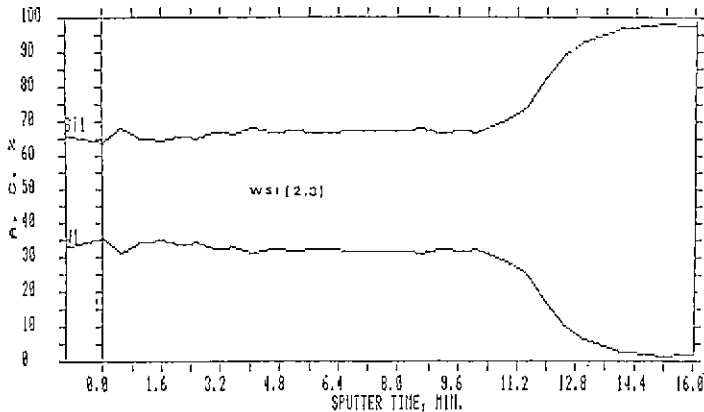


Fig.7. Auger depth profile of $WSi_{2.7}/\text{poly-Si}(3000\text{ \AA})$ after wet oxidation at 800°C .

드의 조성비가 2.7인 polycide 구조(Fig.6과 7)에서는 다결정 실리콘이 주로 소모되었음을 알 수 있다⁸⁾. 전자($WSi_{2.1}$)의 경우 산화가 진행되는 과정에서 실리사이드막 표면부의 Si만이 계속 우선적으로 소모되어 실리사이드막 표면부의 Si/W 조성비는 1.2-1.3 정도에 불과한 반면, 실리사이드막의 bulk 부분의 조성비는 2.3으로 막의 깊이에 따라 조성비가 심히 불균일해진 것이다. 실리사이드막 조성비가 불균일해지면 전기저항도 막의 깊이에 따라 불균일해질 것은 자명한 이치이며, 이것은 곧 실리사이드막 질의 저하를 의미한다. 한편, 후자($WSi_{2.7}$)의 경우에는 산화가 진행되는 과정에서 실리콘이 허부층인 다결정 실리콘막으로부터 실리사이드막을 통과하여 실리사이드막과 산화막의 계면쪽으로 계속 이동해와 소모되기 때문에

실리사이드막 표면의 조성도 bulk의 조성비와 같이 조성비 2.3으로 균일하게 유지된다. 따라서 산화후의 실리사이드막의 전기저항은 막 깊이에 무관하게 낮고 균일한 값으로 얻어진다.

$WSi_{2.1}$ 의 경우 산화가 진행됨에 따라 실리사이드막 표면부의 실리콘의 소모가 어느 시점에서 중단되지 않고 조성비가 1.2 정도 될 때 까지 계속 소모되는 것은 더욱 깊은 연구를 요하는 흥미있는 현상이라 하겠다.

뿐만아니라, 다결정 실리콘의 두께가 얇은 경우(Fig.6과 8), 다결정 실리콘의 두께가 두꺼운 경우(Fig.7과 9)에 비해 산화시 실리사이드막 내의 과잉 Si의 소모가 좀더 많음을 알 수 있다.

Saraswat와 Singh⁹⁾은 다결정 Si 단일층의 산화시 막의

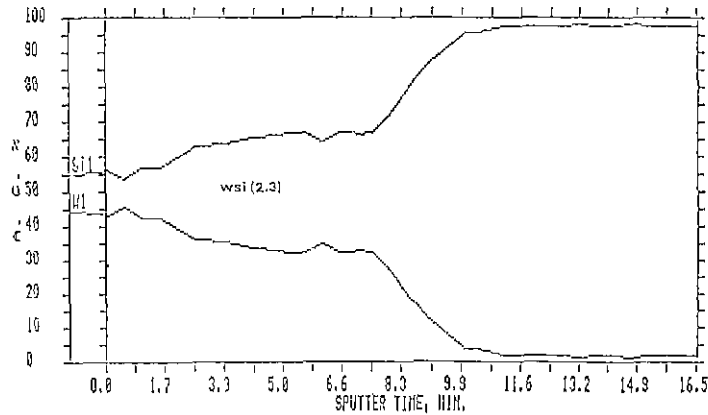


Fig.8 Auger depth profile of $WSi_{2.1}/poly-Si(2000 \text{ \AA})$ after wet oxidation at $800^\circ C$.

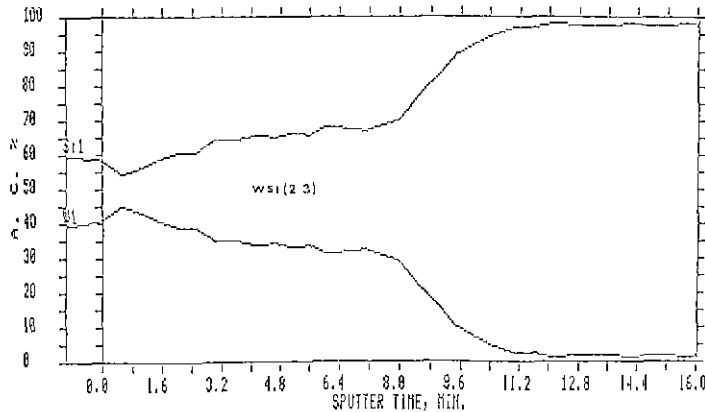


Fig.9 Auger depth profile of $WSi_{2.1}/poly-Si(2000 \text{ \AA})$ after wet oxidation at $800^\circ C$.

두께에 따라 산화속도가 변한다고 보고한 바 있다. 또한 Baglin¹⁰⁾ 등은 실리사이드의 산화시 실리사이드막의 두께는 산화속도에 거의 영향을 미치지 않는다고 보고하였다. 그러나 실리사이드의 산화시 그 하부층인 다결정 실리콘의 막 두께가 실리사이드의 산화속도나 산화 mechanism에 미치는 효과에 대해서는 아직 보고된 바 없다. 본 실험의 결과는 실리사이드의 산화 mechanism이 다결정 실리콘막의 두께에 의한 영향을 받으며 따라서 산화속도도 그것에 따라 변할 수 있음을 암시한다 하겠다.

4. 결 론

다결정 실리콘 막 상에 CVD 법으로 증착된 $WSi_{2.7}$ 막과 $WSi_{3.1}$ 막을 열산화시켜 얻은 산화막 등에 대한 특성을 서로 비교함으로써 다음과 같은 결론을 얻었다.

1) 산화전의 텅스텐 실리사이드의 저항값은 $W_{3.1}$ 의 막이 $W_{2.7}$ 보다 더 높았으며 초기 $30 \Omega/\square$ 정도의 저항값이 산화 후에는 $3 \Omega/\square$ 로 감소하였다.

2) $WSi_{2.7}$ 막의 경우에는 산화시 실리콘의 공급원으로 하부층인 다결정 실리콘이 소모된 반면, $WSi_{3.1}$ 막의 경우에는 산화시에 실리사이드 막 내의 표면 가까운 부분에 존재하는 파인의 실리콘들이 소모된다

REFERENCES

1. K.C. Saraswat and Mohamad, "Effect of Scaling of Interconnections on the Time Delay of VLSI Circuits," IEEE Trans. Electron Device, ED-29, 64-60, April (1982).
2. R.W. Keyes, "The Evolution of Digital Electronics Towards VLSI," IEEE Trans.

- Electron Devices, ED-26, 271-278, (1979).
3. Pieter Burggraaf, Semiconductor International, 293-298, May (198).
4. S.H. Hong in Samsung Electronics, Personal Communications.
5. C.V. Thomson, *J. Appl. Phys.*, "Secondary Grain Growth in Thin Films of Semiconductors: Theoretical Aspects," 58 (2), 763-771 (198).
6. Yoshimi Shioya, *J. Appl. Phys.*, "Analysis of the Effects of Annealing on Resistivity of Chemical Vapor Deposition Tungsten Silicide Films," 0 (1), 327-333(1986).
7. M.Y. Tasi, F.M. d'Heurle, C.S. Petersson, and R.W. Johnson, "Properties of Tungsten Silicide Film on Polycrystalline Silicon," *J. Appl. Phys.*, 52 (8), 30-3(1981).
8. D.K. Sadana, A.E. Morgan, M.H. Norcott, and S. Naik, "Annealing and Oxidation Behavior of Low-Pressure CVD Tungsten Silicide Layers on Poly-Si Gate," *J. Appl. Phys.*, 62 (7), 2830-283(1987).
9. K.C. Saraswat and H. Singh, "Thermal Oxidation of Heavily Phosphorus Doped Thin Films of Poly crystalline Silicon," *J Electrochem. Soc.*, 129 (10), 2321-2326 (1982).
10. J.E. Baglin, F.M. d'Heurle, and C.S. Petersson, "Interface Effects in the Formation of Silicon Oxide on Metal Silicide Layers over Silicon Substrates," *J Appl. Phys.*, 54, 1849-184 (1983).