

게이트-드레인 용량측정에 의한 수평농도 분포추출

허성희* · 한철희**

(*과기대 전자공학과 4년, **동 조교수)

1. 서 론

MOSFET의 드레인 불순물 농도 분포는 hot carrier 효과 및 드레인 누설전류 특성에서 중요한 요소가 된다. 특히 MOSFET의 게이트 아래 부분의 수평 농도는 게이트 전압에 의한 누설전류 특성에 큰 영향을 주는 것으로 알려져있다[1][2]. 보통의 수직농도분포는 SIMS기법, ASR 방법 등을 이용하여 측정이 가능하다. 그러나, 수평 불순물 농도분포는 실험적으로 구하는 방법이 없었고, 보통 이차원 공정 시뮬레이션(MINIMOS, SUPRA 등)을 통하여 산출하였다. 최근 드레인의 수평 불순물 농도분포를 게이트와 드레인 사이의 용량 측정에 의해 구하는 방법이 제시되었다[3]. 이 방법에서는 농도가 높은 경우에는 수평접합깊이를 절대적인 값으로 구하지 못하였다.

본 논문에서는 게이트-드레인간 용량 측정에 의해 수평접합깊이를 구하고 그 농도분포를 추출하는 방법을 제시하고, ASR 방법에 의해 측정된 수직 불순물 농도분포와 비교하고 검토한다.

2. 수평접합깊이(x_{jl})의 측정

그림 1(a)는 게이트와 드레인의 중복된 영역을 보여준다. 게이트 전압(V_G)에 따라 공핍층의 모양이

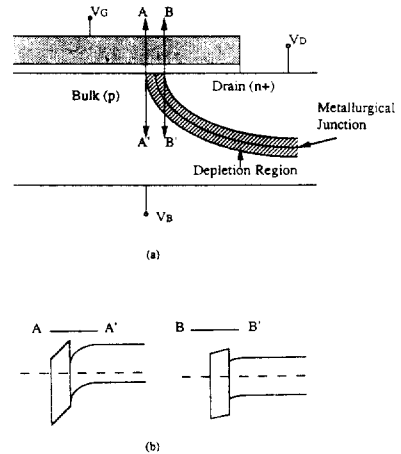


그림 1. (a) 게이트와 드레인 중복영역
(b) 평형상태에서의 A-A', B-B' 단면의 에너지 대역

바뀌게 되고, 그에 따라 게이트와 드레인간의 용량(C_{GD})은 변하게 된다. 평형상태에서의 A-A'와 B-B' 단면에서의 에너지 대역은 그림 1(b)와 같다. 기판 전압(V_B)이 0V일 때, V_G 가 기판의 평탄대역전압($V_{FB,p}$)보다 증가되면 산화막 경계면의 p형에는 전자가 증가하게 된다. 따라서, C_{GD} 는 그림 2의 실선과 같이 계속 증가한다. 이 때, V_B 에 부전압을 가하면 p형의 반전은 더 높은 게이트 전압에서 일어나므로 그림 2의 점선과 같이 된다. 따라서 $V_B=0$ 의 조건에

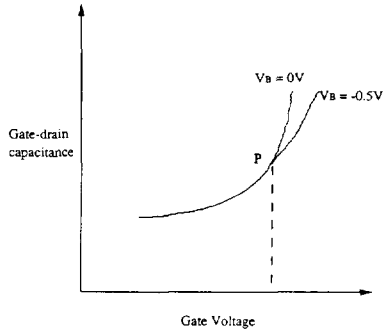


그림 2. 게이트 전압에 따른 게이트-드레인 간 용량

서는 점 P에 해당하는 게이트 전압에서 p형이 반전 된다고 볼 수 있다. 따라서 점 P에서의 C_{GD} 는 공핍 층이 제외된 n형의 가장자리까지의 용량이 된다. n형 쪽의 공핍층이 작고 산화막 두께가 일정하다고 보면, 이 C_{GD} 로부터 x_j 를 구할 수 있다.

3. 게이트-드레인 용량 측정에 의한 수평 농도분포 추출법

그림 3과 같이 게이트-드레인 중첩 영역을 작은 부분으로 나누어, 가정된 농도분포와 측정된 C-V 데이터에 의해 농도와 위치를 계산하고, 가정된 농도와 비교하여 위치와 농도가 수렴될 때까지 반복한다. 가정된 농도분포는 어떠한 것이라도 관계없지만, 이를 잘 선택하면 수렴속도가 빨라지게 된다. 농도분포 추출과정은 그림 4에 나타나있고, 아래에서 설명한다.

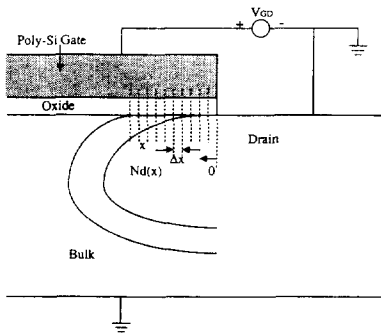


그림 3. 게이트-드레인 중첩영역의 분할

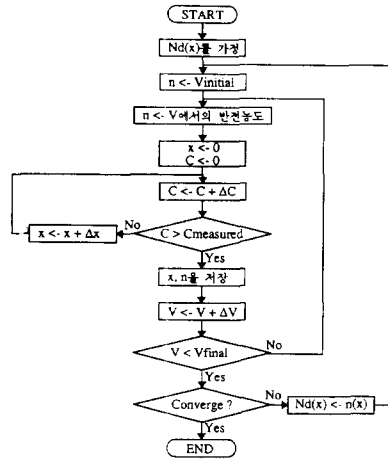


그림 4. 농도 분포 측정 방법

3.1 농도의 계산

그림 3에서와 같이 C_{GD} 에 영향을 주는 영역을 반 전되는 곳까지라 하면, 이 점에서의 농도와 게이트 전압(threshold 전압, V_T)에는 다음의 관계가 있다 [4].

$$V_G (= V_T) = V_{FB} - 2 \cdot |V_i| \cdot \ln\left(\frac{Nd}{n_{ie}}\right) - \frac{t_{ox}}{\epsilon_{ox}} \cdot \left[4 \cdot \epsilon_s \cdot q \cdot Nd \cdot V_i \cdot \ln\left(\frac{Nd}{n_{ie}}\right) \right]^{1/2} \quad (1)$$

여기에서 V_{FB} 는 평탄대역전압, V_i 는 열전압, Nd 는 도너 농도, t_{ox} 는 산화막 두께, n_{ie} 는 유효 진성반송자 농도이다.

3.2 위치의 계산

그림 5에서 보듯이 수평농도 영역을 Δx 의 크기로 잘라서 Δx 내에서의 농도가 균일하다고 가정하면, 이 부분에 의한 미소용량, ΔC 는 두 미소용량(ΔC_{ox} 와 ΔC_d)의 직렬로 나타난다. ΔC_{ox} 는 고정된 값이 되고 ΔC_d 는 다음 식으로 나타낼 수 있다.

$$\Delta C_d(x) = W \cdot \Delta x \cdot \frac{\epsilon_s}{x_d(x)} \quad (2)$$

여기에서 x_d 만 알면 $\Delta C = (1/\Delta C_{ox} + 1/\Delta C_d)^{-1}$ 에 의해 ΔC 를 구할 수 있다. 게이트와 드레인 사이에 V_{GD} 가 걸려있을 때 V_{ox} 를 산화막 전압, V_{FB} 를 평탄대역전압, ϕ_{sb} 를 실리콘에서의 전위차이라 하면,

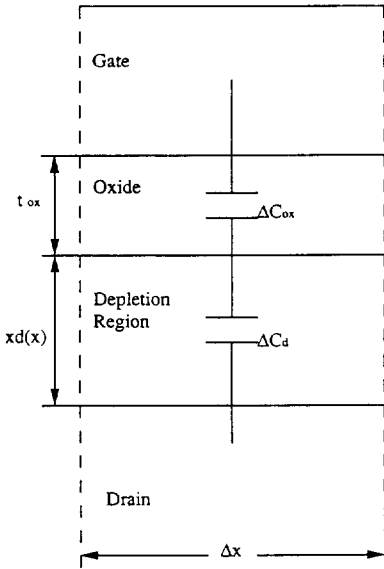


그림 5. 분할된 Capacitor

$$V_{GD} = V_{OX} + \phi_{sb} + V_{FB} \quad (3)$$

여기에서 수직농도가 일정하다고 가정하면, V_{OX} 와 ϕ_{sb} 는 다음과 같이 표시된다.

$$\phi_{sb} = -\frac{1}{2} \cdot \frac{q \cdot Nd(x) \cdot xd(x)^2}{\epsilon_s}$$

$$V_{OX} = -\frac{q \cdot Nd(x) \cdot xd(x)}{C_{OX}} \quad (4)$$

위의 식(4)와 식(3)에서 xd 를 구하면

$$xd(x) = -\frac{\epsilon_s}{C_{OX}} + \left[\left(\frac{\epsilon_s}{C_{OX}} \right)^2 - \frac{2 \cdot \epsilon_s}{q \cdot Nd(x)} \cdot (V_{GD} - V_{FB}) \right]^{1/2} \quad (5)$$

식(5)에서 전압 V_{GD} 에서의 $xd(x)$ 즉, $\Delta C(x)$ 를 구할 수 있다. 이 $\Delta C(x)$ 를 $x=0$ 에서부터 차례로 더해서 측정된 용량과 같아지는 위치가 일정 전압 V_{GD} 에서 반전되는 농도(Nd)의 위치(x)가 된다. 따라서 V_{GD1} 에서 x_1 과 $Nd(x_1)$, V_{GD2} 에서 x_2 와 $Nd(x_2)$ 가 얻어지며, 측정된 전압-용량 데이터로부터 전체 $Nd(x)$ 가 얻어진다. 이렇게 구해진 농도분포($Nd(x)$)를 사용하여 (가정된 농도분포대신) 다시 위의 방법을 반복한다. 이를 계속하면 위 식을 만족하는 농도분포에서 수렴하게 된다.

3.3 방법의 특징

이 방법은 산화막 용량만 고려해도 될 정도(고농도 n^+ 반전 전압)까지의 C-V 데이터가 요구되며, C-V 데이터 수는 임의로 정할 수 있고 그 간격도 미소전압 간격(ΔV)이나 미소거리(Δx)로 정할 수 있다. 이 방법으로 보통 MOSFET의 드레인 혹은 소오스의 농도분포를 추출할 수 있으나, 농도분포가 국부적인 최대 혹은 최소를 갖는 경우에는 추출할 수 없다.

이 방법의 특징으로는 C-V 측정 가능 이상의 고농도 영역을 일정 고농도로 가정하여, 게이트 끝(edge)에서부터의 미소용량을 합산함으로써 수평 접합깊이를 절대값으로 산출할 수 있다.

4. 측정 및 검토

게이트와 드레인 사이의 용량의 측정에서 중요한 점은 기판의 영향을 없애는 것이다. 게이트와 기판 사이의 용량은 기판과 드레인 사이의 접합용량과 직렬 연결되어 게이트-드레인간 용량에 영향을 주게 된다. 그러므로 기판에 관계된 용량 성분은 측정되지 않고, 기판과 드레인 사이의 용량의 전압에 따른 변화가 없어야 한다. 이를 위해서 기판과 드레인을 일정 전위로 놓고 측정하였다. 사용된 측정기는 HP-4280A CV Meter인데 여기에는 두 가지 측정 모드 즉, 접지 모드(ground mode)와 부동 모드(float mode)가 있다. 이 중에서 부동 모드에서는 LOW와 HIGH 단자를 측정에 쓰는데, LOW 단자는 접지와

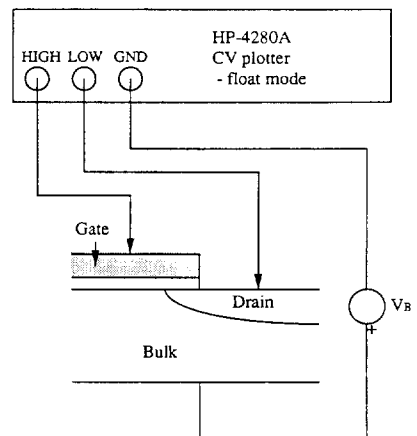


그림 6. CV data의 측정 방법

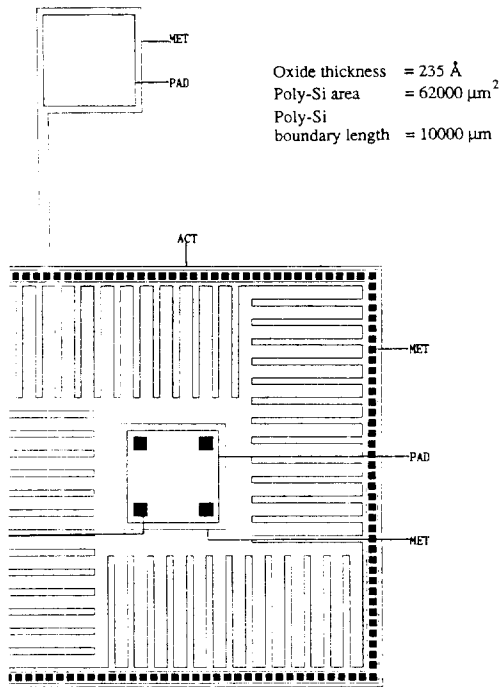


그림 7. 측정에 사용된 pattern

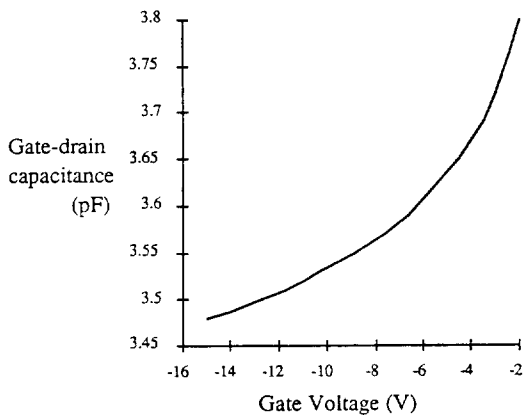


그림 8. 측정된 게이트-드레인 간 용량

가상적으로 같은 전위지만 실제로는 연결되어 있지 않다. 그림 6에서 기판을 접지하고 HIGH와 LOW를 각각 게이트와 드레인에 연결하여 게이트-드레인 용량 측정에서 게이트와 기판사이의 용량에 의한 영향을 배제한다. 게이트에 가하는 최대 전압은 게이트 산화막 두께를 고려하여 산화막 파괴전압 이하로 정한다.

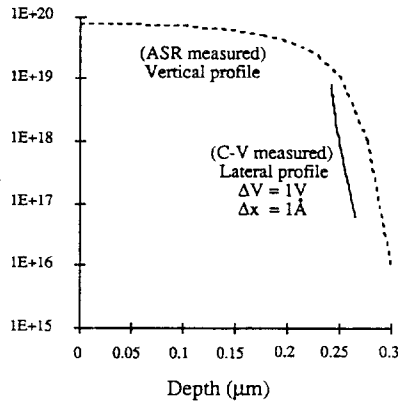


그림 9. 추출된 수평농도분포와 수직농도분포(ASR 측정)의 비교

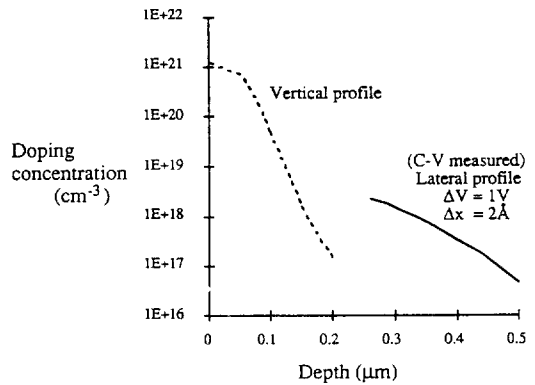


그림 10. 수직 농도 측정 결과와 측정된 수평농도 분포

이렇게 해서 측정된 CV 데이터는 오차를 보정하고 program 상에서 data를 쓰는 데 편리하도록 하기 위해서 curve fitting을 하게 된다. 여기서는 curve fitting을 IBM-PC용 software인 GRAPHER를 써서 다항식의 형태로 하였다.

이 측정에서 쓰인 pattern은 용량 측정을 위해 전자통신연구소(ETRI)에서 만들어진 test pattern으로 그림 7과 같이 소오스와 드레인이 하나로 된 pattern이다. 이 pattern의 공정을 소오스, 드레인 확산 부분만 간단히 보면, 비소를 80KeV, 5.0×10¹⁵ cm⁻²으로 이온 주입시킨후 확산을 산소 분위기에서 950°C로 30분하고 아닐링을 질소 분위기에서 950°C, 30분간하였다. 측정된 게이트와 드레인 사이의 용량을 그림 8에 보인다.

CV 측정으로부터 농도 추출한 결과를 그림 9에

보인다. 여기의 결과는 Δx 를 $1 \times 10^{-6} \text{cm}$ (1\AA)으로 하고 ΔV 를 1V로 한 것이다. 그리고 -15V 까지의 전압을 가하고 C-V 측정을 했으므로 -15V 에서 반전되는 농도, $7.5 \times 10^{18} \text{cm}^{-3}$ 이상에서는 무한대의 농도를 갖는 것으로 가정하여 계산 하였다. 수평접합 깊이는 2장의 방법으로는 $0.25 \mu\text{m}$ 이 되었고, 3장의 방법에 의한 값과 거의 일치하였다. 인(P) 확산에 대한 수직 농도분포와 CV 측정에 의해 추출된 수평 농도분포를 그림 10에 보인다. 인(P) 확산의 경우에는 RTD(rapid thermal diffusion) 방법에 의한 것으로 수직 불순물 확산은 보통 불순물 확산과 달리 경사가 느슨하고 지수 함수적인 형태($\exp(-x/a)$)를 취하는 것으로 알려져 있다. 그러한 경향은 측정된 수평방향에서도 뚜렷이 보이고 있음은 주목할만 하다. C-V 방법에 의해 추출된 수평접합 깊이는 $0.5 \mu\text{m}$ 로 수직접합 깊이보다 2배이상 큰 값으로 나왔다. 여러가지 게이트 길이를 갖는 MOSFET의 선형영역에서의 I-V 특성을 측정하여 구한 수평접합 깊이는 대략 공핍층($0.25 \mu\text{m}$)을 제외하면 약 $0.5 \mu\text{m}$ 로 C-V 방법에 의한 결과와 거의 일치하고 있다. 이런 결과는 RTD시 게이트산화막 위의 다결정 실리콘이 가열되어 산화막 경계의 온도가 올라가기 때문으로 생각된다. 이러한 RTD공정시의 비정상적인 수평방향 확산에 대한 향후의 연구가 요구된다.

5. 결 론

게이트와 드레인간 용량 측정에 의해 드레인의 수평 불순물 접합 깊이를 절대치로 구할 수 있었고 또

한 수평 불순물 농도분포를 구할 수 있었다.

비소의 경우 측정된 수평접합 깊이는 수직접합 깊이의 약 0.8배로 나타나는데 이는 우리가 지금까지 써왔던 양(0.7-0.8)과 거의 같다. 그리고, 측정된 불순물 농도분포의 모양은 수직 불순물 농도분포와 거의 비슷한 형태를 가진다. 인의 경우에는 수평접합 깊이가 수직접합 깊이보다 크게 나왔다. 여기에 대해서는 앞으로 연구가 더 요구된다.

이 방법으로 $5 \times 10^{16} \text{cm}^{-3}$ 에서 $1 \times 10^{19} \text{cm}^{-3}$ 사이의 농도 구간에서 불순물 농도분포를 구할 수 있었다. 따라서, 이 방법은 보통 MOSFET 또는 LDD(Lightly Doped Drain) 구조의 MOSFET의 드레인 농도분포를 구하는데 적용할 수 있을 것이다.

참 고 문 헌

- [1] J. Chen, T.Y. Chen, I.C. Chen, P.K. Ko, and C. Hu, "Subbreakdown drain leakage current in MOSFET." IEEE Electron Device Lett., vol. EDL-8, pp. 515-517, NOV. 1987.
- [2] T.Y. Chan, J. Chen, P.K.Ko, and C. Hu, "The impact of gate induced drain leakage current on MOSFET scaling," in IEDM Tech. Dig., 1987, pp. 718-721.
- [3] W. Rösner, W. Hänsch, B. Moore, M. Orłowski, A. Spitzer and C. Werner, "Determination of Lateral Drain Profiles from Gate-Drain Overlap Capacitance," 1988 Symposium on VLSI Technology, p. 10, 1988.
- [4] Richard S. Muller and Theodore I. Kamins, *Device Electronics for Integrated Circuits 2nd ed.*, Wiley, New York, p. 524, 1986.