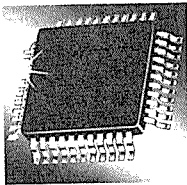


ASIC의 設計 및 向後 展望



金 柱 範
亞南半導体設計(株) 代表理事

우리나라의 시스템 설계자들은 어떤 형태로 자신의 시스템을 설계해야 ASIC화 하는데 적합한지, 또는 어느 정도의 회로가 ASIC에 적용될 수 있는지 등에 대한 지식이 부족하다. 따라서 ASIC 전문업체 또는 전자 공업 관련기관 등에서 이를 주도하여 교육 및 홍보 활동을 강화하여야 할 것이다.

1. 序 論

高度情報化 社會의 필수불가결한 요소인 컴퓨터, 通信機器 등은 지난 수년간 그 발전을 더해 왔다. 특히, 더욱 강화된 성능과 용량뿐만 아니라 소형화 및 저가격화의 추세는 더욱 그러하다. 이러한 최신의 추세를 가능케 한 것이 바로 특정용도 집적회로(Application Specific Integrated Circuit : ASIC)이다.

1980년대 들어 활발히 진행된 ASIC에 대한 연구는 현재 PLD(Programmable Logic Device), Gate Array, Cell Based IC 등의 다양한 ASIC 종류들을 가능케 해 주었다. 본문에서는 이같이 ASIC의 특성 및 설계방법, 그리고 그에 따른 활용방안 등을 알아보기로 하고 앞으로의 발전 방향에 대해 論해 보기로 하겠다.

2. ASIC의 特性

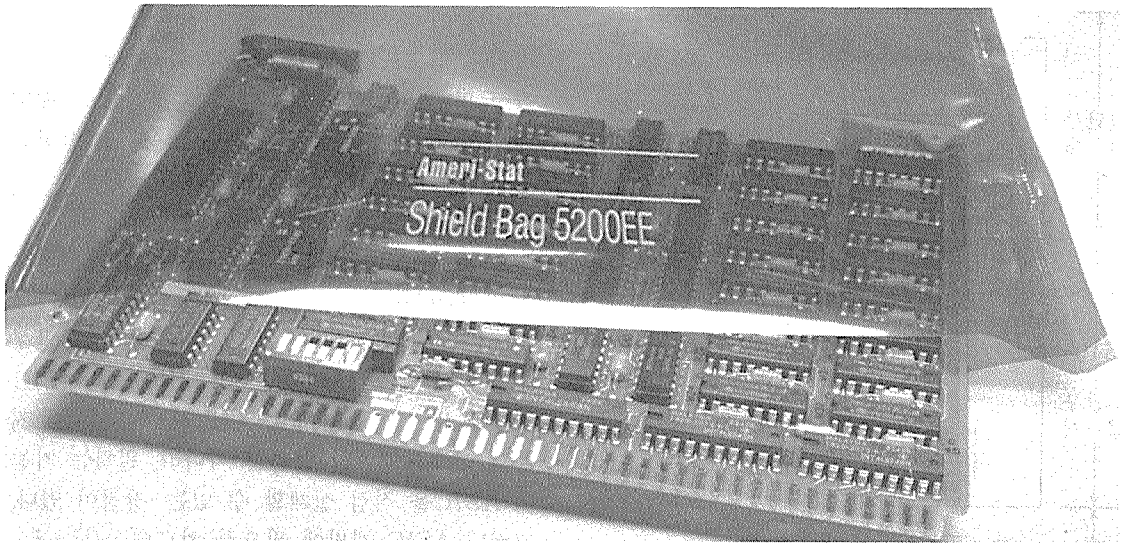
종류에 따라 조금씩 차이는 있으나 대략 다음 세가지로 ASIC의 특성을 정리할 수 있다.

가. 生産性 向上

최근의 ASIC 설계용 소프트웨어는 論理設計 및 配置/配線 등을 함께 포함하고 있으며 각종 매크로 셀(Macro Cell), Compiler 등은 손쉽게 ASIC 설계를 가능하게 해준다. 이것은 또한 곧바로 생산과 연결될 수 있으므로 높은 생산성을 추구할 수 있게 해주며, 여러 개의 부품을 한데 모아 한개의 칩으로 제작하므로써 생산의 용이성뿐 아니라 고장 개소의 진단이 간단해진다.

나. 高性能化

대부분의 ASIC 제품들은 CMOS 기술을 주로 사용하고 있다. 잘 알려진 바와 같이 CMOS의 장점은 저소비 전력 특성이나, 스위칭 속도가 느린 것이 단점으로 지적되고 있다. 그러나



산·학·연이 협동하여 ASIC 설계인력의 양성 및 재교육이 필요하다.

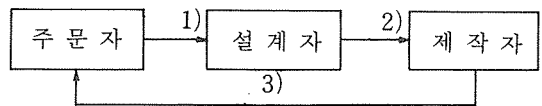
최근의 CMOS ASIC 기술은 1미크론 이하의 설계가 가능하며, VLSI Technology 社の 경우 2-Input Nand 게이트의 전달 지연속도가 360 Psec로, 매우 빠른 셀 라이브러리가 보급되고 있다. 또한, 현재 표준제품으로 되어있는 μ -Processor, Controller 및 메모리 소자 등도 함께 집적시키는 새로운 기술이 ASIC의 성능을 높여주고 있다.

다. 高集積化

처음 ASIC 제품이 생산되었을 때 대략 2,000 게이트 이하의 집적도를 갖고 있었으나 최근의 기술은 이를 10만 게이트(40만 Transistor) 급의 집적도를 가능케 하고 있다. 이는 1미크론 이하의 설계를 및 종래의 2층 메탈 구조에서 3층 메탈구조로의 발전 등에 의해 점차 그 범위를 넓혀가고 있다. VLSI Technology 社の 경우, 약 24만 3,000개의 게이트를 갖는 Base Array가 준비되어 있으며, 이중 약 40% 정도가 사용 가능하다. 또한 Cell-Based IC는 그 제한은 없으나 전력소비 및 발열 등의 문제로 인하여 약 10만 게이트 정도를 집적하는 수준에 이르고 있다.

3. ASIC의 設計

ASIC은 그 자체의 특성상 다음과 같은 경로를 갖는다.



- a) 주문자는 자신의 시스템을 ASIC화 하기 위하여 ASIC 설계자에게 완전한 회로도 및 입/출력 사양, 검증용 벡터(Simulation Vector) 등을 제공한다. 그 이외에도 설계자의 요청에 따라 필요한 자료 및 정보를 제공해야 한다.
- b) 설계자는 주문받은 ASIC을 설계하기 위해 모든 자료를 수집, 최단시간내에 최적 성능을 갖는 IC를 설계한다.
- c) 제작자는 설계자로부터 받은 자료를 바탕으로 IC를 제작하여, 시험이 끝난 샘플을 주문자에게 전달한다. 이때 주문자는 실장시험(Running Test)을 한다.

위의 세가지 항목중 실제 설계내용을 살펴보면 <그림 1> 과 같다.

<그림 1>중 각 모의실험(Simulation)의 결과는 주문자의 확인에 의존한다.

따라서 주문자는 자신이 원하는 기능이 제대로 동작되고 있는지의 여부에 대해 확인할 의무가 있다.

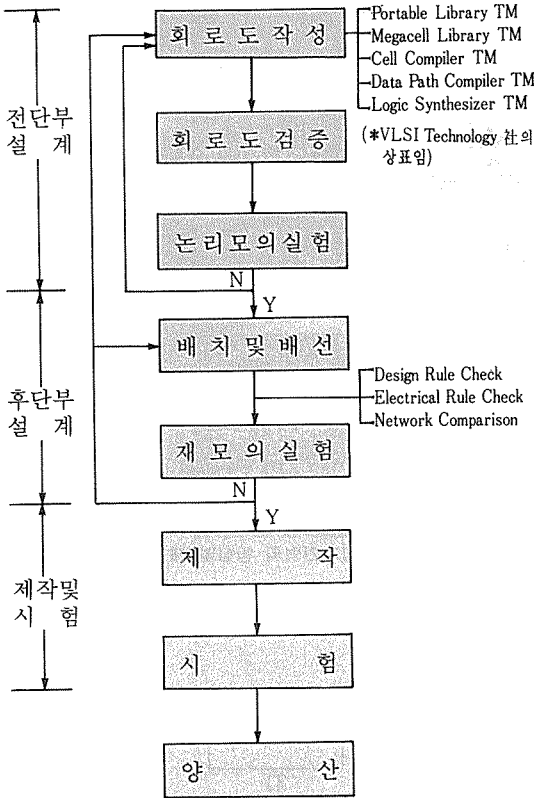


그림 1 ASIC 설계 공정도

ASIC 설계 중 실제로 가장 중요한 부분은 바로 모의실험인데, 만일 주문자들이 정확한 검증용 벡터를 제공한다면 설계자들의 어려움을 크게 감소시킬 수 있겠으나, 현재 우리나라의 현실은 그렇지 못하다. 따라서 주문자와 설계자가 함께 모든 회로동작을 확인하고 테스트에 적합한 회로를 구성하여야 하는 것이다.

이같은 어려움을 감안하여 각 ASIC 업체에서는 다음과 같은 설계방식을 제공하고 있다.

가. 턴키 設計方式 (Turn-Key Design)

이는 주문자가 회로도 및 입/출력사양, 그리고 검증용 벡터를 설계자에게 제공하고, 설계자는 <그림 1>의 전과정을 수행한다.

이때 주문자는 각 모의실험의 결과 및 샘플의 시험에 대한 확인을 해주어야 한다.

나. 共同 設計方式 (Joint Design)

주문자는 바로 자신의 회로를 설계하였으므로

그 기능에 대해 잘 알고 있으나 ASIC에 대한 지식은 없으므로 ASIC 설계자와 함께 회로도 작성 및 모의실험까지의 작업을 공동으로 수행하는 방법이다. 주로 ASIC을 처음 개발하는 주문자의 경우에 이러한 방식이 알맞다.

다. 使用者 論理設計方式 (User Logic Design)

ASIC 개발에 경험이 있는 주문자가 전단부 설계를 직접 완료한 후, 후단부 설계만을 ASIC 업체에 맡기는 방식이다. 이는 ASIC 업체에 지불할 설계용역료의 절감뿐 아니라, 원하는 기능의 ASIC을 직접 설계할 수 있는 장점이 있다. 그러나 ASIC 개발에 필요한 하드웨어(Hardware) 및 소프트웨어(Software)를 보유하고 있어야 한다.

라. 使用者 設計方式 (User Design)

이는 전단부 설계뿐 아니라 후단부 설계까지도 주문자가 모두 완료한 후, ASIC 업체에 제작을 의뢰하는 방식이다.

이와 같은 설계방식의 가장 큰 차이점은 설계 책임소재이다. 즉, 어느 부분은 누가 담당하든지 그 책임은 설계 당사자한테 있으므로 주문자들은 이에 주의해야 한다. 물론 모든 주문자들이 사용자 설계방식을 채택하는 것이 ASIC 업체에는 바람직하지만, 아직 ASIC 개발 경험이 적은 우리나라 시스템 설계자들에게는 무리가 뒤따르게 마련이다. 이를 해결하기 위해서는 시스템 설계자들이 몇번의 공동 설계방식을 경험해 본 이후에야 가능하며, ASIC 업체에서는 보다 사용자가 사용하기에 쉽고 편리한 설계용 Tool을 개발하여 보급해야 할 것이다.

4. CMOS Gate Array 및 Cell-Based IC의 설계

현재 가장 많이 사용되고 있는 ASIC은 바로 CMOS Gate Array와 Cell-Based IC이다. Cell Based IC는 일반적인 Standard Cell 방식과 Building Block 방식의 총체적인 표현으

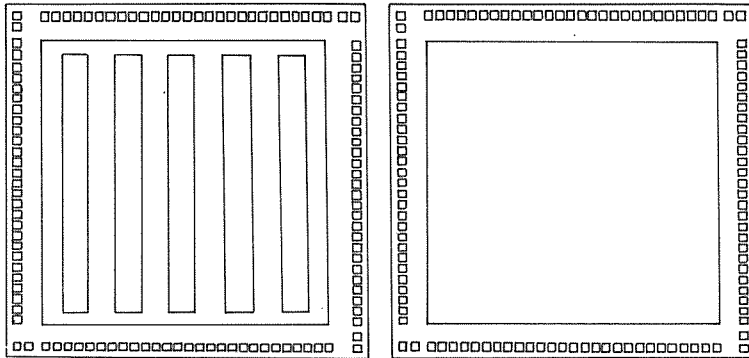


그림 2 G/A의 Base Array 구조

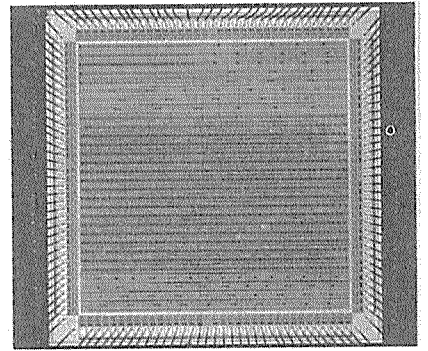


그림 3 완성된 G/A

로 사용되고 있다.

가. Gate Array의 設計

Gate Array란 실리콘 웨이퍼상에 확산(Diffusion)층 및 게이트를 형성시켜 놓은 상태(Base Array)에서, 주문자의 요구에 따라 회로를 구성한 후 금속선 연결을 하므로써 ASIC을 개발해내는 형태이다. <그림 2>는 Channeled G/A와 Channeless G/A의 Base Array 구조를 나타낸 것이며 <그림 3>은 완성된 G/A를 나타낸 것이다.

이러한 G/A 설계에 필수적인 것은 사용하고 자 하는 Cell-Library이다. 이것의 기능이 뛰어나고 다양한 정도에 따라 G/A의 성능이 좌우되므로 각 ASIC 업체들은 계속 이 분야에 대해 연구를 하고 있으며, 현재 高速, 高集積 및 低電力 消費型 Cell을 준비하는데 박차를 가하고 있다.

나. Cell-Based IC의 設計

이는 일정한 규격의 Base Array가 준비되어 있는 것이 아니므로 사용자가 설계한 크기의 ASIC을 가능한 작게 만들 수 있는 장점이 있다. 단, 제작시 전 공정을 거쳐야 하므로 개발비가 G/A에 비해 많이 소요되는 것이 단점으로 지적되고 있다.

그러나 일반적으로 G/A에서 집적시킬 수 없는 Megacell이나 Compiled Cell, Customized Cell 등을 함께 설계할 수 있으므로 G/A에 비해 설계범위가 넓어질 수 있다. 따라서 원가 절

감 및 회로비밀 유지에 적합하다. <그림 4>는 Cell-Based 방식으로 설계된 회로의 그림이다.

이같은 Cell-Based IC의 발전은 한개의 Chip 내에 CPU, Controller, Memory 및 일반 논리소자들을 한데 집적시킴으로써 ASIC의 목적인 System-on-Chip의 개념을 가능케 해준다.

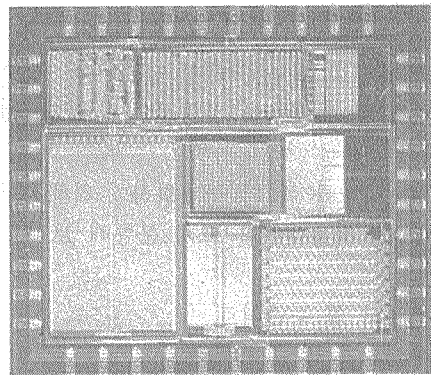


그림 4 Cell-Based IC의 예

5. ASIC의 活用 方案

ASIC의 종류별 장·단점을 살펴보면 <表 1>과 같다.

ASIC은 그 자체의 특성상 응용분야 및 적용 대상의 특성에 따라 그 종류를 선택, 활용하는 것이 유리하다. <表 1>에서 나타난 바와 같이 PLD의 경우, 적은 개발비를 투입해서 자신의 연구개발품이 옳게 동작하는지를 확인해 보기 위한 연구실의 샘플 제작용으로 적합하며, Gate

表 1 ASIC 種類別 長 · 短点

구 분	PLD	Gate Array	Cell-Based IC	Full-Custom
개발비	매우 적다	적 다	많 다	매우 많다.
양산단가	매우 높다	높 다	낮 다	매우 낮다
개발기간	매우 짧다	짧 다	길 다	매우 길다
집적도	매우 낮다	낮 다	높 다	매우 높다
설계범위	일반논리회로	일반논리회로 Compiled Cell 기억소자	일반논리회로 Compiled Cell 기억소자 Mega-Cell Custom Cell	모든 회로

Array는 대략 1만~2만개의 양산이 이루어질 경우 적합하다.

또한 Cell-Based IC는 2만개 이상 10만개 이하의 양산시, 그 이상은 Full Custom으로 개발하는 것이 유리하다. 그러나 이것은 단순히 제품의 양산성을 비교한 것에 불과하다. 만일 설계범위와 회로동작속도, 설계 난이도 등을 고려할 경우에는 위의 비교는 무의미해질 수 있다.

따라서 ASIC을 선택하여 개발하는 경우, 어느 것이 자신의 회로를 가장 적합하게 동작할 수 있도록 할 것인가와 경제성을 함께 감안하여 선택해야 한다.

이같은 비교를 좀 더 구체화하기 위해 다음과 같이 ASIC 적용대상을 크게 분류해 보기로 한다.

- a) 컴퓨터 및 주변회로
- b) 통신기기 및 주변회로
- c) 전자오락기 및 Idea 상품(전자완구류 등)
- d) 기타

이중 컴퓨터 및 주변회로의 경우, 그 제품의 수명이 대략 1~2년이고, 설계범위는 μ -Processor Controller 및 Random Logic으로 구성되는 부분이 많다.

따라서 이의 설계는 Cell-Based IC가 적합하다고 할 수 있다.

또한 통신기기 등은 제품수명은 긴 편이나 양산성이 그리 높지 못하다. 이는 주로 고속의 Random Logic으로 이루어져 있으며, Gate Array 방식이 적합하다. 그러나 전자완구류 등과 같은 Idea 상품의 경우, 그 가격이 가장 큰 관

건이 되며, 양산성이 높으므로 이는 Full-Custom으로 개발하는 것이 경제적이 될 수 있다.

6. 向後 展望

지금까지 ASIC의 종류별 특성 및 그 활용범위 등을 알아 보았다. 이것은 단순히 현재의 기술水準과 國內市場을 토대로 작성한 것이며, 어떤 정확한 統計資料를 근거로 한 것은 아니다.

國內에 ASIC의 개념이 도입된 이후 약 5년이 지났지만 아직도 이에 관한 자료가 부족한 형편이다. 따라서 앞으로는 ASIC 산업의 육성을 위해서 공식적인 자료의 제작 및 배포가 시급한 형편이다.

그러나 현재까지의 국내 ASIC 업계의 추이로 보아 앞으로의 국내시장의 추세 및 기술력의 변화는 그리 어렵지 않게 추측할 수 있을 것이다. 지금까지의 ASIC 시장은 주로 Gate Array에 의해 주도되어 왔으나, <표1>에서의 비교에서 나타나 있듯이 PLD 및 Cell-Based IC의 성능 또한 어떤 특정분야에서는 유리한 점이 있다.

따라서 앞으로는 ASIC과 Gate Array가 마치 동의어처럼 사용되지는 않을 것으로 보이며, 이는 우리나라 ASIC 업계가 한걸음 선진국으로 진행해 나아가는 것을 의미하는 것이다. 이것을 충족시켜 주기 위한 기술력의 변화로써, PLD의 경우 점차 그 집적도가 높아지고 있고 아직 양산단가는 매우 높으나 점차 낮은 가격으로 내려갈 전망이다.

또한, Cell-Based IC의 경우, 대부분의 시스템 제작자들이 설계가 불가능하다고 생각하던 Mega Function의 Cell이나 High Density Memory, CPU 등을 Cell-Library에 준비하므로써 Building Block 형의 설계가 가능하므로 이의 홍보가 이루어지면, 많은 회로를 이것으로 설계하려 할 것이다.

물론 Gate Array의 시장이 좁아진다는 의미는 전체적인 비중이 낮아진다는 의미에 국한하는 것이다. 앞으로도 수년간 ASIC의 주류는 당연히 Gate Array가 차지할 것이며, 그 뒤를 Cell Based IC 및 PLD 등이 따를 것이다.

7. 結 論

우리나라의 ASIC 업계는 아직 걸음마 단계에 불과하다. 그러나 世界的인 ASIC 추세에 맞춰가기 위해서는 다음의 몇가지가 반드시 이루어져야 할 것이다.

첫째는, ASIC 設計人力의 양성이다. 현재 우리나라에는 설계인력이 충분치 못하다. 따라서 産·學·研이 協同하여 인력의 양성 및 재교육 등이 필요하다.

둘째는, System 설계자들에 대한 교육 및 홍

보활동이 필요하다. 아직 우리나라의 시스템 설계자들은 어떤 형태로 자신의 시스템을 설계해야 ASIC화 하는데 적합한지, 또는 어느 정도의 회로가 ASIC에 적용 될 수 있는지 등에 대한 지식이 부족하다. 따라서 ASIC 전문업체 또는 電子工業 關聯機關 등에서 이를 주도하여 교육 및 홍보활동을 강화하여야 할 것이다.

셋째로는, ASIC 專用 제작공장이 필요하다. 일반 표준제품들의 공장과는 달리 少量 多品種에 알맞으며, 세계적인 기술수준에 맞는 1미크론 이하 기술의 半導體 공장은 국내 ASIC 산업을 활성화시켜 줄 수 있을 것이다.

끝으로, ASIC에 필요한 소프트웨어의 개발이다. 현재 PC에서 작업이 가능한 Software 등이 개발중이나 국제적인 수준의 설계용 Tool을 기대하기는 어려운 형편이다. 따라서 정부주도 하에, 혹은 각 연구소, 기업체에서 이의 개발에 박차를 가해야 할 것이다.

이상에서 알아본 것은 학문적인 고찰이나 정확한 통계자료에 근거한 것은 아니나 필자가 半導體 産業에 종사하면서 취득한 것을 토대로 작성한 것이다. 따라서 다소 한 쪽으로 치우친 것이나 잘못 생각한 점이 있으면 바로 지적해 주시기 바라며 글을 맺는다.

