

Poly-Si 形成條件에 따른 Polyoxide의 電氣的 特性

趙德鎬 · 李璟秀 · 南基守

〈要 約〉

다결정 실리콘 위에 열산화 방법을 통해 형성된 산화막(polyoxide)은 기억소자에서의 capacitor 절연막이나, EPROM(Erasable Programmable Read Only Memory)과 EEPROM(Electrically EPROM) 소자의 tunneling 산화막으로 사용된다. 이러한 polyoxide 절연막은 낮은 누설전류, 높은 절연파괴전기장, 높은 절연파괴 전류밀도등의 특성을 가져야 한다. 본 논문에서는 polyoxide의 형성조건에 따른 polyoxide의 전기적인 특성에 대하여 연구하였다.

I. 서 론

Polyoxide는 기억소자의 capacitor 절연막과 EPROM이나 EEPROM의 tunneling oxide로 사용된다. Polyoxide는 대부분의 소자 응용에

있어서 낮은 누설전류와 높은 절연파괴전기장, 높은 절연파괴 전류밀도 특성등을 가져야 한다. 그러나 일반적으로 다결정 실리콘 위에 형성시킨 polyoxide는 단결정 실리콘 위에 성장시킨 같은 두께의 열산화막보다 누설전류가 크고, 낮은 절연파괴 전압을 갖는다^[1,2]. 이것은 polyoxide의 두께가 균일하지 않고, polyoxide와 다결정 실리콘 계면의 돌출부(asperity)에 의해서 전기장이 국부적으로 증가하기 때문인 것으로 여겨진다^[3,4]. 다결정 실리콘의 돌출부에 의한 전기장의 증가와 이에 따른 polyoxide의 전기적인 특성은 다결정 실리콘의 doping 과정^[4-9] 산화막 성장온도^[2], 산화막 성장시의 gas 분위기^[4,6-10] 및 다결정 실리콘의 증착온도^[5,9,11,12] 등에 의하여 영향을 받을 수 있다.

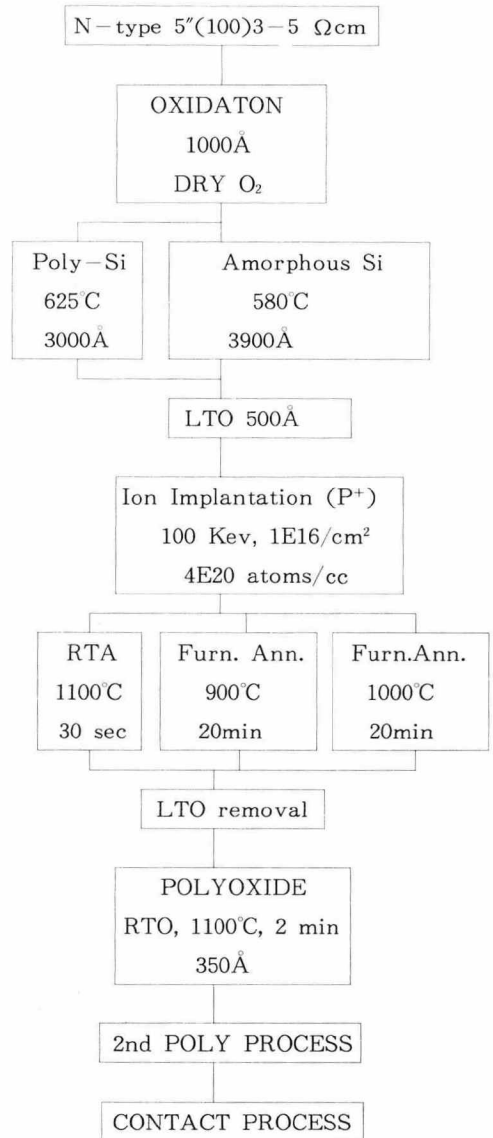
일반적으로 polyoxide는 내부결함이 적어야 하고 신뢰성이 좋아야 하는 것 이외에 사용목적에 따라서 요구되는 특성이 다르게 된다. 기억

소자에서의 capacitor 절연막으로 사용할 때에는 특별히 누설전류가 낮고, 절연파괴 특성이 우수해야 한다. 그러나 EPROM이나 EEPROM의 얇은 tunneling 막으로 사용할 때에는 floating 게이트와 다른 다결정 실리콘 전극 사이에서 전하의 충전 및 방전이 용이해야 하며, 많은 전류를 흘릴 수 있어야 하고, 전하포획밀도가 작아야 하며, 또한 절연막이 파괴되기전에 높은 밀도의 전하흐름에 대하여 잘 견디어야 한다. 또한 이 경우에 있어서는 polyoxide의 전도 특성이 바이어스의 양극성에 무관하게 일정해야하는 것이 중요하다.

본 논문에서는 polyoxide를 형성하기 전단계에서 인(phosphorus)이 도핑된 다결정 실리콘 및 비정질 실리콘을 각각 RTA 및 diffusion furnace로 annealing 한 후 polyoxide를 성장하고 상층 다결정 실리콘을 증착하여 polyoxide 캐패시터를 만들었다. polyoxide의 전기적 특성은 I-V, CEF(Critical Electric Field) 및 F-N (Fowler-Nordheim) polt을 사용하여 조사하였다.

II. 실험

본 연구에서 사용한 반도체 기판은 결정방향 이(100)이고, 비저항이 3-5Ω.cm 인 N형 실리콘 웨이퍼이다. 공정순서는<그림 1>에 나타내었다. N형 반도체기판과 하층다결정 실리콘을 격리하기 위하여 dry O₂로 1000°C에서 1000Å의 열산화막을 형성하였다. 성장한 산화막을 625°C 및 580°C에서 LPVD에 의하여 각각 3000Å의 다결정 실리콘 및 3900Å의 비정질 실리콘을 증착하였다. LPCVD에 의하여 425°C에서 LTO(Low Temperature Oxide) 500Å을 증착하였다. 증착한 LTO에 인을 소스로하여 100KeV의 에너지로 1×10¹⁶/cm²의 dose로 이온주입한 다음, 다결정 실리콘에 인을 이온주입한 경우 불순물의 안정된 재배열을 위한 activation을 위하여 RTA (Rapid Thermal Annealing)에 의하여 1100°C N₂ 분위기에서 30초 동안 annealing 하고, 비정질



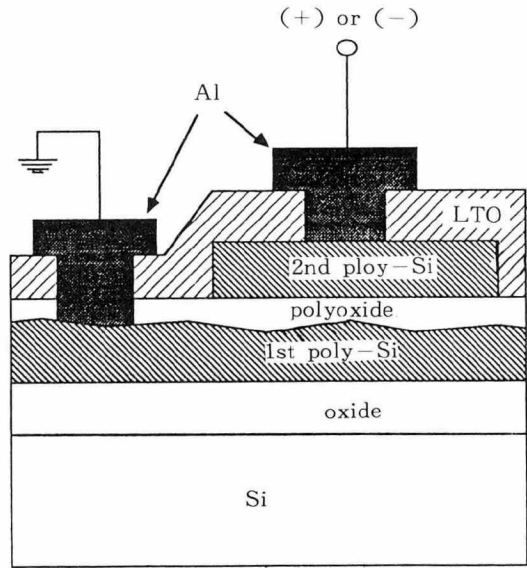
<그림 1> Process sequence to fabricate the polyoxide

실리콘에 인을 이온주입한 경우 diffusion furnace에서 900°C 및 1000°C N₂ 분위기에서 20분간 annealing하였다. 특성을 비교하기 위하여 annealing을 하지 않은 비정질 실리콘을 기준 상태로 두었다. 여기서 LTO를 증착한 다음 annealing한 것은, annealing 할 때 인이 표면으로 확산되어 나와서 수직으로 grain growth를 일으켜 표면의 상태를 거칠게 하기때문이다^[13].

Annealing한 다음 LTO 막을 제거하고, 1100°C에서 RTO(Rapid Thermal Oxide) 350 Å의 polyoxide를 성장시켰다. 상층 다결정 실리콘 전극을 형성하여 상층 polysilicon/polyoxide/하층 polysilicon 구조의 캐패시터를 만들었다. 캐패시터 면적은 $100 \times 100 \mu\text{m}^2$ 이었다. 제작된 polyoxide 캐패시터의 구조를 <그림 2>에 나타내었다. 여기서 시료의 구분을 위하여 <표 1>에 시료의 명칭 및 중요공정과정을 나타내었다.

Polyoxide 두께는 1MHz C-meter로 측정된 값들을 평균한 값이다. 하층 다결정 실리콘 내의 인 농도는 SIMS 분석에 의하면 $4 \times 10^{20} \text{ atoms/cm}^3$ 이었다. 전류-전압(I-V) 특성은 HP414-0B를 사용하여 측정하였다. 이때 ramp rate는 0.2V/sec이었다. 전류밀도 $1 \times 10^{-6} \text{ A/cm}^2$ 를 얻기 위한 전기장을 CEF(Critical Electric Field)로 정의하여 한 웨이퍼에서 약 50개의 CEF를 구한 다음 CFH(Critical Field Histogram)을 구하였다. Polyoxide의 유효 장벽높이를 구하

기 위하여 F-N(Fowler-Nordheim) plot을 사용하였다.



<그림 2> Cross section of the capacitor

<표 1> List of device types

Lower poly-Si (or a-Si)	Lower poly-Si (or a-Si) implant	Lower poly-Si (or a-Si) annealing	Polyoxide process	Sample ID
625°C poly-Si	lon-implant P 1E16 cm ⁻² 100KeV	NO 1100°C, 30sec N ₂	1100°C RTO 30nm	SI
580°C a-Si		NO		SII
580°C a-Si		900°C, 20min N ₂		SIII
580°C a-Si		1000°C, 20min N ₂		SIV

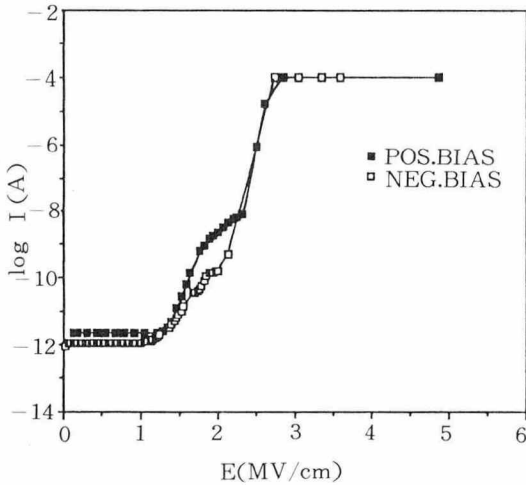
III. 결과 및 고찰

1. 전류-전압(I-V) 특성

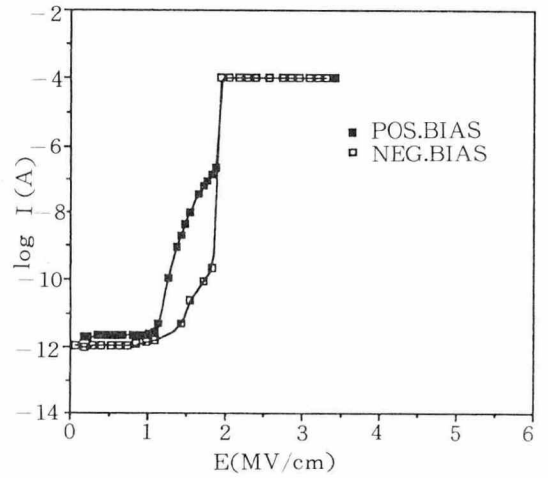
본 연구에서는 상층 poly-Si/polyoxide/하층 poly-Si 캐패시터를 제작하여, ramp rate를 0.

2V/sec로 일정하게 하고 I-V를 측정하였다. <그림 3>은 시료 SI에 대한 경우로서 전극에(+) 및 (-)를 가했을때의 전류-전기장(I-E) 특성곡선을 나타낸다.

전기장이 낮은 영역에서 전류값이 일정하게 나타나는데 이것은 캐패시터의 변위전류(dis-



〈그림 3〉 Bias polarity dependence of $I-E$ characteristics of the polyoxide grown on polysilicon deposited at 625°C (as-grown). Polysilicon was implanted with P by $4\text{E}20$ atoms/ cm^3 .



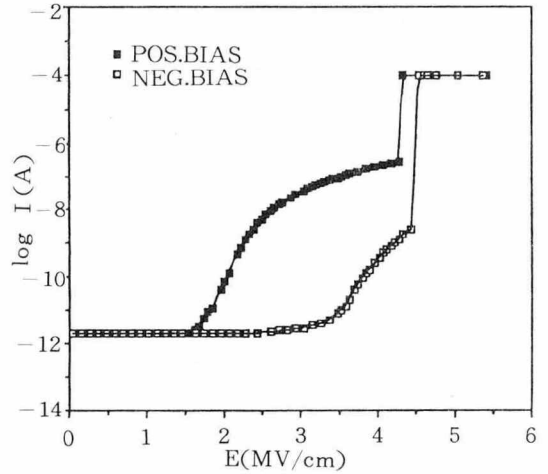
〈그림 4〉 Bias polarity dependence of $I-E$ characteristics of the polyoxide grown on amorphous silicon deposited at 580°C (as-grown). Amorphous silicon was implanted with P by $4\text{E}20$ atoms/ cm^3 .

placement current)로서 ramp rate와 캐패시터 용량을 곱한 값이다. 전기장이 이 영역을 지나서 증가하게 되면 전류가 증가하기 시작하는데, 이 영역은 누설전류 영역으로서 Fowler-Nordheim tunneling 전류가 흐르는 영역이다.

CEF(Critical Electric Field)을 10^{-6} A/ cm^2 의 전류밀도를 얻기 위한 전기장으로 정의할 때 〈그림 3〉에서 보면 전극에(+) 바이어스를 가할 때 $E_c(+)$ 는 $1.25\text{MV}/\text{cm}$ 이고, (-) 바이어스를 가할 때 $E_c(-)$ 는 $1.75\text{MV}/\text{cm}$ 이다. 〈그림 4〉는 시료 SII에 대한 경우이다. 이 그림에서 볼 때 $E_c(+)$ 및 $E_c(-)$ 는 〈그림 3〉에서의 경우와 비슷하다.

〈그림 3〉과 〈그림 4〉에서 볼 때 $E_c(-)$ 값이 $E_c(+)$ 값보다 약 $0.5\text{MV}/\text{cm}$ 더 큰 것을 알수 있다. 이것은 하층의 다결정 실리콘(또는 비정질 실리콘)에 산화막이 성장되면서 asperity나 protuberance 등의 생성에 의한 국부적 전기장 증가(local electric field enhancement)에 의한 것으로 기인된다^[14].

〈그림 5〉는 시료 SIII에 대한 ($I-E$) 특성을 나타낸다. 이 그림에서 보면 $E_c(+)$ 는 2.25MV

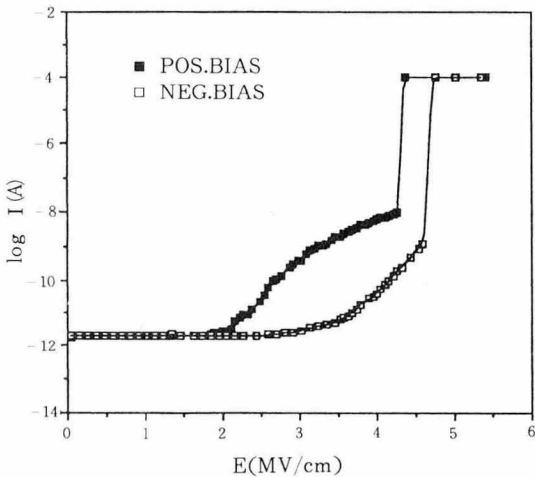


〈그림 5〉 Bias polarity dependence of $I-E$ characteristics of the polyoxide grown on amorphous silicon deposited at 580°C and then annealed at 900°C in N_2 ambient. Amorphous silicon was implanted with P by $4\text{E}20$ atoms/ cm^3 .

/ cm 이고, $E_c(-)$ 는 $3.75\text{MV}/\text{cm}$ 이다. 〈그림 6〉은 시료 SIV에 대한 $I-E$ 특성을 나타낸다. 이 그림에서 보면 $E_c(+)$ 는 $2.75\text{MV}/\text{cm}$ 이고, $E_c(-)$

(-)는 4.25MV/cm이다. <그림 5> 및 <그림 6>에서 볼 때 $E_c(-)$ 값이 $E_c(+)$ 값보다 약 1.5MV/cm 큰 것을 알 수 있다. 이것은 580C에서 증착한 비정질 실리콘을 900C 및 1000C로 annealing 할 때 grain growth가 일어나서, grain 경계와 grain 경계 안쪽에서 산화막이 성장하는 비율이 달라지게 되어 asperity나 protuberance가 생성되어 국부적 전기장의 증가 효과를 가져오기 때문인 것으로 생각된다^[14, 15].

<그림 3, 4> 및 <그림 5, 6>에서 볼 때 580C에서 증착한 비정질 실리콘을 900C 및 1000C로 annealing 한 경우가 1100C에서 30초간 RTA한 625C 다결정 실리콘 및 580C 비정질 실리콘의 경우보다 E_c 값이 1-3MV/cm 큰 것을 알 수 있다. 이것은 annealing에 의하여 polyoxide의 계면이 smooth 해졌기 때문이다.

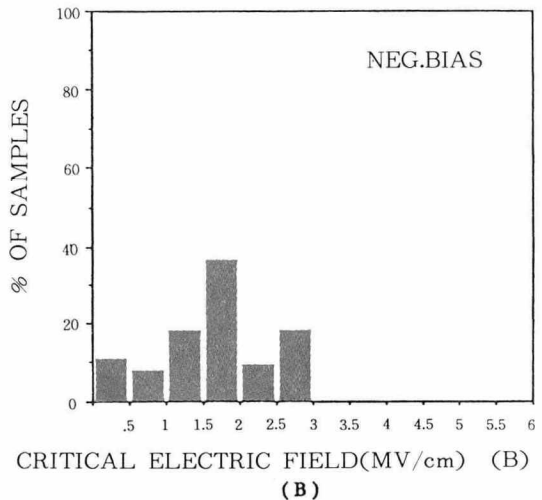
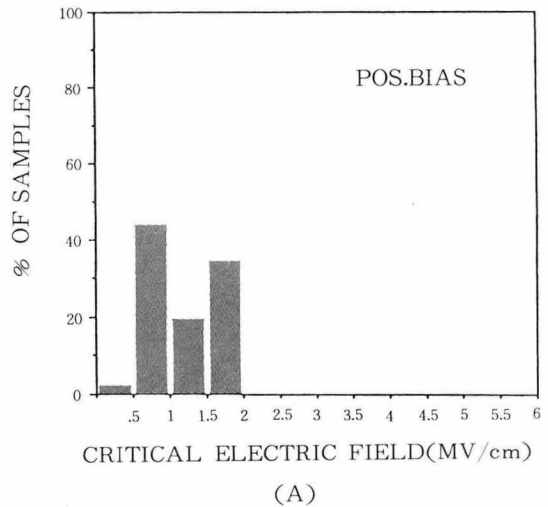


<그림 6> Bias polarity dependence of I-E characteristics of the polyoxide grown on amorphous silicon deposited at 580°C and then annealed at 1000°C in N₂ ambient. Amorphous silicon was implanted with P by 4E20 atoms/cm³

2. Critical Field Histotram

한 웨이퍼에서 약 50개 정도의 시료에 대하여 E_c 를 구한 다음 100%로 normalize하여 CFH (Critical Field Histogram)을 구하였다.

<그림 7>은 시료 S I에 대한 CEF의 빈도를 나타내고, <그림 8>은 시료 S II에 대한 CEF의 빈도를 나타낸다. 625C에서 증착한 다결정 실리콘 위에 polyoxide를 형성하였을 때 전극에 (+) 바이어스를 가하면 CEF의 값이 1.25MV/cm 중심으로, (-) 바이어스를 가하게 되면 CEF의 값이 1.75MV/cm 중심으로 broad 하게 퍼져있다. 반면 580C에서 증착한 비정질 실리콘 위

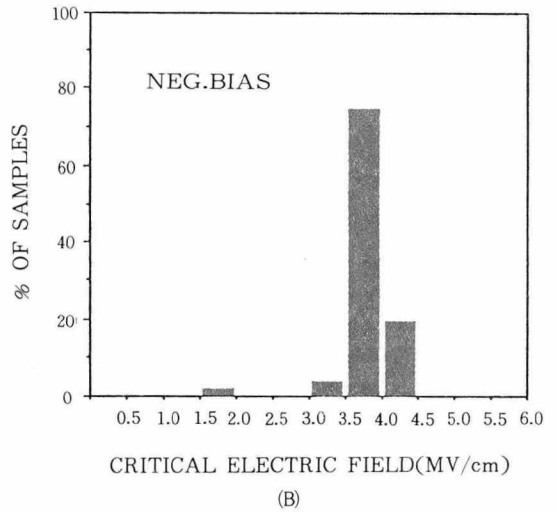
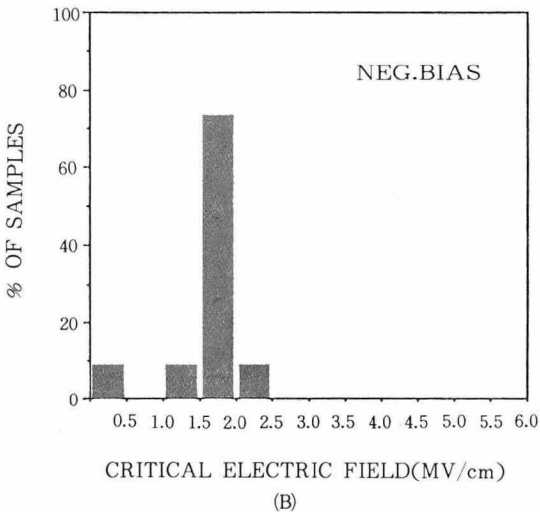
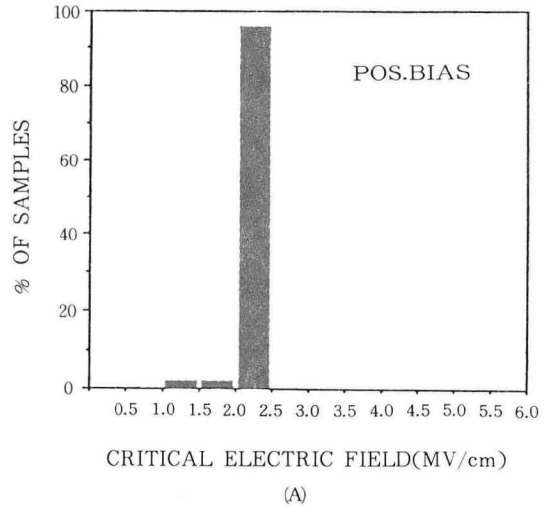
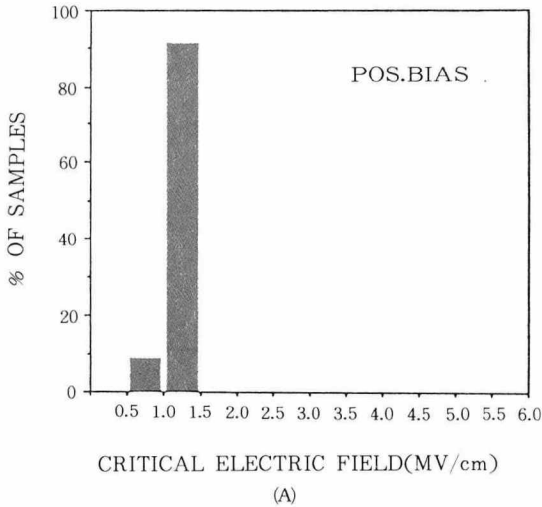


<그림 7> Bias polarity dependence of CFH (Critical Field Histogram) for polyoxide grown on polysilicon deposited at 625°C(as-grown). Polysilicon was implanted with P by 4E20 atoms/cm³.

에 polyoxide를 형성시켰을 때 (+) 바이어스를 가하면 CEF의 값이 1.25MV/cm 중심으로, (-) 바이어스를 가하게 되면 1.75MV/cm 중심으로 narrow하게 분포되어 있다. 이것은 polyoxide의 하층 계면에 있어서, 580C에서 증착한 비정질 실리콘인 경우 625C에서 증착한 다결정 실리콘의 경우보다 degree of roughness가 좀더 균일하기 때문인 것으로 생각된다. <그림 7> 및 <그림 8>에서 볼 때 전극에 (-) 바이어스를

가할 때, (+) 바이어스를 가할 때 보다 CEF 분포가 약 +0.5MV/cm 증가한 분포를 나타낸다. 이것은 <그림 3> 및 <그림 4>에서 설명한 바와 같이 polyoxide의 상층계면이 하층계면보다 좀더 smooth하기 때문인 것으로 판단된다^[4].

<그림 9>는 시료 SⅢ에 대한 CEF 빈도를 나타낸다. 전극에 (+) 바이어스를 가할 때 CEF의 값이 2.25MV/cm를 중심으로 (-) 바이어스를 가할 때 3.75M/cm를 중심으로 narrow하게

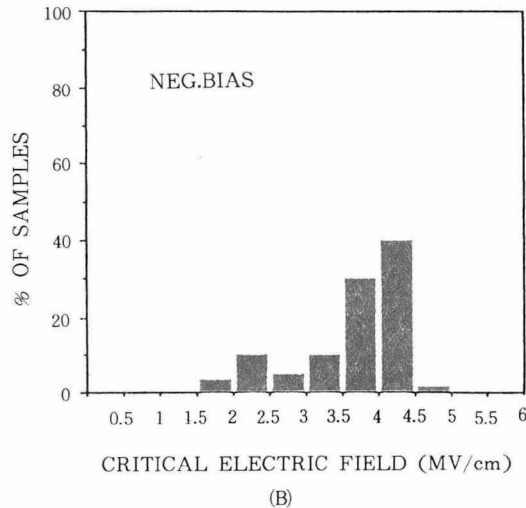
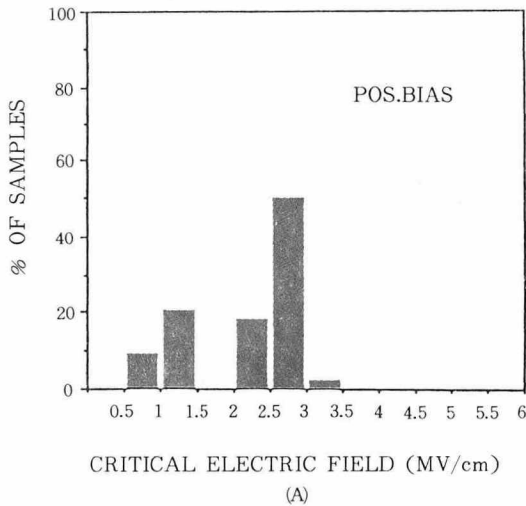


<그림 8> Bias polarity dependence of CFH for polyoxide grown on amorphous silicon deposited at 580°C(as-grown). Amorphous silicon was implanted with P by 4E20 atoms/cm³.

<그림 9> Bias polarity dependence of CFH for polyoxide grown on amorphous silicon deposited at 580°C and then annealed at 900°C in N₂ ambient. Amorphous silicon was implanted with P by 4E20 atoms/cm³.

분포되어 있다. 반면<그림 10>에서 볼 때 시료 SIV 경우 (+) 바이어스를 가할 때 E_c 값은 1.75MV/cm으로 최대빈도를 나타내고, (-) 바이어스를 가할 때 E_c 값은 4.25MV/cm으로 최대 빈도를 나타내며 broad하게 분포되어 있는 것을 볼 수 있다.

따라서 580°C에서 증착한 비정질 실리콘을 인 이온주입한 다음 900°C annealing한 경우가 1000°



<그림 10> Bias polarity dependence of CFH for polyoxide grown on amorphous silicon deposited at 580°C and then annealed at 1000°C in N₂ ambient. Amorphous silicon was implanted with 4E20 atoms/cm³.

C에서 annealing한 경우보다 degree of roughness가 균일하다고 생각할 수 있다. <그림 9> 및 <그림 10>에서 볼때 전극에 (-) 바이어스를 가할 때 (+) 바이어스를 가할 때 보다 CEF 분포가 약 +1.5MV/cm 증가한 분포를 나타낸다. 이것은 <그림 5> 및 <그림 6>에서 설명한 바와 같이 polyoxide의 상층계면이 하층계면보다 더 smooth하기 때문인 것으로 판단된다.

3. Fowler-Nordheim plot

Polyoxide를 투과하는 F-N tunneling 전류는 전극에 (+) 및 (-) 바이어스를 가하여 측정하였다. Polyoxide에 대한 유효장벽높이 Φ 는 F-N tunneling식을 사용하여 구하였다. 이때 사용된 F-N tunneling 식은 다음과 같다^[16].

$$J = (q^3 E^2 / 8\pi h \Phi) \exp[-4(2m)^{1/2} \Phi^{3/2} / 3 \hbar q E], \quad m = 0.4 m_0$$

여기서 h = Plank's constant, $\hbar = h/2\pi$

q = electronic charge

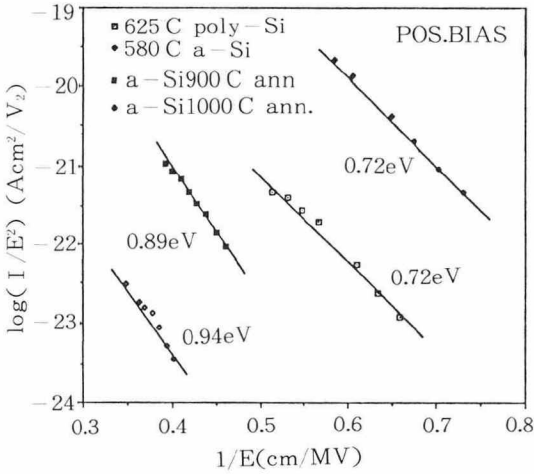
E = electric field

Φ = effective barrier height

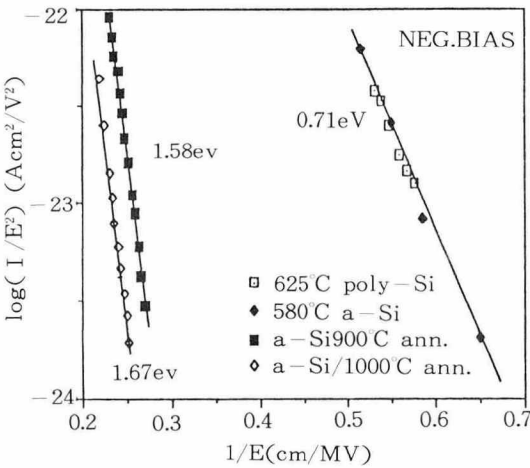
m_0 = free-electron mass

이다.

<그림 11>과 <그림 12>는 시료 SI, SII, SIII와 SIV에 대해서 전극에 (+) 및 (-) 바이어스를 가할 때 F-N plot을 나타낸다. 시료 SI 및 SII 경우 Φ 는 ~0.7eV이다. 반면 시료 SIII 및 SIV의 경우 전극에 (+) 바이어스를 가하면 ~0.9eV이고, (-) 바이어스를 가하면 ~1.6eV로서, (-) 바이어스를 가할 때 (+) 바이어스를 가할 때 보다 ~0.7eV 증가한 것을 알 수 있다. 이것은 annealing에 의하여 polyoxide의 상층계면이 하층계면보다 더 smooth해졌기 때문인 것으로 생각된다. 이것으로 부터 annealing할 경우 하지 않는 경우보다 polyoxide의 계면이 더 smooth해지고, Φ 값의 극성에 따른 변화로 판단할 때 polyoxide의 상층계면이 하층계면보다 더 smooth해진다는 것을 알 수 있다.



〈그림 11〉 F-N(Fowler-Nordheim) plot ((+)bias in the electrode)



〈그림 12〉 F-N plot ((-)bias in the electrode)

IV. 결론

이상의 연구결과는 다음과 같이 요약될 수 있다. 첫째로 Polyoxide의 하층이 625°C에서 증착한 다결정 실리콘을 1100°C에서 30초 RTA한 경우 및 580°C에서 증착한 비정질 실리콘일 경우 $E_c(-)$ 값은 1.75 MV/cm로 $E_c(+)$ 값보다 0.5MV/cm크고 ϕ 는 0.7eV이다. 580°C에서 증착한 비정질 실리콘에 N_2 분위기에서 900°C 및 1000°C annealing 시 $E_c(-)$ 는 3.75-4.25MV/cm

로 $E_c(+)$ 값보다 1.5MV/cm크며, $\phi(-)$ 는 1.6eV로 $\phi(+)$ 보다 0.7eV크다. 이것은 하층의 다결정 실리콘(또는 비정질 실리콘)에 산화막이 성장되면서 asperity나 portuberance 등의 생성에 의한 국부적 전기장 증가(local electric field enhancement)에 의한 것으로 판단된다. Annealing한 경우 E_c 및 ϕ 값의 bias에 따른 asymmetry가 크다. 이것은 annealing에 의하여 smooth해진 polyoxide계면이 polyoxide의 상층 계면에 영향을 미치지 때문이다.

둘째, polyoxide의 하층이 580°C에서 증착한 비정질 실리콘을 N_2 분위기에서 900°C 및 1000°C로 annealing한 경우, annealing 하지 않은 비정질 실리콘 및 625°C에서 정착한 다결정 실리콘을 1100°C에서 30초간 RTA한 경우보다 E_c 값이 1-3MV/cm크며 ϕ 는 0.2-0.9eV크다. 이것은 annealing을 하게 되면 인이 4×10^{20} atoms/cm³로 이온주입된 비정질 실리콘이 인을 out diffusion하면서 grain growth를 촉진시켜 polyoxide 계면을 smooth하게하여 국부적 전기장 증가를 감소시키기 때문인 것으로 생각된다.

마지막으로 Polyoxide의 하층이 580°C에서 증착한 비정질 실리콘 및 580°C에서 증착한 비정질 실리콘을 N_2 분위기에서 900°C annealing한 경우, 625°C에서 증착한 다결정 실리콘을 1100°C에서 30초간 RTA한 경우 및 580°C에서 증착한 비정질 실리콘을 1000°C annealing한 경우보다 CEF 분포가 narrow 하기 때문에 degree of roughness가 더 균일하다고 여겨진다.

〈參考文獻〉

1. D. Dimaria and D. Kerr, *Appl. Phys. Lett.*, vol.27, no.9, p.505, 1975.
2. R. Anderson and D. Kerr, *J. Appl. Phys.*, vol.48, no. 11, p.4834, 1977.
3. E. Irene, E. Tierny, and D. Dong, *J. Electrochem. Soc.*, vol. 127, no.3, p.705. 1980.
4. H. Huff, R. Halvorson, T. Chiu, and D. Guterman, *ibid.*, vol. 127, no.11, p.2482,

1980.

5. M. Sternheim, E. Kinsbron, J. Alspector, and P. A. Heimann, *ibid.*, vol.130, pp.1735-1740, 1983; and *ibid.*, vol.127, pp.2482-2488, 1980.

6. P. A. Heimann, S. P. Muraka, and T. T. Sheng, *J. Appl. Phys.*, vol.53, pp.6240-6245, 1982.

7. D. K. Brown and C. A. Barile, *J. Electrochem. Soc.*, vol.130, pp.1597-1603, 1983.

8. R. B. Marcus, T. T. Sheng, and P. Lin, *ibid.*, vol.129, pp.1282-1289, 1982.

9. L. Faraone, R. D. Vibronek, and J. T. McGinn, *IEEE Trans. Electron Devices*, vol.ED-32, pp.577-583, 1985.

10. M. Conti, G. Corda, and R. Gastaldi, "Insulating Films on Semiconductors", G. G. Roberts, Ed., *Inst. of Physics. J.* 1980. pp.55-61.

11. G. Harbeke, L. Krausbauer, E. F. Steigmeier, A. E. Widmer, H. F. Kappert, and G. Neugebauer, *RCA Rev.*, vol. 44, pp. 287-312, 1983.

12. M. T. Duffy, J. T. McGinn, J. M. Shaw, R. T. Smith, R. A. Soltis and G. Harbeke, *ibid.*, vol.44, pp.313-325, 1983.

13. K. Shinada, S. Mori, and Y. Mikata, *J. Electrochem. Soc.*, vol.132, no.9 p.2185, 1985.

14. J. C. Lee, C. Hu, *IEEE Trans. Electron Devices*, vol. ED-35, no.7, pp.1063-1070, 1988.

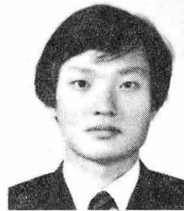
15. L. Faraone, *IEEE Trans. Electron Devices*, vol. ED-33, no.11, pp.1785-1794, 1986.

16. M. Lenzlinger and E. H. Snow, *J. Appl. Phys.*, vol 40, p.278, 1969.



趙 德 鎬 (Cho, Deok Ho)

1987. 2 : 성균관대학교 물리학과 학사
 1989. 2 : 한국과학기술원 물리학과 석사
 1990. 현재 : 한국전자통신연구소 박막 기술 연구실 연구원



李 璟 秀 (Yi, Kyoung Soo)

1960. 2. 1일생
 1982. 2 : 연세대학교 금속공학과 학사
 1983. 9 : 한국과학기술원 재료공학과 석사
 1987. 2 : 한국과학기술원 재료공학과 박사
 1987. 2 : 한국전자통신연구소 입사
 1990. 현재 : 박막기술연구실 선임연구원



南 基 守 (Nam, Kee Soo)

1952. 4. 11 일생
 1974. 2 : 경북대학교 물리학과 학사
 1979~1985 : 한국전자기술연구소
 1985~ : 한국전자통신연구소
 1986. 2 : 한국과학기술원 물리학과 석사
 1986. 7~1987.6 : 일본 동경대학교 전자공학과 연구원
 1990. 현재 : 박막기술연구실 실장