

고밀도 DRAM Cell의 새로운 구조에 관한 연구

(A Study on New High Density DRAM Cell)

李 天 熙*

(Cheon Hee Yi)

要 約

ITIC를 중심으로 고밀도 DRAM을 위한 획기적인 밀도 향상을 기할 수 있는 공정과정과 회로디자인의 기술 혁신에 대하여 디자이너 입장에서 논의하였다. 여기서 개발한 TETC라 부르는 DRAM은 trench 기술과 SEG 기술을 이용하였는데 n⁺-polysilycon인 storage 전극과 n⁺-source 전극이 self-contact되고 soft error를 극복할 만큼 충분히 큰 정전용량을 갖으므로 절연 영역을 따라서 만든 수직의 캐패시터를 이용함으로써 셀 크기를 기존의 BSE cell구조에 비하여 약 30% 감소되었다.

Abstract

For the higher density DRAM'S, innovations in fabrication process and circuit design which have led to dramatic density improvement are discussed from the desinger's perspective. A new dynamic RAM cell called Trench Epitaxial Transistor Cell (TETC) using trench technics and SEG have been developed for use in future megabit DRAMS. Storage electrode with n⁺- polysilicon and n⁺- source electrode are self-contacted in TETC.

With keeping the storage capacitance large enough to prevent soft errors, the cell size is reduced to 30% compare with existing BSE cell by utilizing the vertical capacitor made along the isolation region.

I. 서 론

지난 15년간 컴퓨터 산업은 MOS DRAM의 공정과 디자인의 발전으로 성능이 개선되고 밀도가 향상됨으로써 급격한 팽창을 이루었으며 85년에 256K

DRAM, 87년에 1M DRAM, 앞으로 90년에는 4M DRAM이 기억소자 시장을 주도할 것으로 예측되고 있다.

기억소자의 개발방향은 구조적인 면에서는 1M bit DRAM까지는 planar type으로 개발되었으나 4M bit 이상에서는 stacked type이나 trench type으로 개발되었다. 정보저장 방법에서는 α -particle에 의한 soft-error와 retention time의 한계 때문에 256K bit는 surface depletion type을, 1M bit는 p-n junction depletion type인 Hi-C 구조를 사용하였다. 그러나

*正會員, 淸州大學校 電子工學科

(Dept. of Elec. Eng., Chongju Univ.)

接受日字: 1989年 1月 27日

(※본 연구는 서울대 반도체 공동연구소의 지원으로 이루어진 것임.)

4M bit에서는 storage 전극이 substrate와 isolation 된 BSE (buried storage electrode) 구조를^[7] 사용하였다. 또한 주변회로의 기본공정은 power dissipation 문제 때문에 NMOS에서 CMOS를 사용하고 있다(1M 이상). 따라서 앞으로의 DRAM 개발 방향은 CMOS 공정을 이용한 3차원 구조로써 scaling하게 될 것이다. 3차원 구조는 Trench SOI (silicon on insulator), SEG (selective epitaxial growth) 기술에 의해서 구현될 수 있다. 또한 정보저장 방법은 stacked type이 되어야 한다. 본 연구에서 제시한 cell구조는 trench 기술과 SEG 기술을 이용하여 구상하였으며 0.8 μ m design rule을 사용할 시에는 16M DRAM도 구현할 수 있도록 하였다.

II. DRAM CELL의 개발방향

DRAM의 고집적화는 computer system의 발전과 대중화를 추진하는 원동력이 되었으며 이러한 VLSI process 개발 기술은 super computer, personal computer 등 computer hardware 전체 발전에 크게 이바지하였다.

앞으로 정보화 사회를 맞이하여 on-line system, VAN (value added network) 등이 고도화 되어가고 대중화 되어감에 따라 Giga byte급 메모리가 필요하게 될 것이다. 이와 같이 미래 사회에서는 대용량의 DRAM 제작에서 가장 중요하며 기초가 되는 DRAM cell구조가 대용량화 되어가면서 어떻게 변화하였으며 앞으로 어떠한 cell구조를 가져야 할 것인지를 IT-IC 구조인 MOS DRAM에 대하여 조사하였다.

MOS DRAM은 여러개의 cell로 구성되어 있으며 하나의 cell은 one transistor와 one capacitor로 구성되어 있다. 여기서 DRAM 용량에 미치는 요소는 cell size와 주변회로의 design rule이 주요요인이 되며 cell size 크기는 capacitor insulator 두께, design rule과 cell structure에 의해서 결정된다. 일반적으로 기억용량과 cell size 변화는 3년에 4배씩 증가하였다.^[8]

그림 1은 기억용량과 minimum feature 및 gate 선 폭(wire width)의 관계를 나타내며 현재 1 μ m에서 거의 saturation되어 감을 알 수 있다. 또한 실제적으로 선폭을 보다 가늘게 하려고 하는 초미세 가공 기술에는 여러가지 한계요인이 있으며 선폭을 가늘게 할 경우, 동시에 산화막의 두께도 보다 얇게 하여야 한다. 그러나 산화막의 두께를 얇게 하는 것은 breakdown이나 leakage 때문에 한계에 가까워 졌으며 현재 주의깊게 만들 경우, 100 \AA 에서도 고품질의 산화막

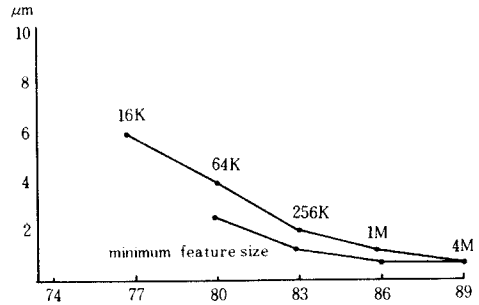


그림 1. Gate 선폭과 minimum feature size
Fig. 1. Gate wire width and minimum feature size.

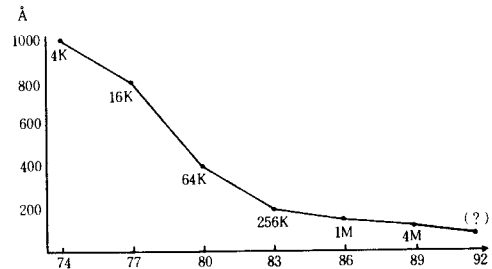


그림 2. Capacitor 절연막 두께 (Tox)
Fig. 2. Trend of Tox in capacitor.

을 만들 수 있지만 이는 oxide degradation 등 여러 요인 때문에 장기적인 신뢰성에 문제가 있다. 따라서 산화막의 두께는 거의 한계에 왔다고 볼 수 있다 (그림 2 참조)

그림 3은^[9] 기억 용량의 증가에 따른 cell구조의 변화를 나타내는 그림으로써 1M DRAM 까지는 planar 형태로써 design rule의 축소와 multilayer 기술에 의해서 cell구조가 변화하였다. 특히 1M DRAM은 Hi-C 구조를^[5] 이용하여 capacitor 면적을 줄임으로써 cell size를 줄이는 것이 가능하였다. 또한 word line을 polycide로 사용하는 것은 메모리 용량이 증가함에 따라 speed가 증가하여야 하고 word line의 선폭은 좁아지기 때문에 RC delay time을 줄이기 위하여 사용하였다. Planar 형태로는 Hi-C 구조를 이용하여 1M bit까지는 가능하나 그 이상의 DRAM을 제작하는데는 미세 가공기술의 한계 및 thin dielectric film의 한계 때문에 stacked나 trench 형태인 3차원적인 구조를^[10] 가져야 한다. 따라서 4M bit DRAM은 trench를 이용한 BSE (buried storage electrode) 구조의

변형과 stacked type이 대부분이며 16M bit급에서는 BSE 구조도 storage data의 retention time 때문에 trench에 stacked 형태가 결합된 구조를 가지고 있다.

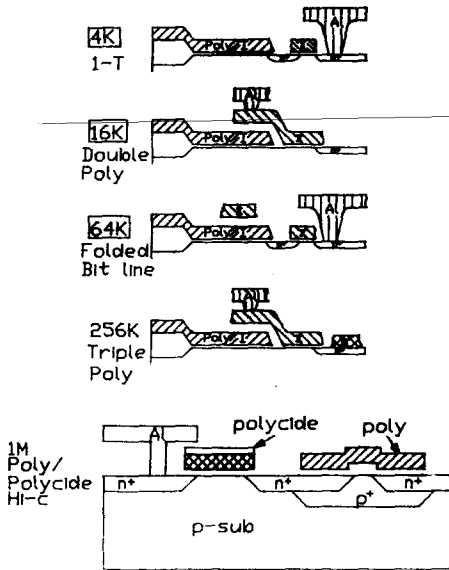
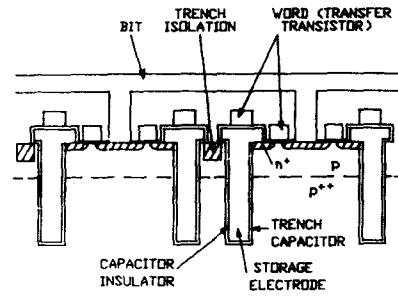
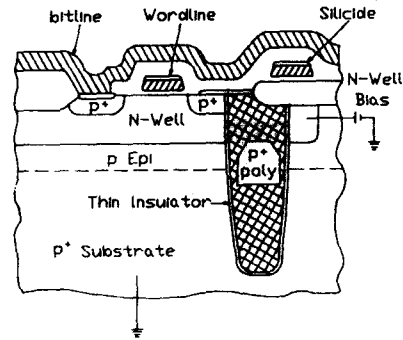


그림 3. DRAM cell 구조의 변화
Fig. 3. Trend of DRAM cell structure.

다음은 4M bit 이상의 DRAM cell 구조에 대해서 살펴보자. 그림 4⁽⁷⁾는 4M bit DRAM cell의 대표적인 구조를 나타내며 모두 trench를 사용한 3차원 구조로써 storage 전극이 trench내에 매립되어 있으며 substrate를 plate 전극으로 사용하고 있다. 이러한 cell 구조의 장점은 cell과 cell 사이의 punch-through에 의한 leakage가 없고 α -particle에 대한 면역성이 높다. 반면에 substrate를 전극으로 사용함으로써 substrate bouncing 문제, transfer transistor의 source 전극과 substrate 사이의 junction leakage와 gated diode 현상에 의한 surface leakage가 문제된다. 이러한 문제점 때문에 substrate는 p⁺/p⁻epi wafer를 사용하였으나 CMOS 공정과 양립할 수 있어야 함으로 문제점을 안고 있다. 특히 그림 4(b)는 N-well을 사용함으로써 leakage를 극소화시킬 수 있도록 하였다. 그림 5는 16M DRAM cell 구조로써 4M DRAM과 마찬가지로 모두 trench 기술을 사용한 3차원 구조를 이루고 있고 Storage 전극이 모두 trench에 매립되



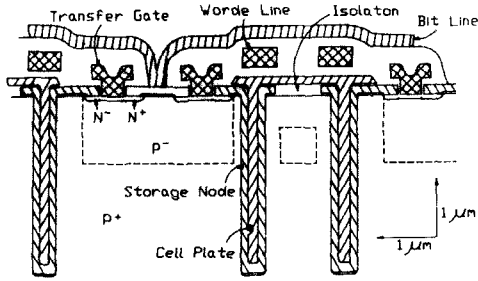
(a) Buried storage electrode cell (NEC)



(b) The SPT DRAM capacitor cell (IBM)

그림 4. 4M DRAM cell 구조
Fig. 4. Structure of 4M DRAM cell.

어 있는 것은 같으나 plate 전극을 transistor source 전극과 완전히 분리시킴으로써 junction leakage와 gate diode 현상에 의한 surface leakage를 제거하였다. 즉 trench내에서 stacked된 capacitor 구조를 가지고 있다. 이러한 구조의 장점은 junction leakage와 surface leakage 요소를 완전히 제거함으로써 α -particle 면역성과 정보 저장 시간을 크게 늘리고 substrate bouncing 등 4M bit DRAM에서 문제되는 점을 모두 제거하였다. 그러나 용량이 증가함에 따라 speed도 증가하여야 함으로 word line과 bit line을 metal line으로 사용한 double metal process가 필요하다. 특히 그림 5(b)는 SEG 기술을 이용한 SOI (silicon on insulator) 구조로써 radiation hardness가 매우 강하므로 군사용 및 우주항공에도 사용할 수 있다. 따라서 앞으로의 DRAM cell 구조의 방향은 trench에 stacked된 구조이어야 하며 SEG (selective epitaxial growth) 기술이 크게 응용될 것으로 전망된다.



(a) DSP cell 구조

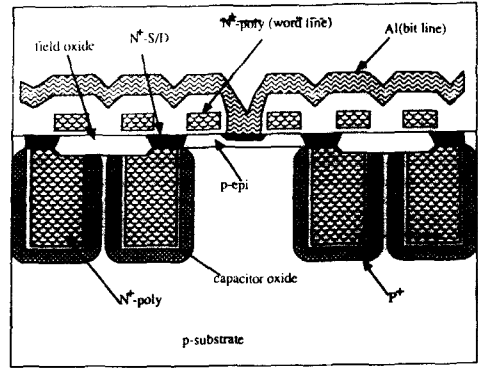
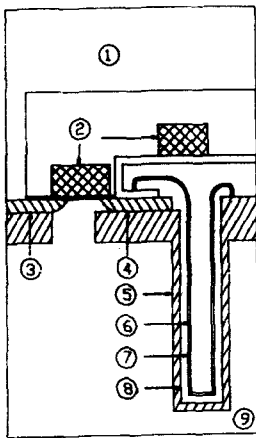


그림 6. TETC 구조의 단면도
Fig. 6. Cross section of TETC structure.

Cell Size 1.7 X 3.5 = 5.95 μm²



- (1) Bit line
- (2) Word line
- (3) Drain area
- (4) Source area
- (5) SiO₂ film
- (6) Capacitor plate
- (7) Capacitor insulator film
- (8) Charge-rage electrode
- (9) Si substrate

(b) TOLE cell 구조

그림 5. 16M DRAM cell 구조
Fig. 5. Structure of 16M DRAM.

III. TETC

1. TETC 구조와 layout

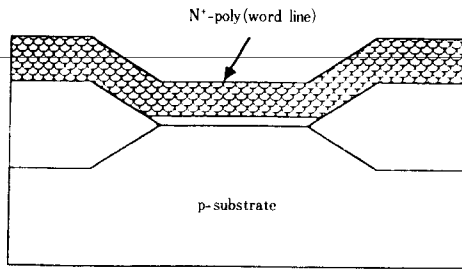
본 연구과제에서 개발한 TETC (trench epitaxial trench cell) 구조는 기존의 trench 기술과 SEG (selective epitaxial growth) 기술을 이용하여 구성한 DRAM cell 구조로써 그림 6 과 같다. 이 구조는 SPT (substrate plate trench) cell 구조 (그림 4(b)), BSE (buried storage electrode) cell 구조 등 그림 4(a) 기존의 4M DRAM cell 구조와 비교하여 볼 때 substrate를 plate 전극으로 사용한다는 점에서는 같으나 SEG와 같은 새로운 기술이 필요하다. 이러한 기술은 앞으로 차세대 3차원 IC를 개발하는데 필요한 기술로서 현재 연구가 활발히 진행되고 있다.

Plate 전극을 substrate로 사용하는 모든 DRAM cell에서는 공통적으로 나타나는 문제로서 실제적인 회로 동작시에 hot carrier에 의하여 substrate 전류가 증가하게 되며 이 전류는 substrate에 forward bias 효과를 일으켜 substrate bouncing이 일어날 수 있으나 본 DRAM cell에서는 epi층과 substrate 사이의 barrier에 의해서 어느정도 substrate bouncing이 억제된다. Storage 전극은 substrate와 isolation된 stacked된 형태로써 정보를 유지하고 있는 시간인 retention time은 수 sec 이상이며 특히 SEG 방법에 의하여 substrate와 storage 전극의 n⁺ 사이의 junction 면적을 극소화 시킴으로써 capacitor 영역에서의 α-particle에 의한 soft-error는 거의 일어날 수 없다. 또한 bit 라인과 contact되는 drain 영역에서도 epi층과 p-substrate 불순물 barrier에 의해서 α-particle 영향을 줄일 수 있다.

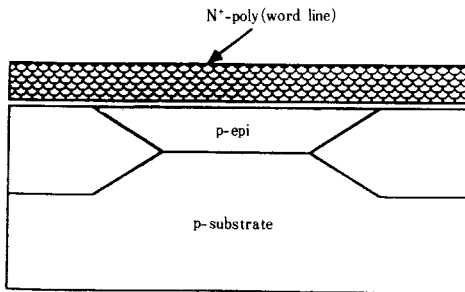
TETC 구조의 가장 큰 장점은 SEG 방법에 의해서 storage 전극인 n⁺-polysilicon과 transfer transistor의 n⁺-source가 self connection됨으로써 cell size가 약 30% 감소하게 됨으로 16M DRAM cell에도 적용할 수 있다. 또한 기존의 DRAM cell과 비교하여 볼 때 buried contact mask와 bridge polysilicon mask를 사용할 경우에 contact의 불안전과 mask간의 misalign에 의한 실패확율이 높아지나 본 구조에서는 이러한 두 layer의 mask가 필요없게 됨으로 공정이 크게 단축되며 polysilicon의 interconnection layer 수가 적어서 bit line인 metal line의 step coverage가 크게 개선되어 submicron 미세패턴 형성 기술에 매우 유리하다.

Transfer transistor는 그림 7 과 같이 field oxide

위로 overgrowth된 epi층 위에 형성되어 있으므로 LOCOS 공정에서 나타나는 bird's beak 현상에 의한 narrow channel 효과를 줄일 수 있다. 따라서 small geometry에서 문제점으로 지적되는 narrow channel 효과를 줄임으로써 submicron device 개발에 유리하다.



(a) LOCOS process



(b) SEG process

그림 7. MOSFET의 Channel width 단면도
Fig. 7. Channel width's cross section of MOSFET.

그림 8 은 TETC 구조를 이용한 layout 단면도로서 folded bit line 구조를 사용하였다. Minimum feature size가 $1\mu\text{m}$ 인 design rule를 사용하였으며 contact mask와 polysilicon(word line) 사이의 misalign margin은 $0.2\mu\text{m}$ 이하로 가정하였다. 또한 critical design rule은 metal overlap contact= $0.2\mu\text{m}$, word line의 pitch= $2\mu\text{m}$ ($1\mu\text{m}/1\mu\text{m}$), bit line pitch= $2.2\mu\text{m}$ ($1\mu\text{m}/1.2\mu\text{m}$)이다. Active와 contact의 overlap은 $0.2\mu\text{m}$ 이나 SEG에 의한 효과를 생각하면 LOCOS 공정과 비교할 때 $0.6\mu\text{m}$ 정도로서 충분하다.

Cell size는 $(0.5+0.2+1+1+1+0.5) * 2.2 = 9.68$ (μm^2)으로써 현재 4M DRAM cell의 $13\mu\text{m}^2$ 와 비교

하여 약 30%정도 작다. Trench 면적은 $1.4 * 1.8\mu\text{m}^2$ 이며 trench depth를 $5\mu\text{m}$ 로 가정할 경우 capacitor 면적은 $1.4 * 1.8 + (1.4 + 1.8) * 2 * 5 = 34.52\mu\text{m}^2$ 이 된다. Capacitor의 절연막 두께를 oxide 두께로 환산하여 $T_{\text{eqox}} = 150\text{\AA}$ 인 경우에 capacitor 용량은 $E_{\text{ox}} A / T_{\text{eq}}$ 에서 79.4fF 가 된다. 그런데 stroage capacitor 용량 C_s 은 30fF 이상이면 sensing이 가능하므로 trench depth를 $2.5 - 3\mu\text{m}$ 로 하거나 T_{eq} 를 두껍게 할 수 있는 충분한 여유가 있어서 공정과 수율면에서 유리하다.

다음은 그림 9 와 같이 minimum feature size가 $0.8\mu\text{m}$ 인 design rule을 사용하고 trench와 word line 사이의 margin을 $0\mu\text{m}$ 로 하며 bit line의 contact과의 overlap를 $0\mu\text{m}$ 로 할 경우에 cell size는 $(0.4+0.2+0.8+0.8+0.8+0.4) * 1.6 = 5.44\mu\text{m}^2$ 이 된다. 위와 똑같은 방법으로 capacitor 면적은 $0.8 * 1.6 + (0.8 + 1.6) * 2 * 5 = 25.28\mu\text{m}^2$ 이며 $T_{\text{eqox}} = 150\text{\AA}$ 일 때 $C_s = 58.1\text{fF}$ 로써 16M DRAM에 적용할 수 있다. 따라서 본 cell을 이용하여 $0.8\mu\text{m}$ design rule을 적용하면 16M DRAM을 구현할 수 있다.

2. TETC 구조의 제조방법

본 TETC 구조를 이용하여 DRAM을 제작할 경우에 주변회로는 CMOS 공정을 실행해야 하므로 여기

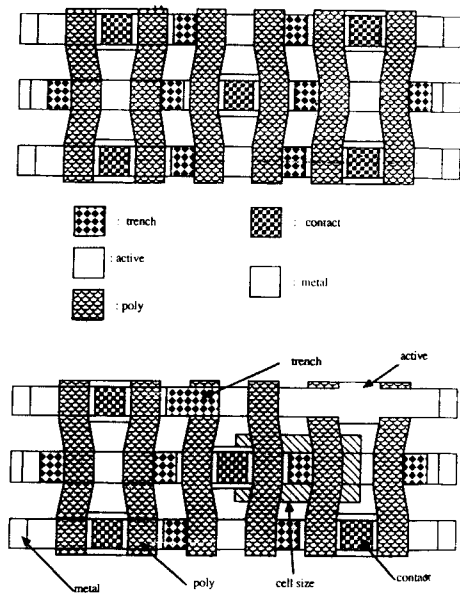


그림 8. TETC 레이아웃
Fig. 8. TETC layout.

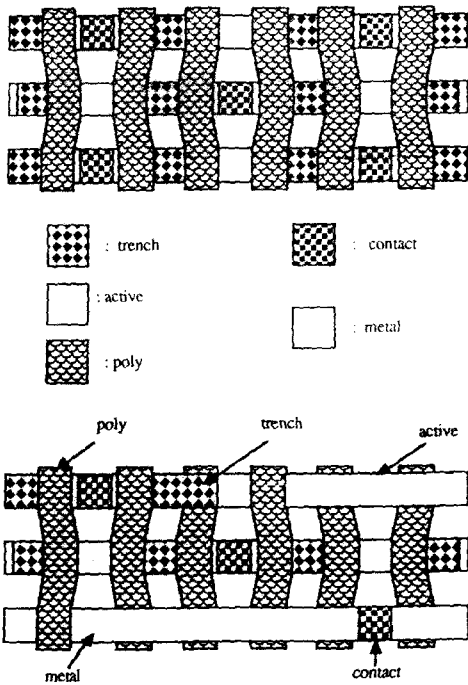


그림 9. 8 μ m design rule의 TETC layout
Fig. 9. TETC layout by 0.8 design rule.

서는 CMOS와 TETC 구조를 이용한 DRAM 공정에 대하여 설명한다. 주요 공정 기술은 다음과 같다.

※. TETC 공정순서 및 Spec

Seq#	Process	Spec
001	Start	P(100) 5-8 ohm-cm
002	Initial clean	10:1 HF 10"
003	Initial oxide	3000Å ± 300
50	N-well mask	
51	Hard Bake	125° C, 30min
52	Initial oxide etch	Dry or wet(7:1 BHF)
53	N-well implant	phos, 4E12, 160Kev 8E12
54	PR strip	
55	N-well drive	1150° C/N ² , 12hrs
56	N-well oxide strip	Wet
57	Buffer oxide I	250Å
58	Nitride deposition	1500Å
59	LTO deposition	9000Å
100	Trench mask	
101	plasma etch LTO/Nitride/Buffer oxide	9000/1500/250

102	Trench etch(Si)	3-5 μ m
103	Boron deposition	950° C, 30min
104	Sacrificial oxide	300Å
105	Oxide removal	
106	Capacitor dielectric	Tox-150Å equivalent oxide
107	Poly dep	3000Å
108	Poc13 doping	Rs 22 Ω /sq
109	Poly dep	1.5 μ m
110	Planarization etch back	poly 1.8 μ m
111	Nitride/oxide strip	Wet etch
112	Buffer oxide II	250Å
113	Nitride deposition	1500Å
150	Active mask	
151	Nitride etch	1500Å
152	PR strip	
200	N-field implant mask	
201	Hard bake	125° C, 30min
202	N-field implant	Boron, 4E13, 30Kev
203	PR strip	
204	Field oxidation	6000Å
205	Nitride/oxide strip	1500Å/250Å
206	Selective epitaxial growth	200-400° C, 0.6 μ m, p-type
207	Buffer oxide	250Å
250	N-well mask	
251	Hard bake	125° C, 30min
252	N-well implant	phos, 1E12, 80Kev
253	PR strip	
254	N-well drive-in	
255	Oxide III etch	Wet
256	Sarificial oxide	200Å
257	Vt adjust implant	Boron 7E11, 50Kev
300	Vtp adjust implant mask	
301	Hard bake	125° C, 30min
302	Vtp implant	Boron 7E11, 50Kev
303	PR strip	
304	Oxide strip	
305	Gate oxide	250Å
306	poly deposition	2000Å
307	Poc13 dopoing	Rs=20 ohm/sq
308	Silicide deposition	2500Å
350	Gate mask	
351	polycide etch(Silicide/poly)	
352	Oxidation	250Å

400	N ⁺ -S/D mask	
401	Hard bake	
402	N ⁺ -S/D implant	As, 4.5E15, 80Kev
403	PR strip	
450	P ⁺ -S/D mask	
451	Hard bake	
452	P ⁺ -S/D implant	Boron, 2.3E15, 50Kev
453	PR strip	
454	Undoped LTO deposition	3000Å
455	Densification	900°C
<hr/>		
500	Contact mask	
501	Oxide etch	
502	Metal depositions	8000Å
550	Metal mask	
551	Metal etch	
552	PR strip	
553	Alloy	460°C N ₂ /H ₂ , 30min
554	Passivation	PSG 1.2µm
600	Pad mask	
601	Pad oxide etch	
602	PR strip	

IV. 결 론

본 연구에서는 4M bit DRAM 이상의 새로운 cell 구조를 고안하였고 이러한 cell 구조에 대한 타당성과 가능성을 검토하였다. TETC 구조는 trench 기술과 SEG(selective epitaxial growth) 기술을 이용하여 구상한 새로운 4M bit DRAM cell 구조이다.

SEG 공정을 이용한 device isolation 기술은 small geometry device에서 문제되는 narrow channel 효과를 줄일 수 있다. 본 TETC 구조는 n⁺-polysilicon 인 storage 전극과 n⁺-source 전극이 self-contact 됨으로써 cell size가 기존의 BSE cell 구조에 비하여 약 30% 감소되며 buried contact mask와 bridge polysilicon mask가 필요없게 됨으로 공정이 크게 단축되고 LOCOS 공정에서 나타나는 step coverage가 SEG 공정에 의하여 상쇄되므로 metal line의 step

coverage가 크게 개선되어 submicron의 미세패턴 형성에 매우 유리하다. SEG 기술은 LOCOS 공정에서 나타나는 bird's beak 형상을 감소시키므로 submicron device를 개발하는데 유용하게 사용될 수 있다. 또한 0.8µm의 design rule을 사용할 경우 16M bit DRAM cell에도 사용할 수 있을 것으로 기대된다. 공정상에 큰 문제점은 없으나 SEG 공정은 저온에서 사용할 수록 유리함으로 저온 공정과 RTA 기술을 개발하여 적용하면 큰 성과가 있을 것으로 기대된다.

参 考 文 献

- [1] M. Koyanagi et al, "Novel high density stacked capacitor MOS RAM," IEDM, pp. 348-351, 1978.
- [2] Y. Takemae, et al, "A 1Mb DRAM with 3-dimensional stacked capacitor cell," ISSCC, pp. 250-251, 1985.
- [3] T. Mano et al, "Submicron VLSI memory circuits," ISSCC, pp. 234-345, 1983.
- [4] H. Sunami et al, "A corrugated capacitor cell," IEEE Trans. Electron device, ED-31, pp. 746-753, 1984.
- [5] D.M. Eb, A. Mc Cambs, M. Raddwin, "Hi-c isolation of DRAM storage capacitor," IEDM, pp. 612-615, 1982.
- [6] D.S. Yancy, "Technology for the fabrication of a 1Mb CMOS DRAM," IEDM, pp. 698-701, 1985.
- [7] M. Sakamoto et al. "Buried storage electrode (BSE) cell for megabit DRAMS," IEDM, pp. 698-701, 1985.
- [8] H. Sunami and S. Asai, "Trends in megabit DRAM'S." Int. Sym. on VLSI Technology. systems and application, pp. 4-8, 1985.
- [9] H. Sunami, "Cell structure for future DRAM'S," IEDM 85, pp. 694-697, 1985.
- [10] M. Ohkura et al, "A three-dimensial DRAM cell of stacked switching-transistor in SOI (SSS)," CEDM 85, pp. 718-720, 1985. *

著 者 紹 介

李 天 熙 (正會員) 第26卷 第6號 參照

현재 청주대학교 전자공학과
부교수