

粒界에서의 터널링으로 解析한 薄膜트랜지스터의 電流-電壓 特性

(I - V Characteristics of the TFT Analyzed by Tunneling in Grain Boundaries)

馬 大 泳*

(Tae Young Ma)

要 約

多結晶 薄膜트랜지스터의 電界效果 解析을 위한 物理的인 모델을 제시하였다. 본 논문의 모델에서는 粒子 (grain) 하나를 單結晶 트랜지스터로 粒界 (grain boundary)를 電位障壁을 갖는 絶緣體로 가정하였다. 따라서 多結晶 薄膜트랜지스터를 粒子인 單結晶 트랜지스터들이 粒界를 경계로 직렬연결 되어 있는 것으로 간주하였으며, 粒子에 흐르는 電流는 gradual channel 근사식으로 또 粒界에 흐르는 電流는 터널링 이론으로 계산하였다. 본 모델로 구한 薄膜트랜지스터의 전류-전압특성을 제조한 CdSe 薄膜트랜지스터의 出力特性과 비교하므로써 채널에서의 電位, 電界분포 등을 구하였으며 이 결과들을 통해 본 모델을 검토하였다. 본 논문에서 제시한 다결정박막트랜지스터의 전도모델이 문턱전압이상의 素子 동작해석에 타당함을 밝혔다.

Abstract

A physical model that characterizes the field effect of the polycrystalline thin film transistor(TFT) is developed. The model describes grains as discrete single crystal transistors and grain boundaries as insulated layers having the potential barrier. Thus TFT is considered as serial connection of single crystal transistors and insulators. In the model, the currents in the grain and the grain boundary is calculated using gradual channel approximation and tunneling theory, respectively. By comparing computed I-V characteristics with measured I-V characteristics of CdSe TFT's, potential and electric field distributions in the channel are observed and the validity of the conduction model proposed in this paper is confirmed.

I. 序 論

3 차원 IC에 대한 연구와 함께 多結晶薄膜 트랜지스터에 대한 관심이 다시 일어나고 있다.^[1,2,3] 薄膜트

랜지스터는 素子分離상의 잇점 뿐만 아니라 기관의 제한이 없다는 이유 때문에 3 차원 IC의 단위素子로 매우 적합하다.

일반적으로 薄膜트랜지스터는 多結晶半導體로 製造되기 때문에 單結晶素子에 비해 動作速度, 安定性 등 電子部品으로서의 特性은 열등하다. 그러나 최근에 레이저, 할로겐램프등을 이용하는 여러가지 재결

*正會員, 慶尙大學校 電氣工學科
(Dept. of Electrical Eng., Gyeongsang Nat'l Univ.)
接受日字 : 1988年 12月 5日

정성장법들이^{4,5,6)} 개발되므로써 기존의 單結晶트랜지스터의 特性에 근접할만큼 급격한 薄膜트랜지스터의 특성개선이 이루어지고 있다.

薄膜트랜지스터를 집적회로에 이용하기 위해서는 공정에 앞서 回路 및 素子の 設計가 이루어져야하며 回路 및 素子の 設計를 위해서는 먼저 트랜지스터의 動作에 대한 이해와 함께 정확한 素子の 動作모델이 제시되어야 한다. 多結晶半導體로 구성된 薄膜트랜지스터의 경우 單結晶트랜지스터와 달리 傳導機構의 解析이 복잡하고 따라서 素子の 모델링이 힘들다. 多結晶半導體의 電氣傳導는 粒界에 의해 좌우되며 입계에서의 傳導機構로는 트랩핑모델,^{7,8)} 偏析모델⁹⁾ 등이 제시된 바 있고, 이들을 이용하여 薄膜트랜지스터의 電界效果를 解析한 보고^{2,3)}도 있다. 그러나 위의 모델들을 사용하면 문턱전압이하의 傳導現狀은 비교적 잘 설명되나 문턱전압이상 즉 電界效果가 일어나는 영역의 傳導現狀은 쉽게 說明되지 않는다. 이에 본 논문에서는, 불순물이 고농도로 주입된 多結晶실리콘의 電氣傳導를 電子의 터널링으로 解析하여 정당성을 밝힌 기존의 문헌들^{10,11,12)}을 확장하여, 薄膜트랜지스터의 電界效果를 說明하고자 하였다. 粒子 하나를 개별 單結晶트랜지스터로, 粒界를 電位障壁을 갖는 絶緣體로 보고 薄膜트랜지스터는 粒子인 單結晶트랜지스터와 粒界인 絶緣空間의 직렬연결로 가정하였다. 粒子에서의 電氣傳導는 gradual channel 근사식으로, 粒界에서의 電氣傳導는 저저항 多結晶실리콘의 경우와 같이 電子의 터널링으로 解析하였다. 본 解析을 통해 薄膜트랜지스터의 出力特性, 채널내 電位 및 電界 분포등을 구한 후 이 결과들을 제조한 CdSe薄膜트랜지스터의 特性과 비교 검토 하였다.

II. 理 論

薄膜트랜지스터의 채널을 粒子和 粒界 두영역으로 나누어 고찰하였다. 그림 1 및 그림 2에 薄膜트랜지스터의 구조 및 트랜지스터 채널에 대한 전기적인 모델이 나타나 있다. 粒子는 單結晶트랜지스터로 粒界는 絶緣體로 가정하였으며, 이때 粒界의 등가저항 R_g 및 粒界의 등가저항 R_b 는 모두 게이트전압의 함수가 된다. 그림 2에서 V_{gn} 은 소스로부터 n번째 粒子양단의 電位差, V_{bn} 은 소스로부터 n번째 粒界 양단의 電位差이며 I_{gn} , I_{bn} 은 각각 n번째 粒子 및 粒界에 흐르는 電流를 나타낸다.

薄膜트랜지스터의 소스와 드레인 사이에 인가된 電位差를 V_{DS} 라 한다면 V_g 와 V_b 는

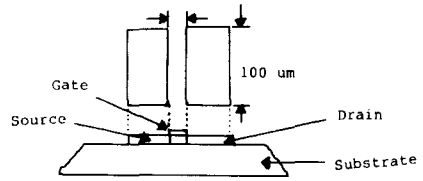


그림 1. 박막 트랜지스터의 구조
Fig. 1. Configuration of TFT.

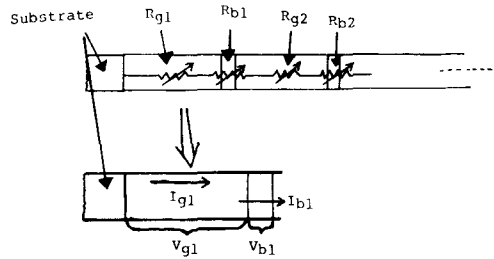


그림 2. 박막트랜지스터 채널의 전기적 모델
Fig. 2. Electrical model of the channel in the TFT

$$\sum_{m=1}^{drain} V_{gm} + \sum_{m=1}^{drain} V_{bm} = V_{DS} \quad (1)$$

이 되며, 電流의 연속성에 의해 소스와 드레인 사이의 전류 I_{DS} 는

$$I_{g1} = I_{g2} = \dots = I_{gn} = I_{b1} = I_{b2} = \dots = I_{bn} = I_{DS} \quad (2)$$

$$I_{DS} = \frac{V_{DS}}{\sum_{m=1}^{drain} R_{gm} + \sum_{m=1}^{drain} R_{bm}} \quad (3)$$

이 된다.

1. 粒子에서의 電界效果

粒子 하나를 單結晶트랜지스터로 보면 粒子에 흐르는 전류는 gradual channel approximation¹⁴⁾ 및 오옴의 법칙을 사용하여 구할 수 있다. 電流 I_g 는

$$I_{gn} = \frac{w \cdot t}{L} q \mu \int_0^{V_{gn}} N_n dV \quad (4)$$

이다. 여기서 w, t, L 은 채널의 너비, 두께, 길이를 나타내며 μ 는 이동도, N_n 은 n번째 粒子에 유기되는

전자의 농도이다. 식(4)에서 게이트전압 V_G 의 영향을 받는 것은 N_n 이며 N_n 은 V_G 와

$$N_n = \left[\frac{C \cdot \{V_G - (\sum_{m=1}^n V_{gm} + \sum_{m=1}^n V_{bm}) - V_T - V\}}{q} \right] \quad (5)$$

의 관계를 갖는다. 여기서 C 는 게이트絶緣층의 단위 면적당 커패시턴스, V_T 는 문턱전압, V 는 각 粒子를 채널로 가정했을때의 채널電位를 나타낸다. 식(4),(5)로부터 n 번째 粒子의 등가저항 및 傳導도는

$$R_{gn} = \frac{L \cdot V_{gn}}{w \cdot t \cdot \mu \int_0^{V_{gn}} N_n dV} \quad (6)$$

$$Q_{gn} = \frac{\int_0^{V_{gn}} q \mu N_n dV}{V_{gn}} \quad (7)$$

이 된다.

2. 粒界에서의 電界效果

粒界에 흐르는 電流는 電子의 터널링으로 解析하였다. 그림 3은 전압이 인가되지 않은 경우의 粒界의 에너지밴드와 게이트 및 粒界에 전압이 인가되었을 경우의 에너지밴드를 나타낸 것이다. ϕ 는 障壁電位, E_{Fn} 은 n 번째 粒子의 유사페르미레벨이다. 粒界에는 다수의 트랩이 존재하고 이 트랩들의 트랩핑에 의해 粒界부근에는 공간전하영역이 존재하게 된다. 空間電荷領域의 크기는 電子의 농도에 반비례한다. 본 논문에서는 문턱전압 이상의 게이트전압이 인가된 경우만을 고려하고 있기 때문에 空間電荷領域의 크기는 粒界에 비해 무시할 정도가 된다. 그러므로 粒界의 電子傳導는 粒界에서의 電子터널링만 고려하면 된다. 粒界에서의 電流는 두종류의 電流成分으로 나눌 수 있다. 電位障壁보다 작은 에너지를 갖는 電子에 의한 電流 I_{n1} 과 電位障壁보다 큰 에너지를 갖는 電子에 의한 電流 I_{n2} 로 구분할 수 있으며

$$I_{n1} = \frac{AA^*T}{K} \cdot$$

$$\left[\int_{\frac{qV_{bn}}{2}}^{q \left(\frac{V_G}{2} + \frac{V_{bn}}{2} \right)} T(E) \{f_1(E) - f_2(E)\} dE \right] \quad (8)$$

$$I_{n2} = AA^*T^2 \{ \text{Exp} \{ (E_{Fn} - q\phi) / kT \} \} \cdot [1 - \text{Exp} \{ -qV_{bn} / kT \}] \quad (9)$$

으로 표시된다. 여기서 A 는 채널의 단면적, T 는 절대온도, $A^* = 4\pi q m^* k^2 / h^3$, $T(E)$ 는 터널링확률, $f(E)$ 는 페르미 분포함수를 나타내며 粒界를 지나는 총전

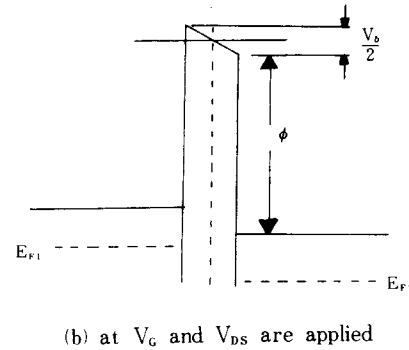
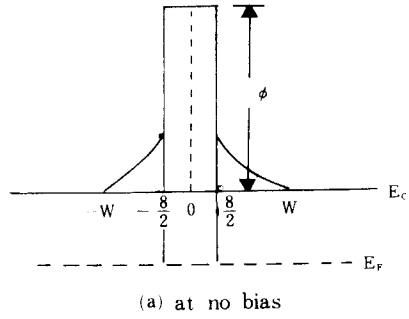


그림 3. 粒界의 에너지 밴드그림
Fig. 3. Energy band diagram at the grain boundary.

류는 I_{n1} 과 I_{n2} 의 합이 된다. 식(8)에서 $f_1(E)$ 와 $f_2(E)$ 는

$$f_1(E) = [1 + \text{Exp} \{ (E - (E_{Fn1} + qV_{bn}/2)) / kT \}]^{-1} \quad (10)$$

$$f_2(E) = [1 + \text{Exp} \{ (E - (E_{Fn2} - qV_{bn}/2)) / kT \}]^{-1} \quad (11)$$

이며 식(8) 및 식(9)에서 電界效果 즉 게이트 전압의 영향을 받는 것은 페르미 레벨이며 이것은 페르미 레벨이 유기된 電子의 농도와 관련되기 때문이다. 페르미레벨 E_{Fn1} 및 E_{Fn2} 는 게이트전압 V_G 와

$$E_{Fn1} = -\frac{E_g}{2} + kT \ln \{ C \cdot (V_G - V' - V_T) / q \cdot t \cdot n_1 + 1 \} \quad (12)$$

$$E_{Fn2} = -\frac{E_g}{2} + kT \ln \{ C \cdot (V_G - V' - V_{bn} - V_T) / q \cdot t \cdot n_1 + 1 \} \quad (13)$$

의 관계를 갖으며 여기서 n_1 는 진성반송자농도, V'

는 채널의 電位, E_g 는 에너지갭이며

$$V' = \sum_{m=1}^n (V_{gm} + V_{bm}) \quad (14)$$

이다. 粒界의 등가저항과 전도도는

$$R_{bn} = \frac{V_{bn}}{(I_{n1} + I_{n2})} \quad (15)$$

$$\sigma_{bn} = \frac{(J_{n1} + J_{n2})}{\epsilon_n} \quad (16)$$

가 되며 ϵ 및 J 는 전계 및 전류밀도를 나타낸다.

3. 터널링 확률의 계산

電 f 의 에너지에 따라 두 범위로 나뉘어야 하며, WKB 근사식^{11,6)}에 의해 터널링 확률 $T(E)$ 는

a) $qV_b/2 \leq E \leq q\phi + qV_b/2$

$$T(E) = \text{Exp} \left[- \left(\frac{4\pi}{h} \right) \int_0^\delta \{ 2m^* (qV(x) - E) \}^{1/2} dx \right]$$

$$= \text{Exp} \left[- \left(\frac{8\pi}{3h} \right) \sqrt{2m^*} \left(\frac{\delta}{qV_b} \right) \left\{ \left(q\phi + \frac{qV_b}{2} - E \right)^{3/2} - \left(\phi - \frac{qV_b}{2} - E \right)^{3/2} \right\} \right] \quad (17)$$

b) $E \geq \frac{qV_b}{2} + q\phi$

$$T(E) = 1 \quad (18)$$

이 된다. 여기서 E 는 전자의 에너지, δ 는 粒界의 크기이며 $V(x)$ 는 粒界의 電位分布로써

$$V(x) = - \frac{V_b}{\delta} x + \phi + \frac{V_b}{2} \quad (19)$$

이다.

III. 結果 및 考察

제시된 傳導모델과 測定결과를 비교하기 위하여 CdSe를 사용하여 薄膜트랜지스터를 제조하였다. 기존의 製造工程¹³⁾을 사용하였으며 CdSe를 선택한 것은 CdSe 薄膜 및 트랜지스터에 대한 정보가 널리 알려져 있어서 모델에 포함된 파라메타들을 구하는데 유리하기 때문이었다. 표 1에 본 논문에서 사용한 파라메타들의 값이 나타나 있다. 粒子의 크기는 SEM 사진에 의한 평균치를 택하였으며 移動度, 有効質量 등은 발표된 문헌들^{14,15)}을 참조하였다. 또 게이트전압하에서의 활성화에너지를 구하여 障壁電位로 하였

표 1. CdSe 박막트랜지스터의 물리적 및 전기적 상수

Table 1. Physical and electrical constants of the CdSe TFT.

Grain boundary thickness (δ)	10Å
Energy barrier ($q\phi$)	0.13eV
Grain size	400Å
Intrinsic carrier density (n_i)	$9.11 \times 10^{10} \text{m}^{-3}$
Effective mass (m^*)	$1.18 \times 10^{-31} \text{kg}$
Mobility (μ)	$500 \text{cm}^2/\text{V}\cdot\text{sec}$
Threshold voltage	1.8V

으며 $C-V$ plot을 통하여 진성반송자농도를 구하였다. 이들을 이용하여 薄膜트랜지스터의 出力特性을 계산하였으며 그 방법은 다음과 같다. 주어진 게이트전압과 드레인전압에서 임의의 전류치를 선택한 후 각 粒子와 粒界에 인가되는 전압을 식(4), 식(8) 및 식(9)를 이용하여 구한다. 이때 구해진 모든 粒子 및 粒界 전압의 합이 드레인전압과 일치하면 그때의 전류가 드레인전류가 된다. 물론 結晶粒子가 작은 경우에는 많은 반복계산이 요구되지만 結晶粒子가 큰 경우에는 몇번의 반복계산으로도 원하는 결과를 얻을 수 있다. 이렇게 얻은 전류값과 측정값을 비교하므로써 제시한 모델의 오차를 확인하였다. 그림 4는 제조한 CdSe 薄膜트랜지스터의 出力特性을 나타낸 것이다. 그림 5에 계산으로 구한 드레인전류값과 측정된 드레인 전류값을 나타내었다. 계산한 전류값이 측정값에 비해 미량 증가한 값으로 나타났다. 이것은 본 논문의 모델에서 무시한 空間電荷 領域과 障壁電位 測定の 불명확성 때문이라 생각된다. 공간 전하영역이 粒界에 존재할 경우 이 영역을 통한 터널링도 고려해야 하므로 電子의 傳導는 粒界 및 공간 전하영역의 터널링에 의해 이루어진다. 그러므로 공간 전하영역의 터널링을 고려하여 계산할 경우 전류값의 감소를 가져올 것이다. 또 활성화에너지를 장벽 에너지로 가정할 경우 粒界의 트랩에 포획되었던 전자의 탈포획(detraping)경향도 활성화에너지 측정에 가미되기 때문에 실제의 전위장벽보다 낮은 값을 障壁電位로 취한 결과가 될 것이다. 그림 6은 2장에서 제시한 전도모델로 부터 구한 채널의 電位分布를 나타낸 것이다. 계산한 몇가지 경우가 모두 유사한 결과를 보였기에 대표로 게이트전압 3V 및 드레인전압 1.1V인 경우의 전위분포를 나타내었다. 드레인에서 첫번째 粒子에는 약 0.013V의 전압이 인가되며 그

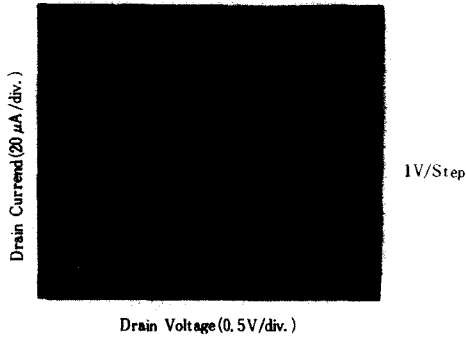


그림 4. CdSe 박막트랜지스터의 출력특성
 Fig. 4. Output characteristics of the CdSe TFT.

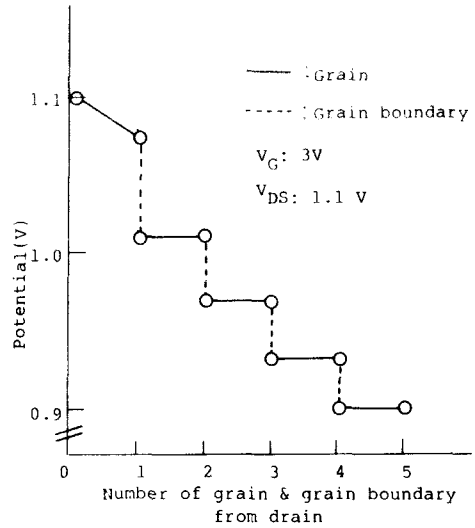


그림 6. 채널의 전위분포
 Fig. 6. Potential distributions in the channel.

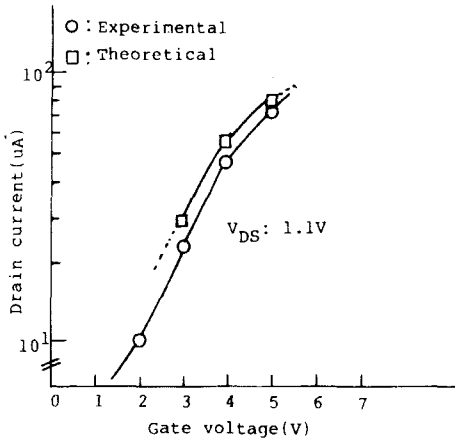


그림 5. 게이트 전압 對 드레인전류 특성
 Fig. 5. Gate voltages vs. drain currents.

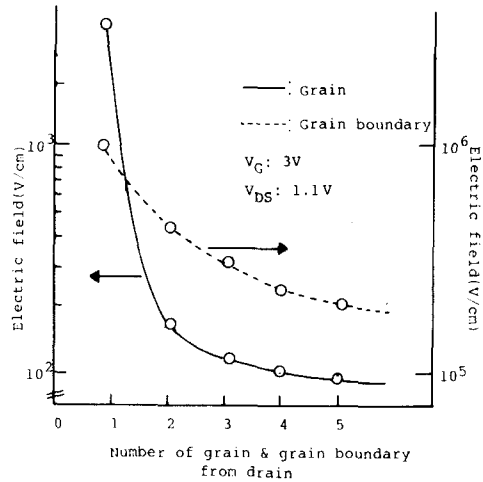


그림 7. 채널의 전계분포
 Fig. 7. Electrical field distributions in the channel.

외의 粒子에는 전압이 거의 인가되지 않는다. 粒界의 경우 첫번째 粒界에는 약 0.1V의 전압이 인가되며 두 번째는 0.046V, 세 번째는 0.033V 그후는 거의 직선적으로 전압이 감소한다. 그림 7은 채널의 전계분포를 나타낸 것이다. 약 10^6 V/cm의 전계가 첫번째 粒界에 인가되며 그후의 粒界에 인가되는 전계는 거의 직선적으로 감소한다. 첫번째 粒子에는 약 4×10^3 V/cm의 전계가 인가되며 두번째 粒子에는 약 10^2 V/cm로 크게 감소하며 그후에는 적은 기울기로 감소한다. 이로 볼때 박막트랜지스터의 전계효과에 주된 영향을 미치는 영역은 드레인쪽의 첫번째 粒子和 10개 미만의 粒界라는 것을 알 수 있으며 대부분의 粒子는

粒界 양쪽에 부착된 도체로 간주해도 무방하다는 것을 알 수 있다. 이것은 多結晶半導體의 전기적특성을 粒界의 특성으로 해석한 기존의 이론들^{17,18,19}과 부합되는 결과이다. 그러나 본 모델에서는 粒界의 중요성을 지적하면서도 粒界의 트랩밀도, 트랩준위등 粒界의 구체적인 특성은 밝히지 못하고 있다. 다만

粒界에 존재하는 트랩이 트랜지스터의 문턱전압에 영향을 미칠 것이라고 보고 모든 트랩의 영향을 문턱전압으로 묶었으며 그 값은 측정값으로 대치하였다. 또 본 모델은 문턱전압에서 포화영역($V_G = V_{DS} - V_T$)에 이르는 범위에서만 적용가능하다. 문턱전압 이하에서 다결晶트랜지스터의 동작은 粒界의 트랩에 의한 공간전하영역의 역할이 중요시 되어야 할 것이다. 이것은 기존의 다결晶半導體 傳導理論^{1,2,3}으로서 解析가능할 것이다. 그러나 포화영역 이상의 경우 계속적인 전류의 증가현상이 나타난다. 이것은 半導體 표면에 의한 누설전류 혹은 粒界의 절연과과 등으로 추측되나 명확한 解析은 내리지 못하고 있다. 그러나 상기한 많은 문제점을 감안하더라도 본 논문에서 제시한 모델은 다결晶薄膜트랜지스터의 전계효과 해석에 부분적이거나 성공적인 결과를 획득한 것으로 사료된다.

IV. 結 論

본 논문에서는 다결晶薄膜트랜지스터의 電界效果 解析을 위한 1차원모델을 제시하였다. 粒子를 單結晶트랜지스터, 粒界를 電位障壁 그리고 박막트랜지스터를 이들의 직렬연결로 가정하였다. 본 모델을 통해 채널의 전위 및 전계분포를 구한 결과 다음의 결론을 얻을 수 있었다. 粒子에 인가되는 전위 및 전계는 드레인에서 첫번째 粒子를 제외하고는 무시할 수 있을 정도이며 粒界에 인가되는 전위 및 전계도 드레인 부근의 수개의 粒界외에는 무시할 정도이다. 그러므로 다결晶트랜지스터의 전계효과는 粒界 특히 드레인 부근 粒界의 전위차 및 전위장벽등에 의해 解析될 수 있으며, 이것은 粒子를 도체로 보고 粒界를 저항으로 본 기존의 다결晶半導體 전도모델과 부합되는 결과이다. 본 모델은 結晶의 재성장 등에 의해 제조된 큰 結晶粒 薄膜트랜지스터의 전도모델로 더 유용할 것으로 기대된다. 왜냐하면 재결정성장에 의해 제조된 素子の 경우 채널내의 粒界가 수개정도 될 것이고 이것은 전류, 전압계산을 훨씬 용이하게 할 것이기 때문이다. 이 경우 본 모델을 薄膜 트랜지스터의 素子모델링으로 확장할 수 있을 것으로 기대되나 우선은 문턱전압이하 및 포화영역 이상에서의 전계효과해석이 선행되어야 할 것이다.

參 考 文 獻

[1] J.R. Davis, Anthony E. Glaccum etc., "Improved subthreshold characteristics of n-

channel SOI transistors," *IEEE Electron Device Letters*, vol. EDL7, no. 10, pp. 570-572, October 1986.

- [2] J.P. Colinge, "Subthreshold slope of thin film SOI MOSFET's," *IEEE Electron Device Letters*, vol. EDL-7, no. 4, pp. 244-246, April 1986.
- [3] S.K. Madan and D.A. Antoniadis, "Leakage current mechanisms in Hydrogen-passivated fine grain polycrystalline SOI MOSFET's," *IEEE Trans. on Electron Devices*, vol. ED-33, no. 10, pp. 1518-1528, October 1986.
- [4] G.K. Celler, "Laser crystallization of thin Si films on insulating substrate," *J. of Crystal Growth*, vol. 63, pp. 429-492, 1983.
- [5] M.W. Geis etc., "Zone melting recrystallization to fabricate 3D structure," *IEEE Electron Device Letters*, vol. EDL-7, pp. 41-43, January 1986.
- [6] C.E. Hund etc., "Electrical and physical properties of rapid zone recrystallized SOI made using a pulsed arc lamp," *Extended abstracts of the 18th Conference on Solid Devices and Materials*, Tokyo, pp. 561-564, 1986.
- [7] J.Y. Seto, "The electrical properties of polycrystalline Si films," *J. Appl. Phys.*, vol. 46, pp. 5247-5254, 1975.
- [8] G. Baccarani, B. Ricco, and G. Spadini, "Transport properties of polycrystalline Si films," *J. Appl. Phys.*, vol. 49, pp. 5565-5570, 1978.
- [9] M.M. Mandura etc., "Dopant segregation in polycrystalline silicon," *J. Appl. Phys.*, vol. 51, pp. 5755-5763, 1980.
- [10] Nicky Chau-chun Lu etc., "A conduction model for semiconductor-grain boundary-semiconductor barriers in polycrystalline Si films," *IEEE Trans. on Electron Devices*, vol. ED-30, no. 2, february 1983.
- [11] D.P. Joshi and R.S. Srivastava, "A model of electrical conduction in polycrystalline silicon," *IEEE Trans. on Electron Devices*, vol. ED-31, no. 7, July 1984.
- [12] Nicky Chau-chun etc., "Modeling and optimization of monolithic polycrystalline silicon resistors," *IEEE Trans. on Electron Devices*, vol. ED-28, no. 7, July 1981.
- [13] F.C. Luo and K.J. Rechardson, "A reflective CdSe TFT-LC display panel," *SID Symp. Dig.*, pp. 184-186, 1983.

- [14] C. Tickle, *Thin film transistors*, John Wiley and Sons, Inc., New York, 1969.
- [15] R.H. Bube, *Photoconductivity of solid*, Robert E. Krieger Publ. Co., New York, 1978.
- [16] L.I. Schiff, *Quantum mechanics*, McGraw-Hill, Inc., pp. 268-271, 1968. *

 著 者 紹 介



馬 大 泳 (正會員)

1956年 12月 2日生. 1980年 2月
 경북대학교 전자공학과 졸업. 1985
 年 8月 경북대학교 대학원 전자
 공학과 공학박사학위 취득. 1985年
 9月~1987年 3月 한국전자통신
 연구소 반도체 설계부 선임연구원.

1987年 4月~현재 경상대학교 전기공학과 조교수.
 주관심분야는 다결정 박막트랜지스터 모델링, SOI
 등임.