

게이트 어레이의 채널 배선을 위한 전처리

(A Preprocess of Channel Routing for Gate Arrays)

金承淵*, 李建培**, 鄭正和*

(Seung Youn Kim, Keon Bae Lee and Jong Wha Chong)

要 約

본 논문에서는 semi-custom 방식의 레이아웃 설계중 게이트 어레이의 배선 설계에서 배선의 효율을 높이기 위한 전처리 과정에 대해 논한다.

Global 배선 설계의 결과로 주어진 각 채널에서의 핀 정보중 논리적으로 등가인 핀의 위치를 교환함으로써 detailed 배선에서 발생하는 싸이클을 해소할 수 있으며, 신호선의 분할에 의해 이웃하는 채널에서 중복으로 연결되는 신호선이 제거됨으로써 트랙수의 증가를 억제한다.

Abstract

A new preprocess technique is presented which can improve the routing efficiency in the gate array layout designs.

In order to resolve the cycle problem in the detailed routing, we exchange the logically equivalent pins in each channel. The signal nets are divided, and doubly connected signal net components are removed, so that the increase in the number of tracks can be controlled.

I. 서 론

최근 집적 회로 기술의 급속한 발전으로 인하여 시스템의 life-cycle이 짧아짐에 따라 단시간내에 소량 다품종의 집적 회로를 설계하기 위한 설계 자동화 시스템의 필요성이 크게 증가하였다. 집적 회로의 설계 시간을 단축시킴으로써 설계 비용을 절감하기 위하여 규칙적인 구조를 갖는 기본 구조를 이용하여 설계하는 semi-custom 설계 방식이 널리 사용되고 있다.

Semi-custom 설계 방식중의 하나인 게이트 어레이 방식은 설계 시간을 단축할 수 있는 장점으로 인해 소량 다품종 LSI/VLSI 칩 설계에 많이 이용되고 있다.

게이트 어레이 칩은 기본 셀(core cell)이나 마크로 셀을 위치시키는 셀 row와 셀 row사이의 직사각형의 배선 영역이 반복되는 구조로 구성되므로 배선 설계에서 global 배선법¹⁾과 채널 배선법²⁾이 널리 사용되고 있다.

배선 설계시 우선 global 배선에 의해 각 셀 row에서 feed through를 할당하고 각 신호선의 가상 경로를 결정한 후 각 채널에서의 핀 정보를 출력하게 된다. 이 때, 배선 설계의 목적 함수로서 최소 배선장을 만족하는 것이 중요하나, 게이트 어레이 칩과 같이 배선 영역의 크기가 고정되어 있는 경우 특정 채

*正會員, 漢陽大學校 電子工學科
(Dept. of Elec. Eng., Hanyang Univ.)

**正會員, 上智大學校 電算學科
(Dept. of Computer Science, Sangji Univ.)

接受日字: 1989年 2月 15日

널에 신호선이 집중되어 배선 밀도가 높아지면 전체 배선 영역이 커지고 이로 인해 더 큰 칩의 사용이 요구된다. 따라서, 배선 밀도를 전체의 배선 영역에 균일하게 분포시킴으로써 칩 이용율을 증가시키고 주어진 칩내에서 100% 배선이 가능하게 한다.

Global 배선이 종료되어 각 채널에서의 핀 정보가 출력되면 각 채널에서의 최종 배선의 해를 얻기 위해 채널 배선을 행한다. 기존의 채널 배선은 이웃하는 채널에서의 핀 정보는 고려하지 않고, 대상이 되는 채널의 상측 블럭과 하측 블럭의 핀 정보만을 이용하여 배선을 행하므로 global 배선에서 결정한 가상 경로와는 별도로 신호선이 중복해서 연결되는 경우가 발생한다. 이는 채널 배선이 각 채널의 정보를 이용하여 순차적으로 수행되기 때문이며, 이로 인해 global 배선 단계에서 예측한 배선 밀도 즉, 예상 트랙수를 초과하게 되어 배선 밀도의 균일화를 만족하지 못하는 경우가 발생한다.

또한, global 배선의 결과로 부터 채널 배선을 행하는 경우, 싸이클이 발생하여 배선이 불가능한 경우가 발생하고 이를 해소하기 위하여 추가의 트랙이 소요되거나 dummy 셀이 필요하게 된다.

본 논문에서는 게이트 어레이 방식의 레이아웃 설계에서 global 배선에 의해 정해진 각 채널에서의 핀 정보로부터 효율적인 채널 배선의 결과를 얻기위한 전처리 과정을 제안한다.

Global 배선의 출력으로 얻은 각 채널에서의 핀 정보로부터 기존의 채널 배선법을 사용하는 경우, 한 채널에서의 핀 정보만을 사용하여 배선을 행함으로써 발생할 수 있는 신호선의 중복 연결이나 불필요한 부분의 연결을 피하기 위해 각 채널에서 핀의 연결 정보를 이용하여 신호선을 분할한다.

또한, 각 기본 게이트 또는 매크로 셀의 논리적 등가 핀들을 교환함으로써 채널 배선시 각 채널에서 발생하는 싸이클을 해소한다.

신호선 분할과 핀 교환에 의한 각 채널에서의 핀 정보를 채널 배선의 입력으로 출력함으로써 배선의 효율을 증가시킨다.

II. 배선 밀도 균일화를 위한 신호선 분할

1. 게이트 어레이의 배선

일반적인 채널 배선법⁽⁴⁻⁶⁾은 배선의 대상이 되는 채널에서 상하 블럭의 핀 정보를 이용하여 배선을 행한다. 이는 단지 현재 배선이 진행되는 채널에서의 핀 정보만을 고려하므로 각 채널에서의 최적해만을 구하면 된다. 그러나, 게이트 어레이 칩과 같은 semi-

custom 칩은 배치 영역과 배선 영역이 반복되는 구조를 가지며 배선 영역의 크기가 고정되어 있으므로 특정 채널에서의 배선 밀도가 높아지면 칩 이용율이 저하되고, 이로 인해 100% 배선이 불가능한 경우가 발생한다. 따라서, 특정 채널에서의 배선 밀도가 증가하는 것을 방지하기 위해 global 배선 단계에서 확실적인 신호선 혼잡도⁽⁷⁾ 등을 도입하여 신호선들이 이웃하는 채널로 우회하여 신호선의 경로를 결정함으로써 전체적인 신호선 혼잡도를 균일하게 한다.

6개의 기본 게이트가 배치 설계의 결과로 그림1과 같이 배치되었다고 가정하고 배선 설계에서 우선 global 배선에 의해 신호선 S1과 S2의 가상 경로를 결정하게 된다. 신호선간의 우선 순위에 의해 신호선 S1의 가상 경로가 결정된 후 신호선 S2의 가상 경로를 결정하는 과정에서 채널 1의 x1에서 x2 사이의 배선 밀도가 높은 경우에는 특정 채널의 배선 밀도가 증가하는 것을 방지하고 배선 밀도를 균일하게 하기 위해 이 부분을 피해 이웃하는 채널을 사용하여 점선과 같이 신호선 S2의 가상 경로를 설정한다.

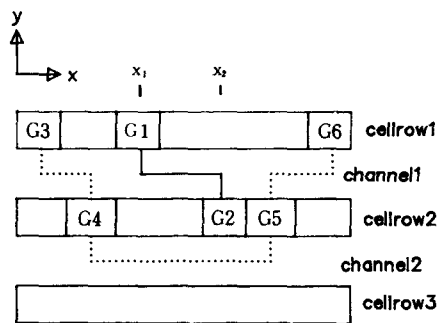


그림 1. 배치 결과
Fig. 1. Placement result.

Global 배선이 종료되면 그림 2와 같이 각 채널에서의 핀 정보를 출력하게 된다. 이 핀 정보를 detailed 배선의 입력으로 받아 들어 채널 배선법에 의해 배선을 행한다. 기존의 채널 배선법은 대상이 되는 각 채널에서의 핀 정보만을 이용하여 배선을 행하므로 채널별로 순차적으로 배선을 행하는 경우 배선 결과는 그림 3(a)와 같다. 그러나, global 배선 단계에서 특정 채널에서의 신호선 혼잡도를 줄이기 위하여 신호선 S2의 일부를 우회시켜 가상 경로를 설정하고

핀 정보를 출력하였으므로 단순히 순차적인 채널 배선에 의해서 그림 3(b)와 같은 원하는 해를 구할 수 없다. 결과적으로 global 배선의 예측과는 달리 불필요한 부분이 연결됨으로써 채널 1에서의 트랙수가 증가하는 경우가 발생한다.

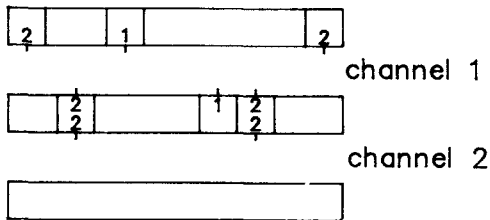


그림 2. Global 배선에 의한 핀 정보
Fig. 2. A pin information by global routing.

트 어레이의 배선 설계에 알맞는 채널 배선법이 필요하다라는 단점이 있다.

따라서, 기존 채널 배선법을 사용하기 위해서는 global 배선의 결과로 출력된 각 채널에서의 핀 정보를 이용하여 신호선을 분할함으로써 신호선의 중복 연결과 불필요한 부분의 연결을 피할 수 있게 한다.

2. 신호선 분할

신호선의 분할은 채널내의 한 신호선을 연결 상태에 의해 하나 이상의 신호선으로 분리하는 과정이다.

신호선이 분할되어야 하는 경우는 크게 2가지로 나눌 수 있다.

(1) 채널의 일부분에서 혼잡도가 높으므로 feed-through를 할당하여 이웃하는 채널로 우회하여 경로를 설정하는 경우(그림 4(a))

(2) 기본 게이트의 상하 핀이 등전위이므로 신호선의 일부를 이웃하는 채널로 우회하여 경로를 설정하는 경우(그림 4(b))

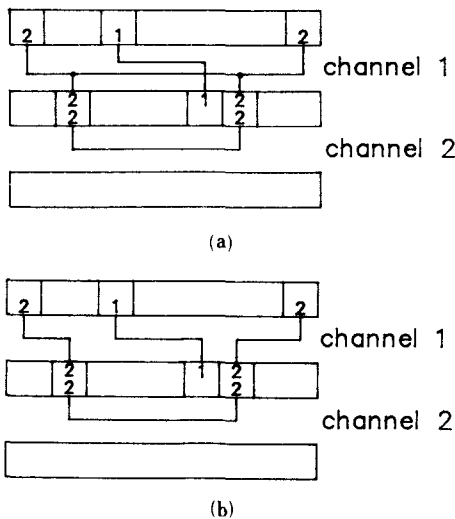


그림 3. 채널 배선에 의한 배선 결과
(a) 기존의 채널 배선법에 의한 순차적인 배선
(b) 원하는 배선 결과

Fig. 3. Routing result by channel routing.
(a) Sequential routing by typical routing.
(b) A desired routing result.

이러한 문제점을 해소하기 위하여 채널 배선법을 수정하여 이웃하는 채널에서 중복 연결되는 신호선들의 연결을 피하는 방법을 사용하는 경우에는 기존의 채널 배선법을 그대로 이용할 수 없으므로 게이

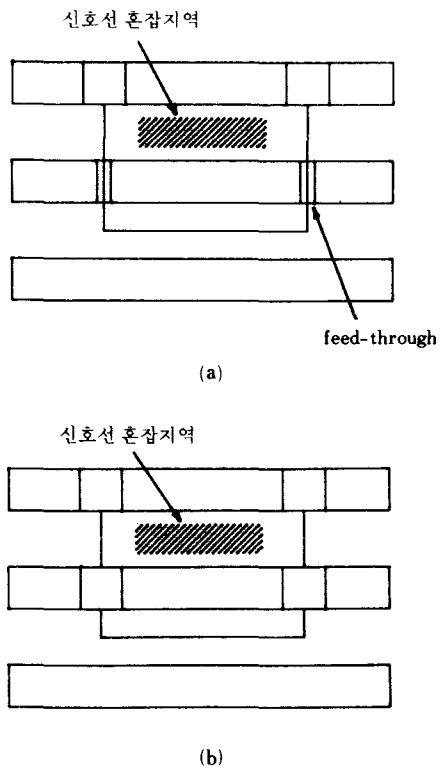


그림 4. 신호선의 우회
Fig. 4. Detour of a net.

이와 같이 신호선의 중복 연결을 방지하기 위해서는 실제적으로 연결이 필요한 부분을 결정해야 하지만, 단지 각 채널의 상하 연결 요구, 즉 배선 요구로부터 채널내에서 채널 배선을 위해 실제로 연결되어야 하는 핀의 쌍을 결정할 수 없다. 따라서, 대상이 되는 채널과 이웃하는 채널에서의 핀 정보를 이용하여 채널내에서 연결되어야 하는 핀의 쌍을 결정함으로써 중복 연결 방지를 위한 신호선 분할을 행한다.

신호선을 분할하기 위해서 채널내에서 연결되는 핀 쌍을 결정하는 과정은 다음과 같다. 이 때, 신호선들 중 셀 row를 건너서 연결 요구가 있는 신호선들이 신호선 분할을 위한 후보 신호선이며, 후보 신호선들에 대해 신호선 분할을 수행한다.

[단계 1] 후보 신호선에 대해 채널내의 핀 번호를 절점으로 하고 핀간의 연결을 예지로 하는 방향성 그래프를 구성한다. 절점은 채널내에서의 연결 요구인 핀들이 되며, 채널의 좌측으로 부터 시작하여 채널의 상측(하측)핀에서 하측(상측) 핀으로 연결이 되는 경우에는 방향성 예지를 부여하고 상측(하측)핀에서 상측(하측) 핀으로 연결이 되는 경우에는 무방향성 예지를 부여한다.

[단계 2] 구성된 그래프로 부터 방향성 예지와 무방향성 예지가 동시에 존재하는 핀들중 무방향성 예지에 의해 서로 연결이 되는 핀쌍은 신호선의 분할이 필요한 후보 핀들이 되므로 핀 정보를 저장한다.

[단계 3] 후보 핀들중 핀과 같은 x좌표에서 이웃하는 채널에서의 핀 번호가 동일한 경우, 즉 상측 또는 하측의 핀 번호가 동일한 경우에는 이 핀들에 의해 신호선이 분할된다.

[단계 4] 단계 3을 만족하는 핀쌍간의 연결을 피하기 위하여 우측에 존재하는 핀의 번호를 변경하여 확장된 핀 번호를 부여한다.

[단계 5] 채널의 우측으로 진행하면서 단계 4를 수행한다.

[단계 6] 채널내의 후보 신호선에 대해 위의 과정을 반복한다.

그림 5(a)와 같은 배선 요구에 대해서 후보 신호선 S2로 방향성 그래프를 구성하면 그림 5(b)와 같다. 이 그래프에서 [단계 2]를 만족하는 핀쌍이 존재하므로, 이 핀들의 이웃하는 채널에서의 핀 번호를 점검한다. 그림 3(c)와 같이 하측 채널의 핀 번호가 동일하므로, [단계 3]을 만족하므로 중복 연결을 피하기 위하여 그림 5(d)와 같이 우측 핀의 번호를 조정하여 핀 번호를 변경함으로써 신호선을 분할한다.

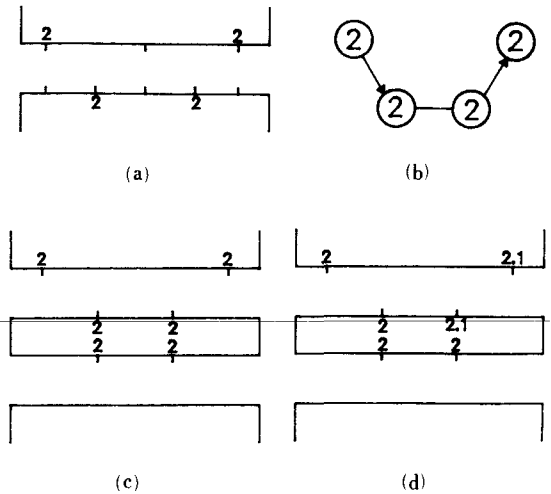


그림 5. 신호선 분할
(a) 연결 요구 (b) 방향성 그래프
(c) 이웃하는 채널의 핀 정보
(d) 핀 번호의 변경

Fig. 5. Net division.
(a) Routing requirement.
(b) Directed graph.
(c) Pin information of neighborred channel.
(d) Adjustment of pin number.

확장된 핀 번호에 의해 채널내에서 실제적으로 연결되어야 하는 신호선의 부분이 결정되며, 이로 인해 신호선의 중복 연결과 불필요한 부분의 연결을 방지함으로써 global 배선의 목적 함수에 맞는 배선 결과를 얻을 수 있다. 즉, 게이트 어레이에서의 배선 밀도의 균일화를 만족할 수 있다.

III. 싸이클 해소를 위한 등가 핀 교환

채널 배선에서 싸이클이 발생하면 이를 해소하는 방법으로는 dummy 셀을 부여하거나 dogleg 배선법에 의한 방법 등이 있다. 그러나 게이트 어레이의 경우에는 게이트 어레이의 구조적 특성상 기본 셀이나 마크로 셀의 입력 핀들이 논리적으로 등가를 이루고 있으므로 등가의 핀 위치를 교환하여 수직 제한이 발생하는 신호선의 위치를 변경함으로써 채널내의 싸이클을 해소하는 방법⁷⁾을 사용할 수 있다.

특히, 채널 배선법은 일반적으로 셀의 핀들이 위치하는 층을 고정시킴으로 셀의 핀과 신호선을 연결하기 위해서는 특정 층을 사용하게 된다. 이 때, 수직, 수평 성분 신호선이 위치하는 층을 분할하는 2층 배선법과 같이 신호선간에 수직 제한이 발생하는 경우

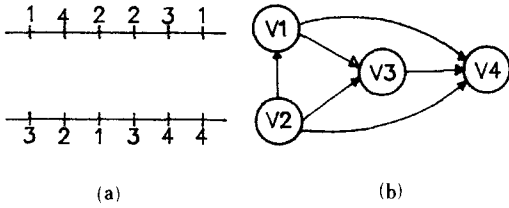


그림 6. 배선 요구와 수직 제한 그래프
Fig. 6. Routing requirement and vertical constraint graph.

에는 수직 제한이 발생하는 신호선이 연결되어 있는 핀들중 교환 가능한 논리적 등가 핀을 교환함으로써 싸이클을 해소할 수 있다.

채널 배선의 배선 요구는 채널의 상측, 하측 블럭의 핀 번호로 주어지며, 배선은 등전위의 핀들을 연결하기 위해 각 신호선이 위치하는 트랙을 할당하는 과정이다. 이 때, 주어진 배선 요구는 각 채널에서 신호선의 번호로 주어지므로 숫자의 집합으로 표시된다.

그림 6(a)와 같이 주어진 배선 요구에 대해 수직 제한 그래프를 구성하면 그림 6(b)와 같으며, 이 수직 제한 그래프로부터 3개의 싸이클이 발생하는 것을 알 수 있다. 즉, 신호선의 수평 성분이 서로 상측 트랙에 위치해야 하므로 추가의 트랙과 핀이 있어야 배선이 가능한 것을 알 수 있다.

게이트 어레이 방식은 기본 셀과 매크로 셀을 이용하여 논리를 구성하므로 기본 게이트나 매크로 함수의 입력 핀들간에는 논리적으로 등가의 핀들이 존재한다. 이는 핀의 연결이 변경되더라도 등가의 핀인 경우에는 논리나 전기적으로 문제가 발생하지 않는 것을 의미한다.

그림 7과 같이 기본 게이트의 입력 핀들중 등가의 핀이 존재하는 경우, 등가의 핀 정보를 이용하여 핀들을 교환함으로써 채널내에서 발생하는 싸이클을 감소시키기 위한 핀 교환법^[7]을 수행할 수 있다.

채널내의 신호선들간의 관계를 나타내는 수직 제한 그래프에서 발생하는 싸이클의 수는 그래프 이론으로부터 구할 수 있다. 이는 수직 제한 그래프, $G = (V, E)$ 로부터 strongly connected component인 sub 그래프, $G_i = (V_i, E_i)$ 들을 구한 후 component들의 에지 와 절점의 갯수로 부터 수직 제한 그래프를 갖는 싸이클의 갯수를 구할 수 있다.^[8]

그림 6(a)의 배선 요구에서 그림 7과 같이 논리적으로 등가 핀에 관한 정보를 이용하여 상부 블럭의

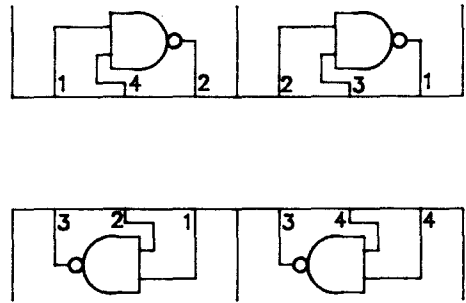


그림 7. 등가 핀 정보
Fig. 7. The information of equivalent pin.

핀중 4번, 1번 신호선이 연결될 핀을 교환한 후 수직 제한 그래프를 재구성하면 그림 8과 같다. 재구성된 수직 제한 그래프에서는 2개의 싸이클이 발생하므로 핀 교환에 의해 싸이클의 수가 감소함을 알 수 있다.^[7]

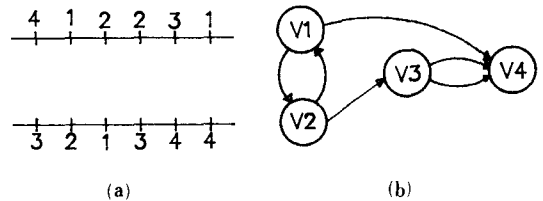


그림 8. 핀 교환 후의 배선 요구와 수직 제한 그래프
Fig. 8. Routing requirement and vertical constraint graph after pin exchange.

논리적으로 등가인 핀들에 대해 핀의 교환을 반복 수행하여 채널내의 싸이클이 해소될 때까지 핀을 교환한다. 그 결과 채널내에서의 배선 요구는 그림 9와 같이 변경되며, 모든 싸이클이 해소됨으로써 4개의 트랙으로 배선이 가능함을 알 수 있다.

IV. 실험 및 고찰

본 논문의 배선법은 2층 배선을 사용하는 게이트 어레이의 배선에서 사용되며, 레이아웃 배선 설계에서 global 배선이 종료된 후 최종 배선 패턴을 결정하는 채널 배선이 수행되기 전 단계에서 신호선 분할과 핀 교환이 수행된다. 즉, 채널 배선의 전처리(preprocess) 과정이다.

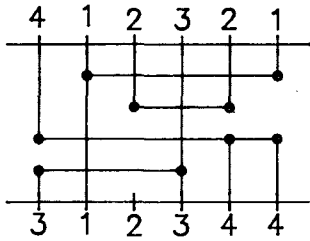


그림 9. 핀 교환 후의 배선 결과
Fig. 9. Routing result after pin exchange.

신호선 분할과 등가 핀 교환은 게이트 어레이의 채널별로 수행되며, 순차적으로 상측 채널로부터 하측 채널로 수행한다. 게이트 어레이의 배선 설계 과정의 흐름도는 그림10과 같이 구성된다.

본 논문의 배선법은 C언어로 프로그래밍하여 IBM-PC/AT에 실현하였다.

본 논문의 신호선 분할과 핀 교환을 실제의 배선에 적용하여 게이트 어레이의 배선 영역중 일부 채널의 배선이 완료된 결과는 그림12와 같다. 반면, 이 신호선 분할과 핀 교환 과정을 고려하지 않은 경우의 배선 결과는 그림11과 같다.

그림11의 경우, 싸이클에 의해 채널 1에서 신호선 (41)이 미결선되어 100% 배선이 완료되지 않았으며, 9개의 트랙이 소요됨을 알 수 있다. 그러나, 그림12의 경우, 전처리 과정에서의 신호선 분할에 의해 채널 i에서 신호선 59가 신호선 59와 신호선 59*로 분

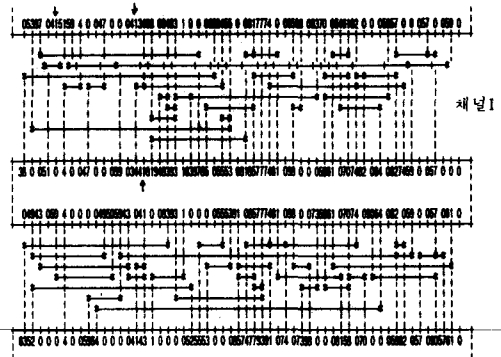


그림11. 배선 결과
Fig. 11. Routing result.

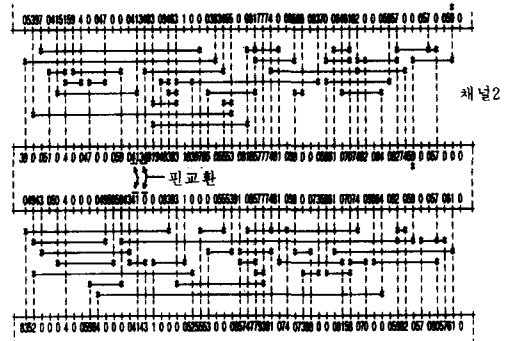


그림12. 배선 결과(전처리 과정 포함)
Fig. 12. Routing result (with preprocess).

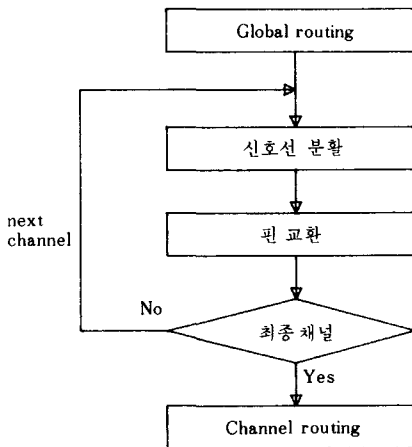


그림10. 게이트 어레이의 배선 설계 흐름도
Fig. 10. The flow of gate array routing.

할됨으로써 신호선의 중복 연결이 방지됨으로써 8개의 트랙이 소요되며, 등가의 핀 교환에 의해 싸이클이 해소됨으로써 100% 배선이 가능하다.

따라서, 전처리 과정을 수행한 배선 요구를 채널 배선의 입력으로 사용하는 경우, 채널내의 싸이클이 해소되고 채널에서의 최대 트랙수의 증가를 억제함으로써 global 배선 단계에서 예측한 균일한 배선 밀도를 만족함을 알 수 있다.

V. 결 론

본 논문에서는 게이트 어레이 방식의 레이아웃 설계에서 global 배선에 의해 정해진 각 채널에서의 핀 정보로부터 효율적인 채널 배선 결과를 얻기 위한 전처리 과정을 제안하였다.

Global 배선의 출력으로 얻은 각 채널에서의 핀 정보로부터 기존의 채널 배선법을 사용하는 경우, 한 채널에서의 핀 정보만을 사용하여 배선을 행함으로써 발생할 수 있는 신호선의 중복 연결이나 불필요한 부분의 연결을 피하기 위해 각 핀의 연결 정보를 이용하여 신호선을 분할한다.

또한, 채널 배선시 각 채널에서 발생하는 싸이클을 해소하기 위하여 각 기본 게이트 또는 매크로 셀의 논리적 등가 핀들을 교환한다.

신호선 분할과 핀 교환에 의한 각 채널에서의 핀 정보를 채널 배선의 입력으로 출력함으로써 배선의 효율을 증가시킨다.

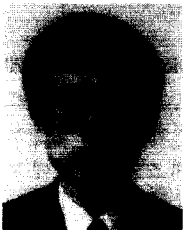
따라서, 기존의 global 배선법과 채널 배선법을 그대로 사용하면서 게이트 어레이의 레이아웃 설계에서 발생하는 문제점을 해소할 수 있다.

参 考 文 献

[1] B.S. Ting and B.N. Tien, "Routing techniques for gate array," *IEEE Trans. on CAD*, vol. CAD-2, no. 4 pp. 301-312, 1983.
 [2] Jeong-Ting Li and M.M. Sadowska, "Global

routing for gate array," *IEEE Trans. on CAD*, vol. CAD-3, no. 4, pp. 298-307, 1984.
 [3] 배영환 "VLSI 설계 자동화를 위한 Gate Array Global Router에 관한 연구," 한양대학교 대학원 석사학위 논문, 1987.
 [4] T. Yoshimura and E.S. Kuh, "Efficient algorithms for channel routing," *IEEE Trans. on CAD*, vol. CAD-1, no. 1. pp. 25-35, 1982.
 [5] D.N. Deutsch, "A dog-leg channel router," *Proc. 13rd Design Automation Conf.*, pp. 425-433, 1976.
 [6] 강 인 "VLSI의 Detailed Router 개발에 관한 연구," 한양대학교 대학원 석사학위 논문, 1987.
 [7] M. Terai, "A method of improving the terminal assignment in the channel routing for Gate arrays," *IEEE Trans. on CAD*, vol. CAD-4, no. 3, pp. 329-336, 1985.
 [8] R. Tarjan, "Depth-first search and linear graph algorithm," *SIAM J. Compt.*, vol. 1, no. 2, pp. 146-160, June 1972. *

著 者 紹 介



李 建 培 (正會員)
 1959年生. 1982年 2月 한양대학교 전자공학과 졸업. 1984年 2月 한양대학교 대학원 전자공학과 졸업. 1989年 2月 한양대학교 전자공학과 박사학위 취득. 현재 상지대학 전산학과 전임강사. 주관심분야는 VLSI CAD, 레이아웃 설계 및 검증, 알고리즘 등.

金 承 淵 (正會員) 第26卷 第2號 参照
 현재 국립 대전공업대학 전자계산학과 조교수

鄭 正 和 (正會員) 第26卷 第1號 参照
 현재 한양대학교 전자공학과 부교수