

DC 스트레스에 의해 노쇠화된 LDD MOSFET에서 문턱 전압과 Subthreshold 전류곡선의 변화

(The Shift of Threshold Voltage and Subthreshold Current Curve in LDD MOSFET Degraded Under Different DC Stress-Biases)

李明福*, 李精一*, 姜光男*

(Myoung Bok Lee, Jung Il Lee and Kwang Nham Kang)

要 約

DC 스트레스에 의해 노쇠화된 짧은 채널 LDD NMOSFET에서 문턱전압과 subthreshold 전류곡선의 변화를 관측하여 hot-carrier 주입에 의한 노쇠화를 연구하였다. 포화영역에서 정의된 문턱전압의 변화 ΔV_{tex} 를 trapped oxide charge에 기인한 변화성분 ΔV_{ot} 와 midgap에서 문턱전압 영역에 생성된 계면상태에 의한 변화성분 ΔV_{it} 로 분리하였다. 게이트 전압이 드레인 전압보다 큰 positive oxide field ($V_g > V_d$) 조건에서는 전자들이 게이트 산화막으로 주입되어 문턱전압이 증가되었으나 subthreshold swing은 크게 변화하지 않고 subthreshold 전류곡선만 높은 게이트 전압으로 평행 이동하였다. 게이트 전압이 드레인 전압보다 낮은 negative oxide field ($V_g < V_d$) 조건에서는 hole이 주입되고 포획된 결과를 보였으나 포획된 positive charge수 보다 더 많은 계면상태가 동시에 생성되어 문턱전압과 subthreshold swing이 증가되었다.

Abstract

The degradation phenomena induced by hot-carrier injection was studied from the shift of threshold voltage and subthreshold current curve in LDD NMOSFET degraded under different DC stress-biases. Threshold voltage shift ΔV_{tex} defined in saturation region was separated into contributions due to trapped oxide charge ΔV_{ot} and interface traps ΔV_{it} generated from midgap to threshold voltage. Under the positive stress electric field ($V_g > V_d$) condition, the shift of threshold voltage was attributed to the electrons trapped at gate oxide but subthreshold swing was not changed and subthreshold current curve showed only parallel shift to higher gate voltage. Under the negative stress electric field ($V_g < V_d$) condition, holes seems to be injected into gate oxide and trapped but the number of generated interface traps exceed that of trapped positive charges so threshold voltage and subthreshold swing were increased.

I. 서 론

최근 VLSI 기술분야는 집적도 증가에 따라 $1\mu\text{m}$

이하의 짧은 게이트 길이를 가진 MOSFET이 요구되고 있으며 소자 크기의 감소는 고정된 동작전압에 대해 상대적으로 높아진 전장에 기인하는 hot-carrier 효과를 유발하여 신뢰성을 저하시킨다. 문턱전압 천이와 transconductance의 감소 등으로 특징 지워지는 hot-carrier 효과는 전자들의 trapping¹⁾과 계

*正會員, 韓國科學技術院 光電子工學 研究室
(Dept. of Optical Electron., KAIST)
接受日字: 1989年 2月 3日

면상태 생성^[1] 등이 그 원인으로 해석되기도 하고 hole의 trapping과 계면상태 생성에^[2-4] 의한 효과라는 상반된 결과도 보고되어 노쇠화 기구의 해석에 일관성이 결여된 것처럼 보인다. 그러나 최근에 Fu, et al.^[5]와 Trocino, et al.^[6]은 이러한 상반된 결과가 hot-carrier 효과 연구에 사용되는 스트레스 조건의 변화에 의한 것으로 해석하였다. 즉 게이트 전압이 드레인 전압보다 큰 positive oxide field 스트레스에 대해서는 국부적인 전자 trapping이 그 원인이고 게이트 전압이 드레인 전압보다 적은 negative oxide field 스트레스에 대해서는 더 넓게 분포되는 계면상태의 생성이 노쇠화의 주 원인이라는 것이다.

본 연구에서는 다른 DC stress-bias하에서 노쇠화된 LDD NMOSFET의 문턱전압과 subthreshold 전류곡선의 변화를 해석하여 게이트 산화막에 trap된 charge의 type과 양 그리고 계면상태에 의한 변화성분을 분리하였으며 스트레스 조건의 변화에 따른 노쇠화의 주 원인을 규명하였다.

실험에 사용된 소자들은 국내에서 제조된 4M DRAM chip내의 test pattern이고 실험에서 채택된 노쇠화 조건은 게이트 전압이 드레인 전압보다 더 큰 positive oxide field ($V_g > V_d$)와 게이트 전압이 드레인 전압보다 적은 negative oxide field ($V_g < V_d$)로 대별하였으며 제2절에 실험의 방법 제3절에 결과와 토의를 기술하였다.

II. 실험방법

N채널 MOSFET의 subthreshold 전류는 quasi-Fermi 준위를 고려하면 일정한 드레인 전압에서 아래와 같이 surface potential ϕ_s 의 함수로 표현된다.^[7]

$$I_d = \sqrt{2} C_m (qN_A L_B / \beta) (n_i / N_A)^2 [1 - \exp(-\beta V_d)] \exp(\beta \phi_s) (\beta \phi_s)^{-1/2} \quad (1)$$

여기서 N_A 는 채널농도, n_i 는 intrinsic carrier density, L_B 는 Debye length, $\beta = q/KT$ 그리고 C_m 은 $\mu_{eff} (W/2L_{ch})$ 이다. μ_{eff} 는 effective surface mobility, W 와 L_{ch} 는 각각 유효 채널폭과 길이이다. 식(1)에서 드레인 전압이 큰 포화영역(측정조건 $V_d = 4V$)에서 subthreshold current는 다음과 같이 근사적으로 표현될 수 있다.

$$I_d = \sqrt{2} C_m (qN_A L_B / \beta) (n_i / N_A)^2 \exp(\beta \phi_s) (\beta \phi_s)^{-1/2} \quad (2)$$

또 포화영역에서 strong inversion 상태의 드레인 전류는 게이트 전압의 제곱에 비례한다. 즉

$$I_d = C_m C_{ox} (V_g - V_{tex})^2 \quad (3)$$

C_m 은 (1)식에서 정의된 값과 동일하며 $C_{ox} = \epsilon_{ox} / t_{ox}$ 로 게이트 산화막의 단위면적당 capacitance, V_{tex} 는 선형의상된 포화영역 문턱전압이다. 따라서 C_m 은 식(3)의 게이트 전압에 따른 드레인 전류 제곱근의 기울기에서 결정될 수 있다.

균일한 채널농도 N_A 에 대해 채널표면의 전자농도와 hole 농도가 일치되는 surface potential 즉 midgap 조건에서 surface band bending의 크기는 다음과 같다.^[7]

$$\phi_s = \frac{KT}{q} \ln(N_A / n_i) \quad (4)$$

따라서 일정한 온도에서 채널농도가 알려지면 ϕ_s 의 크기가 계산되므로 식(2)에 대입하면 midgap 조건에서 subthreshold 전류의 크기를 구할 수 있다. 이때의 subthreshold 전류를 "midgap 전류"라 정의하고 문턱전압에 대응하는 게이트 전압에서 측정되는 드레인 전류를 "threshold 전류"라 정의한다. 실제 짧은 채널 MOSFET에서 midgap 전류는 0.1pA영역이므로 사용된 소자의 leakage 전류와 유사한 크기이다. 따라서 midgap 조건에 대응하는 게이트 전압의 직접적인 측정은 어려우므로 subthreshold 전류의 하단을 외삽하여 midgap 전류에 대응하는 게이트 전압을 구한다.

N채널 MOSFET의 Si-SiO₂ band diagram에서 intrinsic Fermi 준위인 band gap의 위쪽 절반은 주로 acceptor state이고 아래 절반은 donor state 이므로 표면 potential의 증가에 의해 전자와 hole 농도가 일치되는 midgap에서 채널의 전류 운반자농도가 inversion되는 문턱전압까지 band가 bending되면 quasi-Fermi 준위 아래로 떨어지는 acceptor state의 수가 증가되며 전자를 포획하여 음으로 하전된다. 따라서 DC stress-bias에 의해 midgap에서 문턱전압 영역에 계면상태 생성이 이루어 진다면 초기 subthreshold 전류곡선의 기울기에서 생성된 계면상태수에 대응하는 기울기 변화를 나타내게 된다. 예로서 그림 1에 유효 채널길이가 0.45μm인 LDD NMOSFET에 대해 $V_g = 3V$, $V_d = 8V$ 의 DC 스트레스 조건에서 스트레스 시간에 따라 측정된 subthreshold 전류곡선의 변화를 나타내었다. 그림에서 각 곡선에 표시된 I_{mg} 와 I_{tex} 는 각각 midgap 전류와 threshold 전류를 의미한다. 스트레스 시간의 증가에 따라 midgap 전류는 negative 방향으로 이동하고 있으며 threshold 전류는 positive 방향으로 이동하고 있다. Midgap 전류의 negative shift는 positive charge인 hole들의 산화막

주입과 trapping을 의미하고 있으며 subthreshold swing의 증가는 많은 계면상태의 생성을 나타낸다. 이러한 negative oxide field 노쇠화 조건에서는 transconductance의 큰 감소가 예상될 수 있으며 실제 100 mV의 선형영역 드레인 전압에서 포화영역과 동시에 측정하여 확인하였다.

이에 반하여 trapped oxide charge만에 의해 노쇠

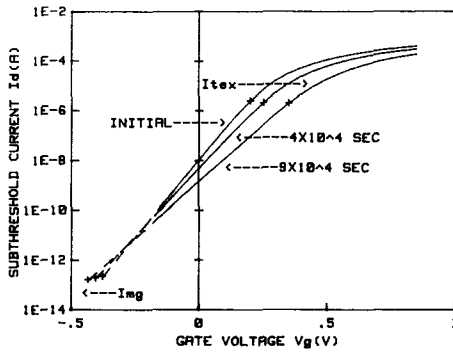


그림 1. $V_g=3V$, $V_d=8V$ 의 negative oxide field 스트레스에 의한 문턱전류 I_{tex} 와 midgap 전류 I_{mg} 의 변화

Fig. 1. The shift of threshold current I_{tex} and midgap current I_{mg} for negative oxide field stress; $V_g=3V$, $V_d=8V$.

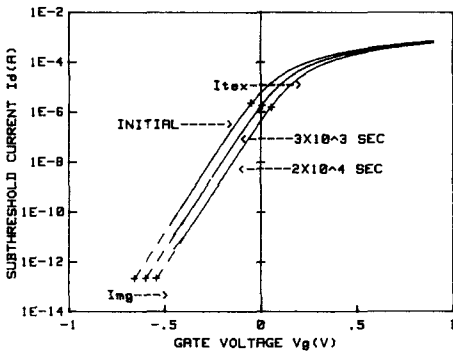


그림 2. $V_g=9V$, $V_d=5V$ 의 positive oxide field 스트레스에 의한 문턱전류 I_{tex} 와 midgap 전류 I_{mg} 의 변화

Fig. 2. The shift of threshold current I_{tex} and midgap current I_{mg} for positive oxide field stress; $V_g=9V$, $V_d=5V$.

화가 이루어지는 경우 oxide charge에 의한 효과는 게이트 전압에 무관하게 나타나므로 subthreshold 전류곡선을 초기에 대해 전자가 trap되면 positive 방향으로, hole이 trap되면 negative 방향으로 평행 이동시킨다.^[6] 그 예로서 그림 2에 그림 1과 동일한 공정으로 제조된 소자에 대해 $V_g=9V$, $V_d=5V$ 의 스트레스 조건에서 시간에 따라 측정된 subthreshold 전류곡선의 변화를 나타내었다. 그림 1의 결과와 달리 subthreshold swing의 변화는 거의 없었으며 midgap 전류와 threshold 전류는 모두 positive 방향으로 이동하였다. 따라서 전자들의 산화막 주입과 trapping에 의해 문턱전압의 변화가 나타남을 알 수 있으며 이러한 전자주입의 경우 hole주입에 비해 상대적으로 적은 계면상태 생성을 보이며, 이러한 결과는 전자들의 상대적으로 적은 산란단면적에 기인한 것으로 추정된다.

이상의 결과를 바탕으로 하면 계면상태의 영향이 배제된 midgap 조건에서 subthreshold 전류의 이동은 trapped oxide charge만에 의한 영향이므로 문턱전압의 변화와 midgap 전류의 변화를 측정하여 계면상태에 의한 문턱전압 변화량과 trapped oxide charge에 기인하는 변화량을 분리할 수 있다. 따라서 DC 노쇠화에 따른 MOSFET의 문턱전압 변화는 근사적으로 이들 두 성분의 합으로 나타낼 수 있다.

$$\Delta V_{tex} = \Delta V_{ot} + \Delta V_{it} \quad (5)$$

결국 포화영역 문턱전압과 subthreshold 전류곡선의 변화를 측정하면 ΔV_{ot} 와 ΔV_{it} 를 얻을 수 있으므로 다음 관계식에서 trapped oxide charge의 양과 계면상태 생성수를 구할 수 있다.

$$\Delta N_{ot} = C_{ox} \Delta V_{ot} / q \quad (6)$$

$$\Delta N_{it} = C_{ox} \Delta V_{it} / q \quad (7)$$

$\Delta N_{it} (\text{cm}^{-2})$ 는 midgap과 threshold 사이에 스트레스에 의해 생성된 전체 계면상태 밀도를 나타내며 $\Delta N_{ot} (\text{cm}^{-2})$ 는 게이트 산화막에 trap된 oxide charge의 밀도를 나타낸다. 따라서 본 연구에서 사용한 방법은 복잡한 해석이나 측정없이 문턱전압의 변화와 subthreshold 전류곡선의 변화를 측정하여 계면상태의 생성량과 trapped oxide charge의 하전상태와 변화량을 동시에 분석할 수 있는 편리한 방법이며 p채널 MOSFET에도 적용가능하다.

III. 결과 및 토의

본 실험에 사용한 소자는 polysilicon gate CMOS

twin-tub 공정에 의해 제조된 LDD NMOSFET이다. 게이트 산화막은 HCl이 3% 첨가된 건조한 산소분위기에서 20nm 두께로 제조되었고 유효 채널길이와 폭은 0.45 μm 와 14.1 μm 였다. 채널은 boron을 implantation 하였으며 제조된 소자의 최종 채널농도는 상온에서 $2 \times 10^{16} \text{cm}^{-3}$ 이 었다. N⁻ 소오스와 드레인 접합은 0.2 μm 의 LDD spacer width를 가지고 phosphorus를 implantation 하였고 N⁺ 소오스와 드레인은 n⁻-off상태로 arsenic implantation에 의해 0.35 μm 의 길이로 제조되었다. 측정에서 포화영역 드레인 전압은 4V로 정하였으며 사용된 장비는 HP4140B pA meter이다. Parameter 측정 및 해석 그리고 스트레스는 모두 HP9826 컴퓨터로 제어하였으며 스트레스 시간은 측정 프로그램의 지연시간을 이용하여 자동 제어하였다.

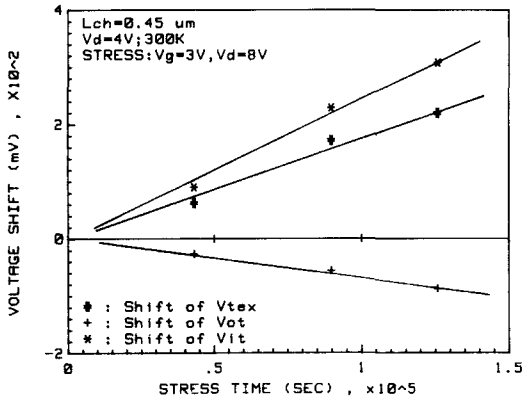


그림 3. 그림 1의 스트레스 조건에서 시간에 따라 측정된 문턱전압 변화량 ΔV_{tex} ; trapped oxide charge에 기인하는 성분 ΔV_{ot} 와 생성된 계면상태에 기인하는 성분 ΔV_{it} 로 분리한 결과

Fig. 3. The threshold voltage shift ΔV_{tex} measured according to stress time for the stress condition of Fig. 1; contributions due to trapped oxide charge ΔV_{ot} and generated interface states ΔV_{it} .

드레인 전압이 눈사태 항복 근처인 $V_d=8\text{V}$ 이고 게이트 전압이 $V_g=3\text{V}$ 인 최대 노쇠화 조건에서 스트레스 시간에 따른 포화영역 문턱전압의 변화 ΔV_{tex} , trapped oxide charge에 의한 문턱전압의 변화성분 ΔV_{ot} 그리고 계면상태에 의한 변화 ΔV_{it} 를 각각 그림 3에 도시하였다. 그림 1의 결과에 대응하여 ΔV_{ot} 는

negative shift를 보이고 있으므로, hole이 주입되는 조건이며 계면상태의 생성은 positive shift를 보여 acceptor state의 생성을 알 수 있었다. 외부적으로 나타나는 문턱전압 변화는 이 두 양의 합으로서 positive shift를 보이고 있다. 결국 이 조건에서는 많은 acceptor state의 생성이 주 노쇠화 기구이고 계면상태에 민감한 선형영역 transconductance의 감소도 크게 나타나 effective surface mobility의 감소를 알 수 있었다.

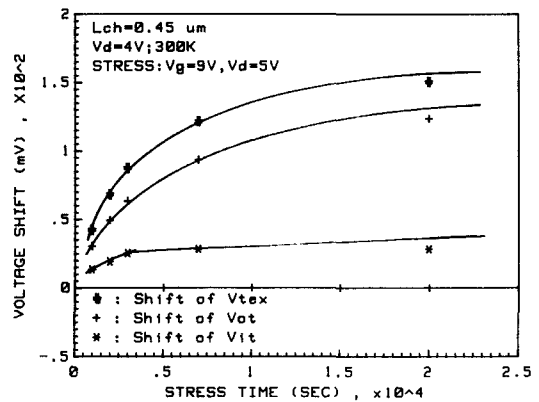


그림 4. 그림 2의 스트레스 조건에서 시간에 따라 측정된 문턱전압 변화량 ΔV_{tex} ; trapped oxide charge에 기인하는 성분 ΔV_{ot} 와 생성된 계면상태에 기인하는 성분 ΔV_{it} 로 분리한 결과

Fig. 4. The threshold voltage shift ΔV_{tex} measured according to stress time for the stress condition of Fig. 2; contributions due to trapped oxide charge ΔV_{ot} and generated interface states ΔV_{it} .

그림 4는 $V_g=9\text{V}$, $V_d=5\text{V}$ 로서 게이트 전압이 드레인 전압보다 상대적으로 큰 positive 산화막 전장에 의한 노쇠화 결과이다. 그림 2의 결과에 대응하여 ΔV_{ot} 는 positive 방향으로 변화하였고 계면상태에 의한 변화 ΔV_{it} 는 매우 적었으며 3000sec 이상의 스트레스 시간에 대해서는 거의 변화되지 않았다. 따라서 이러한 조건에서의 문턱전압 변화는 게이트 산화막에 trap된 전자들에 의한 것임을 알 수 있다. 이미 서론에서 언급하였듯이 노쇠화에 사용되는 DC stress-bias의 변화에 의해 노쇠화에 기여하는 주 원인이 달라짐을 알 수 있었다. 노쇠화에 기여하는 주 원인의 변화에 의해 외부적으로 단순히 측정되는 문턱

전압이나 transconductance의 변화를 설명하기 위하여 여러가지 노쇠화 model이 제안되고, 문턱전압의 변화나 transconductance 감소량이 스트레스 시간에 대해 지수적이라는 실험적인 관계에서 지수항의 변화가 나타나는 것으로 해석된다. $V_g=3V$, $V_d=8V$,의 트레스에서 식(6)과 식(7)을 사용하여 시간에 따른 ΔN_{ot} 와 ΔN_{it} 를 계산하고 그 결과를 그림5

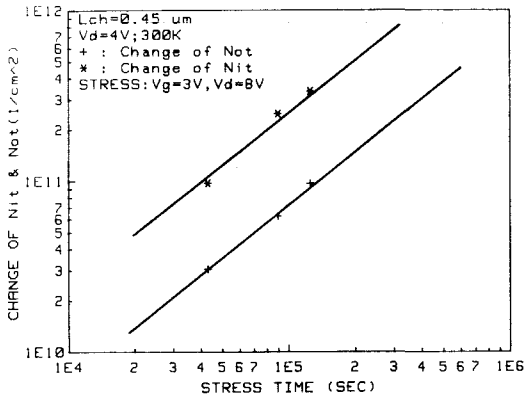


그림 5. 그림 3의 결과에서 trap된 positive oxide charge수의 변화 ΔN_{ot} 와 생성된 acceptor state수의 변화 ΔN_{it}

Fig. 5. The change of trapped positive oxide charges ΔN_{ot} and generated acceptor states ΔN_{it} obtained from Fig. 3.

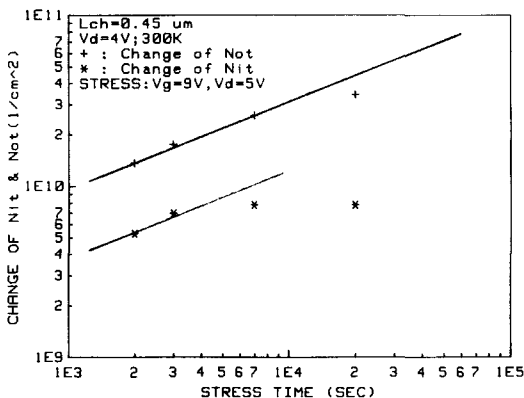


그림 6. 그림 4의 결과에서 trap된 negative oxide charge수의 변화 ΔN_{ot} 와 생성된 acceptor state수의 변화 ΔN_{it}

Fig. 6. The change of trapped negative oxide charges ΔN_{ot} and generated acceptor states ΔN_{it} obtained from Fig. 4.

에 나타내었다. 그림에서 알 수 있듯이 계면상태수의 시간적 변화 ΔN_{it} 와 trapped oxide charge에 의한 ΔN_{ot} 는 모두 비슷한 기울기로 변화하고 있으며 계면 상태수의 변화가 trapped oxide charge수의 변화보다 5배 이상 증가되어 있다. 따라서 이러한 negative oxide field 스트레스 조건의 주 노쇠화 기구는 계면 상태의 생성으로 간주할 수 있다. 약 4×10^4 sec의 스트레스 시간에 대하여 $1 \times 10^{11} \text{cm}^{-2}$ 의 acceptor state가 증가되었다. 이와 대응하여 $V_g=9V$, $V_d=5V$ 의 positive oxide field 스트레스에 의해 trap된 oxide charge수의 변화와 계면상태수의 변화를 그림 6에 나타내었다. 이러한 조건에서의 주 노쇠화 기구는 trap된 negative oxide charge에 의한 것임을 알 수 있으며 이들의 변화도 그림 5와 같이 각각 비슷한 기울기로 증가되고 있으나 2×10^4 sec 이상의 시간에서 증가 경향이 둔화되고 있으며 계면상태수는 더 이상 증가되지 않았다. 2×10^4 sec의 스트레스에 의해 $3 \times 10^{10} \text{cm}^{-2}$ 의 oxide charge수 변화가 관측되었고 그림 5와 그림 6의 비교에서 알 수 있듯이 각 스트레스 조건에서 변화의 기울기 즉 지수항의 변화가 나타났다. 그림 5에서는 지수항이 1에 가까운 반면 그림 6에서는 0.6근방의 값을 보여 스트레스 조건의 변화에 의해 계면상태 생성이나 주입되는 charge의 type에 따라 산화막에 trap되는 rate가 달라진다는 사실을 알 수 있다.

IV. 결 론

짧은 채널 LDD NMOSFET의 DC stress-bias에 따른 노쇠화를 문턱전압 변화와 subthreshold 전류에 기초한 midgap 전류측정을 통하여 해석하였다. 포화 영역에서 subthreshold 전류의 해석과 midgap 전류를 정의하고 포화영역 문턱전압의 변화를 trapped oxide charge에 기인하는 성분과 Si-SiO₂ 계면상태에 의한 변화성분으로 분리하였다.

문턱전압 변화성분중 trapped oxide charge에 의한 변화성분 ΔV_{ot} 는 게이트 산화막에 trap된 운반자의 하전상태에 따라 증가하거나 감소하는 양쪽 방향성을 나타내었고 계면상태에 의한 변화 ΔV_{it} 는 증가하는 방향성만 나타내어 acceptor state의 생성이 이루어짐을 알 수 있었다. Positive oxide field 스트레스 조건 ($V_g > V_d$)에서는 trapped oxide charge의 영향이 크게 나타났으며 negative oxide field 스트레스 조건 ($V_g < V_d$)에서는 계면상태의 생성이 주 노쇠화 기구였다. 일반적인 노쇠조건에서 이들 두 성분이 함께 기여하는 것으로 관측되었으며 DC stress-bias에 따

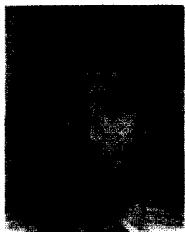
른 소자 노쇠화의 차이는 두 성분의 상대적인 기여도 변화와 계면상태 생성비 및 oxide charge의 trapping rate 변화 등에 의한 것으로 관측되었다.

参 考 文 献

[1] Y. Nissan-Cohen, G.A. Franz, and R.F. Kwasnick, *IEEE Electron Device Lett.*, EDL-7, 451 (1986).
 [2] T. Tsuchiya, *IEEE Trans. Electron Devices*, ED-34, 2291 (1987).
 [3] E. Takeda, A. Schimizu, and T. Hagiwara,

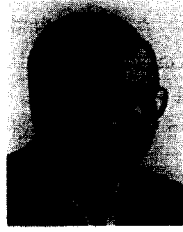
IEEE Electron Device Lett., EDL-4, 329 (1983).
 [4] P. Heremans, H.E. Maes, and N. Saks, *IEEE Electron Device Lett.*, EDL-7, 428 (1987).
 [5] K.Y. Fu and K.W. Teng, *IEEE Electron Device Lett.*, EDL-7, 132 (1987).
 [6] M.R. Trocino, K.Y. Fu, and K.W. Teng, *Solid-state Electron.*, 31, 873 (1988).
 [7] D. Kang, *Applied Solid State Science*, Supplement 2, part A, Silicon Integrated Circuits, Academic Press, pp. 15-34, 1981.
 [8] J.Y. Choi, P.K. Ko, C. Hu, and W.F. Scott, *J. Appl. Phys.*, 65(1), 354 (1989).*

著 者 紹 介



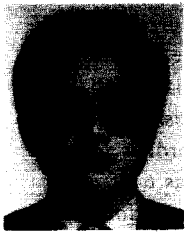
李 明 福 (正會員)

1958年 6月 25日生. 1982年 2月 경북대학교 물리학과 졸업이학사학위 취득. 1984년 2월 경북대학교 대학원 고체물리학전공 이학석사학위 취득. 1985년 3월~1986년 8월 경남대학교 물리학과 조교. 1986년 9월~현재 한국과학기술원 광전자공학연구실 연구원. 주관심분야는 반도체 응용기술개발 및 소자물리 등임.



李 精 一 (正會員)

1953년 1월 30日生. 1975년 서울대학교 물리학과 학사학위 취득. 1985년 미국 부라운대학교 물리학과 박사학위 취득. 1975년~1977년 육군통신장교. 1985년~1986년 미국 지티이 연구소 박사후연구원. 1987년~현재 한국과학기술원 광전자공학연구실 선임연구원. 주관심분야는 반도체 소자물리 및 양자전송 등임.



姜 光 男 (正會員)

1945년 3월 15日生. 1968년 2월 서울대학교 물리학과 졸업. 1971년 2월 서울대학교 대학원 물리학과 석사학위 취득. 1983년 10월 프랑스 그레노블공대 공학박사학위 취득. 현재 한국과학기술원 광전자공학연구실장. 주관심분야는 GaAs MESFET 및 MMIC 공정개발, Short Channel Device Physics, Optical Waveguide on III-V Semiconductor. High Speed Detectors & Optical IC 등임.