

Timing Simulator인 TSIM1.0에서의 전처리 과정 : 회로분할과 파형정보처리

(Preprocessing Stage of Timing Simulator, TSIM1.0 : Partitioning and Dynamic Waveform Storage Management)

權 五 鳳,* 尹 賢 老,** 李 起 俊***

(Oh Bong Kwon, Hyun Ro Yoon and Ki Jun Lee)

要 約

본 논문은 CELL-level에서의 파형이완방법(WRM)에 근거를 두고 있는 Timing Simulator, TSIM-1.0의 전처리과정에 사용한 알고리즘에 대해 기술한다. TSIM1.0의 전처리과정은 크게 세부분으로 나누어진다. (1) 주어진 회로를 DCB 단위로 분할하고, (2) SCC Group을 형성한 후, (3) CELL들의 해석 순서를 결정한다. 또한, WRM에서 기억용량을 절약하기 위해 중복저장을 허용한 효과적인 파형저장방법을 기술하였다. TSIM1.0은 5000개 이하의 MOSFET으로 구성된 회로를 IBM PC/AT에서 1시간이내에 해석할 수 있다. 마지막으로, TSIM1.0의 성능 비교를 위해 몇가지 MOS 디지털회로에 대한 시뮬레이션 결과를 예시한다.

Abstract

This paper describes the algorithms employed in the preprocessing stage of the timing simulator, TSIM1.0, which is based on the Waveform Relaxation Method (WRM) at the CELL-level. The preprocessing stage in TSIM1.0 (1) partitions a given circuit into DC connected blocks (DCB's) (2) forms strongly connected circuits (SCC's), and (3) orders CELL's. Also, the efficient waveform management technique for the WRM is described, which allows the overwriting of the waveform information to save the storage requirements. With TSIM1.0, circuits containing up to 5000 MOSFET's can be analyzed within 1 hour computation time on the IBM PC/AT. The simulation results for several types of MOS digital circuits are given to verify the performance of TSIM1.0.

*正會員, 現代電子産業株式會社 半導體研究所, 設計팀
(Semiconductor R&D Center, Hyundai Electronics Industries Co., LTD.)

**正會員, 大田市 韓國國防科學研究所
(ADD, Daejon)

***正會員, 忠南大學校 電子工學科
(Dept. of Elec. Eng., Choongnam Nat'l Univ.)

接受日字 : 1988年 11月 21日

(※본 연구는 한국전자통신연구소의 연구비 지원으로 수행되었음.)

I. 서 론

Timing Simulation이란 주로 대규모 MOS 논리회로의 전기적 천이 특성을 컴퓨터에 의하여 효과적으로 해석하는 것을 의미한다. Timing simulator^{1,2,3,4}는 기존의 회로 시뮬레이터⁵로는 해결할 수 없는 LSI의 고집적화에 따른 입력회로 크기의 증가 및 과도한 계산 시간의 소모와 같은 컴퓨터 해석상의 문제점을 효율적으로 해결하는데 그 목적을 두고 있다. 또한, 논리 시뮬레이터와 비교하여 보면, 지연시간의 계산과 아

날로그 출력파형을 포함하여 비교적 정확한 해를 구하도록 설계가 되어야 한다. Timing simulator는 1,000~10,000개의 MOSFET로 구성되는 논리회로를 SPICE에 비하여 10배~100배 정도의 빠른 계산속도로 해석할 수 있다.

Timing simulation을 위한 여러가지 알고리즘들 중에서 최근에 널리 사용되고 있는 방식으로는 WRM (waveform relaxation method)⁽⁶⁾이 있다. WRM에서는 주어진 대규모 회로를 여러개의 부회로로 분해한 후, 분해된 각각의 부회로들을 신호의 전달 순서에 따라서 전해석 시간동안 독립적으로 해석한다. 원래의 WRM 방식에서는 각각의 노드를 중심으로 하는 기계적인 회로 분할방식을 사용하였다. 그러나, 노드 중심의 회로 분할방식은 floating resistor와 같이 노드 사이에 coupling이 강한 소자들이 연결되어 있는 경우에 해석상의 수렴과 안정에 있어서 문제점을 가지고 있다. 대규모 회로의 분할은 노드를 중심으로 하는 기계적인 분할방식보다는 전기적인 독립성을 유지하도록 여러개의 노드를 포함하는 부회로들로 분할하는 것이 바람직하다. 최근에 발표된 효과적인 회로 분할방식으로 Rao와 Trick에 의한 회로 분할방식이 있다.⁽¹¹⁾

WRM에 의한 timing simulation에 있어서의 또 하나의 문제점으로 파형의 전시간 저장에 따른 컴퓨터 저장 용량의 부족에 있다. 이를 해결하기 위해서는 컴퓨터의 보조기억장치에 계산된 파형을 저장하여 필요할 때마다 입·출력 과정을 반복하며 사용하는 것이 일반적이나, 이러한 경우에 입·출력을 위한 I/O 시간이 문제가 될 수 있다.

본 논문에서는 WRM을 효과적으로 적용하기 위하여, 회로의 전기적 특성에 의해서 회로 분할을 수행하고, 결과 파형의 효율적인 저장방식을 사용하고 있는 timing simulator, TSIM1.0의 전처리과정(pre-processing stage)에 대하여 논한다. TSIM1.0에서 사용하고 있는 회로 분할방식은 Rao와 Trick의 방식과 유사하다. 그 과정으로는 (1) 우선 주어진 회로를 DC상에서 여러개의 DC-connected block (DCB) 으로 분해하고, (2) DCB들 사이의 케환루프를 고려한 strongly connected circuit (SCC)를 형성하며, (3) 과정 (1)과 (2)의 결과로 분할된 부회로(CELL)들 사이의 해석순서를 결정하게 된다. 여기서, 분해된 CELL 각각을 해석 순서에 따라서 순차적으로 WRM을 적용하여 해석한다. 이 경우 효과적인 파형 저장을 위하여 doubly linked 구조를 사용하여 불필요한 파형들을 제거하고, 중복 저장을 허용함으로써 파형 저장을 위한 컴퓨터 기억용량의 사용을 최소로 하게 된다.

TSIM1.0의 성능 비교를 위하여 여러가지 회로에 대한 시뮬레이션 결과를 예시한다.

II. DC-Connected Block

주어진 MOS 논리회로를 DC 정상 상태에서 고려하면 모든 캐패시터 성분들은 개방(open)상태가 된다. 이 경우, DC상태에서의 MOS 회로는 전압 전원(VDD), 신호노드, 접지, 그리고 MOSFET의 드레인과 소오스를 연결하는 저항 성분만으로 구성된다. 여기서, 전원 전압과 접지를 vertex 분리(vertex-split)⁽¹¹⁾하게 되면 원래의 MOS 회로는 DC 상태에서 전기적 독립성을 유지하는 여러개의 component, 즉 DC-connected block (DCB)들로 분할이 된다. 대부분의 논리 신호가 일련의 연속적인 DC 상태로서 표현이 가능한 것을 고려하면 DCB의 전기적 독립성은 논리 신호를 첨가하여도 여전히 유지된다.

DC 상태의 주어진 MOS 회로에서 모든 노드와 소자들은 vertex와 edge로서 각각 일대일 대응된 무방향성 그래프 H로 변환이 가능하다. MOSFET는 캐패시터 성분을 제거하면 드레인과 소오스만이 edge로서 연결되고 게이트는 분리되며, 독립 캐패시터에 해당되는 edge는 제거된다. 그래프 H에서 VDD에 해당하는 vertex와 접지에 해당하는 vertex는 거기에 연결된 edge에 따라서 여러개의 vertex들로 분리됨으로써, DCB들을 형성한다. 예로서, 그림 2(a)는 NMOS 회로로 구성된 D-type 플립플롭 회로를 보여 준다. 그림 2(b)는 DC 상태에서 D-type 플립플롭 회로를 그래프 H로 표현한 것이다. 여기서, vertex n1과 n0는 각각 전압 전원 VDD와 접지를 나타내며, n2와 n3는 각각 입력D와 클럭 CLK를 나타낸다. 그림 2(c)는 vertex n1과 n0를 연결된 edge에 따라서 분할한 결과로서 5개의 DCB로 그림 2(a)의 회로가 분할되었음을 알 수 있다. DCB 분할 알고리즘은 모든 회로 소자에 대하여 차례로 그 회로 소자가 속하여 있는 노드들을 하나로 묶음으로써(grouping) 이루어진다. DCB 분할 알고리즘의 시간 복잡도는, edge(소자)의 수에 선형적으로 비례한다.

III. Strongly Connected Circuit(SCC)

주어진 입력회로가 DCB으로의 회로 분할 후에 DCB 사이의 연결은 주로 게이트-캐패시턴스에 의하여 이루어진다. DCB 사이의 캐패시터에 의한 연결을 신호 전달 방향을 고려한 방향성 그래프 D로 표현할 수 있다. 즉, 각각의 DCB를 하나의 vertex로 치환하고 DCB 사이의 캐패시턴스 성분에 의한 연결

은 입력단과 출력단의 관계를 고려한 방향성 edge로 치환한다. 입력단과 출력단의 인식은 edge가 MOS-FET의 게이트와 연결된 경우 (입력단)와 드레인(또는 소스)에 연결된 경우(출력단)로 구분한다. 이제, 방향성 그래프 D에서 케환루프가 발견되면 그 케환루프는 해의 안정성과 계산시간의 감소를 위하여 하나의 부회로로 간주하는 것이 바람직하다. 이와 같이 케환 회로에 의하여 하나의 부회로로서 결합된 형태를 strongly connected circuit(SCC)이라 부른다. SCC는 전기적으로 강하게 연결된 회로로서 한꺼번에 기존의 회로 시뮬레이션 방식에 의하여 해석하는 것이 바람직하다. 주어진 그래프 D에서 SCC들을 찾아 연결하게 되면 (즉, SCC를 하나의 vertex로 치환), 결과 그래프 G는 케환이 없는 단방향성 그래프가 된다. 이 단방향성 그래프 G에서의 각각의 vertex들을 CELL이라 부른다. 즉, CELL은 회로 분할의 최종 결과로서 독립 DCB이거나 SCC를 의미한다. 각각의 CELL들은 DC 상태에서 전기적으로 독립성을 유지하고 있으며, 더이상 분할될 수 없는 기본회로들로서 해석시 독립적인 WRM의 적용을 받는다. 단방향성 그래프 G에서의 각각의 CELL 사이의 해석 순서의 결정은 입력 노드에서부터 출발하여 신호의 전달순서에 따라서 순차적으로 결정된다.

그림 3(a)는 그림 2(a)의 예제 회로에 대한 방향성 그래프 D를 나타낸다. 여기서, SRC1, SRC2, SRC3는 input 노드를 하나의 DCB로 본 것이며, vertex

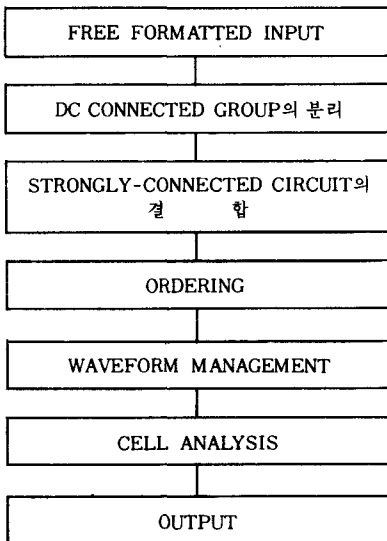
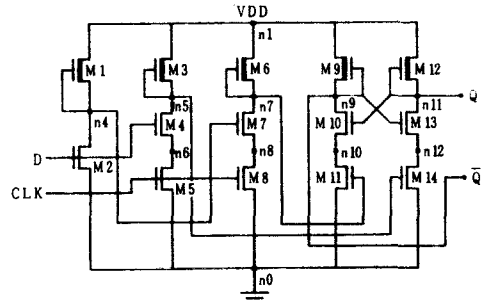
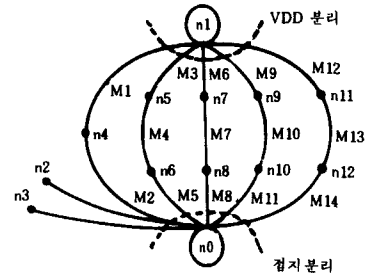


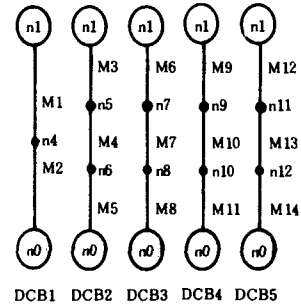
그림 1. TSIM1.0의 전체 구성도
Fig. 1. Flow chart of TSIM1.0.



(a)



(b)



(c)

그림 2. (a) Clocked D-type 플립 플롭 예제회로
(b) 그래프로 표현된 DC 상태에서의 예제 회로
(c) 예제 회로의 분할 결과(DCB의 형성)

Fig. 2. Clocked D-type flip-flop.
(a) Circuits.
(b) Graphical representation under the DC steady-state.
(c) DC connected block(DCB's).

DCB4와 DCB5는 케환 형태를 이루고 있다. vertex DCB4와 DCB5를 하나의 vertex로 결합한 결과가 그림 3(b)와 같고, 최종적으로 케환이 없는 단방향성 그래프 G에서 각각의 CELL들의 회로 해석 순서를 결정한다. 그래프 D에서 SCC의 검색과 그래프 G에

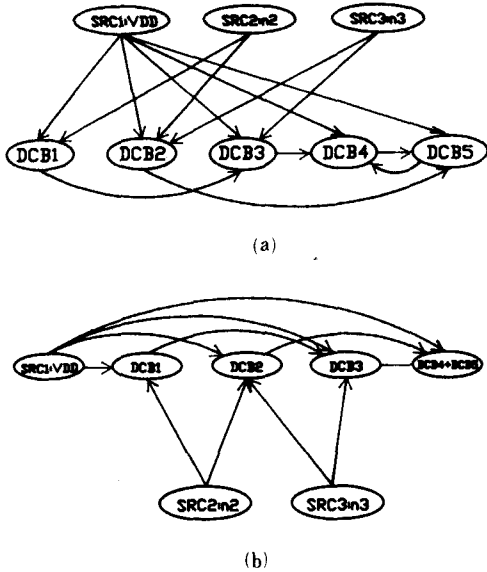


그림 3. (a) 예제 회로에 대한 방향성 그래프 (SCC의 형성)
 (b) 예제 회로에 대한 단방향성 그래프 (CELL의 형성)
Fig. 3. (a) Directed Graph of DCB's.
 (b) One-way unidirectional graph formed by the DCB's and SCC's.

서의 CELL들의 해석순서 결정은 입력노드에서부터 출발하는 DFS(depth first search)¹⁾를 사용하여 구하게 된다.

IV. 효과적인 파형저장처리

컴퓨터 저장용량의 한계로 인하여 처리해야 할 회로의 크기가 증가함에 따라 문제가 되고 있다. 기존의 시뮬레이터에서는 입력회로의 크기를 제한하여 사용하거나, 컴퓨터 보조기억장치를 이용하여 계속적인 파형 정보의 입·출력 과정을 반복하고 있다. 본 논문에서는 앞장에서 얻은 순차화된 회로 분할의 결과를 단위로 하여 WRM방식을 적용 해석하는 과정에서 필요한 파형 정보만을 저장함으로써 WRM에 있어서의 저장 용량의 문제점을 해결한다.

WRM에 의하여 순차적이고 독립적으로 CELL들을 해석하는 과정에서 (1)각각의 I/O 노우드 파형들은 그것이 더이상 다른 CELL들의 입력파형으로 사용되지 않을 경우 제거되며, (2)CELL 내부의 신호 정보는 단위 CELL의 해석만 끝나게 되면 더 이상의 저장가치를 상실함에 따라서 제거된다. 따라서 계속적인 CELL의 순차 해석시에 중복 저장을 허용하게

되고 이는 비교적 적은 양의 저장 장소만 가지고 충분히 대형 회로를 해석할 수 있는 잇점을 가지게 된다. 파형의 저장, 제거 및 중복 허용은 각각의 노드와 파형 메모리 사이의 doubly linked list 지시자의 사용에 의하여 가능하여진다. 여기서, doubly linked list 지시자란 각각의 노드는 파형정보를 저장하는 위치를 나타내는 지시자를 가지고 있으며, 각각의 파형정보 저장구조는 그 파형의 노드를 나타내는 지시자를 가지고 있다. 즉, 노드와 파형정보 저장구조는 각각 독립적인 지시자를 소유하고 있으며, 서로 상대방을 중복 지시한다.

예제로써, 표 1은 그림 2의 회로의 각각의 CELL을 단위로 하는 해석을 통하여 중복 저장과 함께 파형신호저장에 대한 효율적인 처리를 보인다. 우선, 입력신호로서 노드 n1, n2, n3에 대한 파형정보가 w1, w2, w3에 각각 저장된다. DCB1의 해석시에는 노드 n4에 대한 파형정보의 저장이 새로이 필요하므로 이를 w4에 저장하고, DCB2의 해석시에는 노드 n5, n6에 대한 파형정보를 w5와 w6에 각각 저장한다. DCB3의 해석을 위하여 노드 n7과 n8에 대한 파형정보의 저장이 새로이 필요하며, 노드 n2와 n6에 대한 파형정보는 차후의 해석에서는 더이상 사용되지 않으므로 제거할 수 있다. 따라서, 노드 n7과 n8에 대한 파형정보의 저장은 w2와 w6에 중복 저장을 할 수 있다. SCC(DCB4+DCB5)의 해석에서는 노드 n3, n4, n8에 대한 파형정보가 제거되며, 새로이 n9, n10, n11, n12에 대한 파형정보들이 w3, w4, w6, w7에 중복 저장된다. 결과적으로 12개의 노드를 가진 D-type 플립 플롭 예제회로는 7개의 파형 저장 용량만을 요구하여 5개의 파형 저장 용량을 절약한다.

표 1. 그림 2의 예제 회로에 대한 파형정보처리
Table 1. Waveform management for the D-type flip-flop of fig. 2.

CELL Waveform	DCB1	DCB2	DCB3	DCB4+DCB5
W1	n1	n1	n1	n1
W2	n2	n2	n7	n7
W3	n3	n3	n3	n9
W4	n4	n4	n4	n10
W5	*	n5	n5	n5
W6	*	n6	n8	n11
W7	*	*	*	n12

V. Program 실현과 시뮬레이션 예제

대형 MOS 논리회로의 타이밍 시뮬레이션을 위한 전처리 단계 프로그램을 개발하였다. 개발된 프로그램은 Fortran으로 구성되었으며, IBM PC와 호환성이 있는 AT/DOS상에서 개발되었다. 또한, 완전한 타이밍 시뮬레이터의 구성을 위하여 회로 해석 프로그램으로 CELLIA⁹⁾를 연결하여 TSIM1.0을 완성하였다. 이상과 같은 방법으로 개발된 TSIM1.0은 IBM PC상에서 5000개 이하의 소자를 가진 MOS 회로의 해석이 가능하게 되었다.

TSIM1.0의 특성을 요약하면 다음과 같다. (1) 대규모 MOS 논리회로에 대한 타이밍 시뮬레이션 (2) 입력 형식의 자유로움 (3) Waveform Relaxation (4) 회로 분할(DCB와 SCC) (5) 단방향성 해석순서 결정 (6) 동적 파형 저장처리 (7) One relaxation sweep (no iterative relaxation) (8) 고정 시간격으로의 Newton 선형화 (9) MOSFET : ratioed three state switch model(RTSS)과 compact short channel Schichman-Hodges model. TSIM1.0의 전체적인 구조는 그림 1에 보인다.

TSIM1.0의 성능 비교를 위한 실험은 IBM-PC/AT/DOS(10MHz)상에서 수행했으며, 회로 시뮬레이터 PCUSPICE의 결과와 비교하였다. 첫번째 실험으로는 회로 분할은 고려하지 않고 단지 CELLIA의 성능을 SPICE와 비교하기 위하여 강한 결합이 있는 회로(SCC)의 해석으로서 NAND 입력을 가진 링 오실레이터 회로를 실험하였다(그림 4와 표 2의 첫번째줄). 두번째 실험은 20개 정도의 소자를 가지는 여러 종류의 MOS 회로를 가지는 회로 분할과 해석을 실험하였다. 이때 회로의 압력은 MACRO기능을 사용하여 NAND 게이트 단위의 트랜지스터로 기술하였다(표 2). 세번째 실험은 해석 회로의 크기에 대한 실험으로 강한 결합이 없는 대형 회로로서 MOS

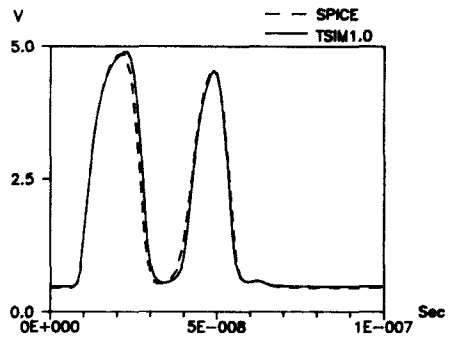


그림 4. 링 오실레이터에 대한 TSIM1.0과 SPICE와의 해석결과 비교

Fig. 4. Comparison of the ring oscillator between TSIM1.0 and SPICE.

로 구성된 Adder에 대한 실험이다(표 3과 그림 5).

VI. 결 론

대형 회로 해석을 위한 타이밍 시뮬레이터는 회로가 대규모 집적화에 따른 계산 시간의 증대와 해의 정확성에 대한 문제점을 효율적으로 처리하려는 노력을 기울이고 있다. 본 연구에서는 이를 위한 전처리 과정으로서 회로 분할 및 해석순서 결정과 효율적인 파형 저장을 다루었다.

일반적으로 회로 분할에 있어서의 문제점은 분할된 회로의 전기적인 독립성을 유지하는 것이다. 이를 위하여 floating 캐패시터와 floating 저항 등에 의한 loading 효과와 궤환루프에 대한 처리방법이 해결되어야 한다. 기존의 WRM에서는 상기의 문제점을 해결하기 위하여 iterative relaxation을 수행하여 정확한 해로 수렴시킬 수 있으나, 이 경우 많은 계산 시간의 증가는 감수해야 한다. TSIM1.0에서는 floating 캐패시터를 제외한 나머지 두 문제는 해결하고

표 2. TSIM1.0과 SPICE의 실행시간 비교(IBM PC/AT)

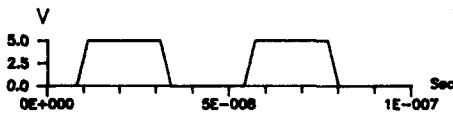
Table 2. Comparisons between TSIM1.0 and SPICE on IBM PC/AT.

회로의 종류	MOSFET의 갯수	TSIM1.0 시:분:초	PCUSPICE 시:분:초	시뮬레이션 시간비율 (PCUSPICE/TSIM1.0)
링 오실레이터	7	0 : 00 : 33	0 : 01 : 20	2.4
인버터 체인	22	0 : 00 : 20	0 : 04 : 22	13
D-type 플립 플롭	19	0 : 06 : 27	0 : 18 : 00	2.79
J/K 플립 플롭	28	0 : 12 : 25	0 : 32 : 40	2.63
4 Bit ALU	315	0 : 24 : 20	-	-

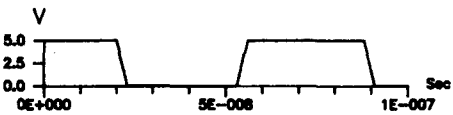
표 3. 해석 회로 크기에 대한 비교 (ADDER 회로)

Table 3. Simulation results for the ADDER circuits.

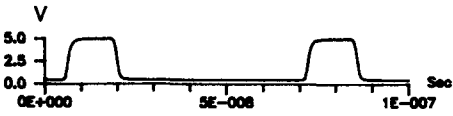
	MOSFET의 갯수	변수의 갯수	시 간 (시:분:초)		시뮬레이션 시간비율 (PCUSPICE/TSIM1.0)
			TSIM1.0	PCUSPICE	
1-Bit	33	22	00:00:25	00:04:30	10.8
2-Bit	66	42	00:00:54	00:17:00	18.8
4-Bit	132	82	00:01:42	-	-
8-Bit	264	162	00:02:40	-	-
16-Bit	528	322	00:06:50	-	-
32-Bit	1056	642	00:14:10	-	-
64-Bit	2112	1282	00:28:51	-	-



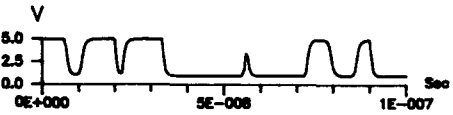
(a)



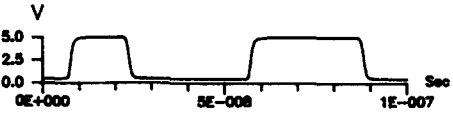
(b)



(c)



(d)



(e)

그림 5. 네번째 ADDER 단에서의 시뮬레이션 결과
(a) 입력 A₄ (b) 입력 B₄
(c) 전단으로 부터의 CARRY
(d) 출력 SUM bit (e) 출력 CARRY bit

Fig. 5. Simulation result of the ADDER circuit at the 4th stage.

(a) Input A₄, (b) Input B₄,
(c) CARRY input. (d) Output, SUM,
(e) Output, CARRY.

있다. 즉, DC 상태에서 회로 분할을 수행하여 floating 저항 문제를 해결하였으며 SCC결합에 의하여 계환루프의 문제를 해결하였다. 캐패시터에 의한 영향은 주로 지연 시간의 계산이 문제가 되며, 따라서 TSIM1.0에 있어서 SPICE와 같은 정확한 지연 시간을 구하지 못한다(10%이내의 오차). 앞으로, fan-in/fan-out의 loading 효과를 고려한 fanout 캐패시턴스의 계산 능력이 첨가되면 캐패시턴스 loading 효과를 보상하기 위한 iterative relaxation 과정이 생략되므로 많은 계산 시간을 소모하지 않고서도 지금보다는 정확한 해를 얻을 수 있을 것이다. 파형 저장의 문제에 있어서 앞으로 해결하여야 할 일은 신호의 변화에 따라 시간 간격을 조절하며 저장하는 방식이 채택되어야 할 것이며, 또한 iterative relaxation과 관계하여 waveform window 방식을 적용하면 보다 효과적일 것이다. 아울러 CELL 해석시 predicted 시간격 조절(time-step control) 방식을 적용하여 해의 정확성과 계산 시간의 감소를 동시에 얻을 수 있을 것이다.

參 考 文 獻

[1] V.B. Rao and T.N. Trick, "Network partitioning and ordering for MOS VLSI circuits," *IEEE Transaction on Computer-Aided Design*, vol. CAD-6, no. 1, January 1987.
 [2] B.R. Chawls, H.K. Gummel, and P. Kozak, "MOTIS-An MOS timing simulators," *IEEE Trans. Circuits Syst.*, vol. CAS-22, pp. 901-910; Dec. 1975.
 [3] S.P. Fan, M.Y. Hsueh, A.R. Newton and D.O. Pederson, "MOTIS-C: A new circuit simulator for MOS LSI circuits," in *Proc.*

IEEE. Int. Symp. Circuits Syst. pp. 700-703, April 1977.

[4] A.R. Newton, "The simulator of large scale integrated circuits," *IEEE Trans. Circuits Syst.*, vol. CAS-26, pp. 741-749, Sept. 1979.

[5] L.W. Nagel, "SPICE2: A computer program to simulate semiconductor circuits," Electronics Research Laboratory, memorandum No. ERL-M520, University of California, Berkely, May 1975.

[6] E. Lelarsmee, A. Ruehli, and A.L. Sangiovanni Vincentelli, "The waveform relaxation method for the time-domain analysis of large scale integrated circuits." *IEEE Trans. Computer-Aided Design*, vol. CAD-1, no. 3, pp. 131-145, Aug. 1982.

[7] D. Dumlugol, P. Odent, J.P. Cock, and H.J. De Man, "Switch-electrical segmented waveform relaxation for digital MOS VLSI and its acceleration on parallel computers." *IEEE Trans. Computer-Aided Design*, vol. CAD-6, no. 6, Nov. 1987.

[8] R. Tarjan, "Depth-first search and linear graph algorithm," *SIAM Journal on computing*, vol. 1, no. 2, pp. 146-160, June. 1972.

[9] 한국전자통신연구소 "자동설계운용소프트웨어 연구". 최종보고서, 1987년도 과학기술처 pp. 123-173. *

著 者 紹 介

權 五 鳳 (正會員)

1963年 12月 4日生. 1982年 2月
충남대학교 전자공학과 졸업.
1988年 2月 충남대학교 전자공학과
공학석사학위 취득. 현재 현대 전자
산업 주식회사 반도체연구소,
설계팀에 재직중. 주관심분야는

CAD simulation, Device modeling 등임.

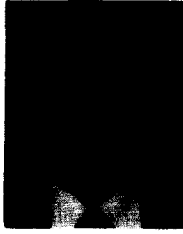
李 起 煥 (正會員)



1955年 1月 23日生. 1978年 2月
서울대학교 공업교육학과 졸업.
1981年 2月 한국과학기술원 전기
및 전자공학과 공학석사학위 취득.
1986年 2月 동대학원 공학박사학
위 취득. 1986年 9月 ~ 현재 충남

대학교 전자공학과 조교수 재직. 주관심분야는 CAD simulation 및 IC 설계 등임.

尹 賢 老 (正會員)



1951年 8月 18日生. 1975年 서울
대학교 전자공학과 졸업. 1985年
충남대학교 전자공학과 공학석사
학위 취득. 현재 충남대학교 전자
공학과 박사과정. 1975年 ~ 현재 한
국 국방과학연구소에 재직중. 주관

심분야는 회로 설계등임.