

# 보론 도우핑된 비정질 실리콘 박막 트랜지스터의 열에 의한 준안정성 연구

## (Thermally Induced Metastability in Boron-Doped Amorphous Silicon Thin Film Transistor)

李 梨 相\*, 秋 惠 容\*\*, 張 震\*

(Yi Sang Lee, Hye Yong Chu and Jin Jang)

### 要 約

보론이 도우핑된 수소화된 비정질 실리콘을 이용한 박막 트랜지스터를 플라즈마 CVD 방법으로 제작하여 트랜지스터의 특성 및 준안정성에 관한 연구를 수행하였다. 보론이 도우핑된 비정질 실리콘 ambipolar 트랜지스터를 열평형 온도 이상에서 급냉하면, active dopants가 증가하고 경계면 상태밀도가 감소하여 정공채널에 의한 드레인 전류가 증가하고 전자채널의 드레인 전류는 급냉 온도에 따라 증가하다가 감소되는 현상을 측정하였다. 이런 급냉 효과는 실리콘내에 있는 수소의 운동과 밀접한 관계가 있고 active dopants, 땀글링 본드 및 경계면 상태밀도의 변화로 해석된다.

### Abstract

Electrical transport and thermally induced metastability in hydrogenated amorphous silicon (a-Si:H) thin film transistors (TFTs) using boron-doped amorphous silicon as an active layer have been studied. The device characteristics exhibit n-channel and p-channel operations. The thermal quenching experiments on amorphous silicon-silicon nitride ambipolar TFT give clear evidence for the co-existence of two distinct metastable changes. The densities of metastable active dopants and dangling bonds increase with the quenching temperature. On the other hand, the interface state density appears to decrease with increasing quenching temperature.

### I. 서 론

수소화된 비정질 실리콘(a-Si:H)박막을 이용한 전계효과 트랜지스터(field effect transistor:FET)는 플라즈마 CVD(chemical vapor deposition) 방법을 사용하여 대면적 생산이 가능하기 때문에 스위칭

소자로 많은 관심을 받고 있다. 그러나 비정질 실리콘은 원자간의 결합각이나, 결합길이가 결정질 실리콘과 달라 밴드 갭내의 국재상태(localized state) 및 밴드끝에 밴드꼬리(band tail) 상태가 존재한다. 보론이 도우핑된 a-Si:H의 전기적 특성은 active dopants인 보론의 수와 이러한 갭내의 국재 상태밀도에 의해 결정된다.

Photothermal deflection spectroscopy(PDS) 실험에 의하면 급냉후 subband gap의 광흡수가 증가한

\*正會員, \*\*準會員, 慶熙大學校 物理學科  
(Dept. of Physics, Kyunghee Univ.)  
接受日字: 1988年 11月 9日

다.<sup>[1]</sup> 이것은 비정질 실리콘 bulk에 새로운 결합 밀도가 생기기 때문이다. 또한 도우핑된 비정질 실리콘은 열평형 온도(thermal equilibrium temperature :  $T_E$ ) 이상에서 급냉을 하면 처음의 어닐링 상태때보다 암전기전도도가 증가하고 전기전도도 활성화 에너지(activation energy)가 감소한다. 이것은 급냉후 실리콘 bulk내의 active dopants가 증가하기 때문이다.<sup>[2]</sup> 그러나 멩글링 본드는 증가하는지,<sup>[3]</sup> 혹은 감소하는지<sup>[4]</sup> 아직 정확하게 밝혀지지 않았다.

본 논문에서는 보론이 도우핑된 비정질 실리콘을 이용한 박막 트랜지스터(thin film transistor : TFT)를 플라즈마 CVD 방법으로 제작하여 급냉후 준안정상태의 active dopants와 깊은 국제상태밀도의 변화를 연구하였다.

### II. 실험방법

본 실험에서 사용한 a-Si:H TFT는 크롬이 약 1000Å 증착된 유리기판을 게이트 전극으로 사용하였다. 게이트 절연막은 실리콘 나이트라이드를 사용하였다. 이때, 실리콘과 실리콘 나이트라이드의 경계면 결합상태 밀도를 최소화 하기위해 절연막과 실리콘 층을 연속 증착하였다. 또한 소오스와 드레인 사이의 Ohmic 접촉을 위해 1.0vol. %의  $PH_3$ 가 혼합된  $SiH_4$  가스를 사용하여  $n^+$  a-Si:H층을 증착하였으며, 이때의 최적 증착조건은 표 1과 같다.<sup>[5]</sup> 알루미늄을 thermal evaporation 방법으로 진공중에서 증착한 후 Al etchant 용액을 사용하여 사진식각법으로 에칭하여 소오스와 드레인 전극을 형성하였다. 이때 소오스와 드레인 사이의 길이(L)와 폭(W)은 각각 10, 100 $\mu$ m이다. 또한 소오스와 드레인 사이의  $n^+$  a-Si:H 층은 후레온( $CF_4$ ) 가스를 사용하여 100°C에서 플라즈마 에칭하였다. 완성된 TFT의 단면도는 그림 1과 같다. 완성된 TFT는 빛에 의한 결합과 표

표 1. 비정질 실리콘 박막 트랜지스터의 증착조건

Table 1. Deposition conditions of a-Si:H thin film transistors.

Layer	Thickness	Gas mixing ratio
a-Si:H	0.3 $\mu$ m	$B_2H_6/SiH_4 = 10^{-5} - 10^{-4}$
a-SiN:H	0.3 $\mu$ m	$SiH_4/NH_3 = 0.2$
$n^+$	300Å	$PH_3/SiH_4 = 0.01$
Substrate temp		180°C
rf power density		0.2W/cm <sup>2</sup>

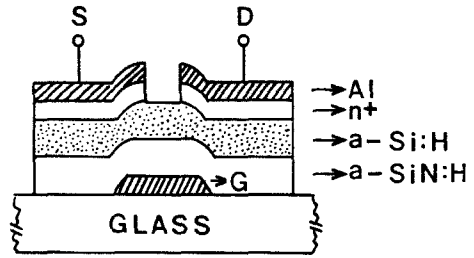


그림 1. 비정질 실리콘 박막 트랜지스터의 단면구조  
Fig. 1. Cross-sectional structure of amorphous silicon thin film transistor.

면에 흡착된 불순물을 제거하고 전극의 접촉을 좋게 하기 위해 증착온도에서 약 1시간 동안 확산펌프를 이용한 진공( $\sim 10^{-6}$  Torr)에서 어닐링한 후 1°C/min 정도로 서서히 온도를 내려 30°C에서 측정하였다. 급냉효과는 냉각속도가 증가함에 따라 증가하므로,<sup>[6]</sup> 급냉효과를 최대로 하기위해 물을 이용하여 진공중에서 20°C/sec의 속도로 냉각했다. 게이트 전압에 따른 소오스-드레인 사이의 전류는 Keithley 617 electrometer를 컴퓨터에 연결하여 측정하였다. 온도 측정은 copper-constantan 열전대를 이용한 Han Young Electronic사의 HY-P100 온도조절기를 사용했다.

### III. 결과 및 논의

박막 트랜지스터의 게이트에 전압이 인가되면, 게이트 절연체인 실리콘 나이트라이드(a-SiN:H)와 실리콘(a-Si:H)과의 경계면에서 실리콘 쪽에 전하가 유도되어 에너지갭 내의 깊은 준위의 국제상태(deep localized gap states)부터 이들이 차며, 이때의 드레인 전류는 게이트 전압에 따라 거의 지수적으로 증가한다. 깊은 준위의 국제상태(deep localized gap states)에 전하들이 모두차면, 경계면 근처에서의 실리콘 페르미준위가 밴드 꼬리(band tails)로 이동하여 에너지 밴드의 확장상태(extended state)에 전하가 축적(accumulation)된다. 이때의 전류는 게이트 전압에 따라 거의 선형적으로 증가하며, 캐리어의 전계효과 이동도(field effect mobility)는 게이트 전압에 대해 별로 영향을 받지않고 일정하다. 그리고 양질의 비정질 실리콘 박막 트랜지스터를 제작하기 위해서는 실리콘 나이트라이드와 실리콘과의 경계면 상태밀도가 작아야 한다.

그림 2는 보론이 10ppm 도우핑된 트랜지스터의 게이트 전압( $V_G$ )에 따른 드레인 전류( $I_D$ )를 급냉온도에 따라 나타낸 것이다. 급냉후 on 전류는 증가 하였으

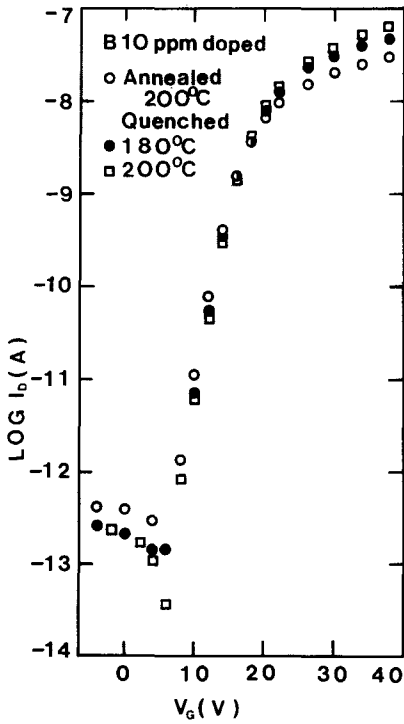


그림 2. 보론이 10ppm 도우핑된 비정질 실리콘을 이용한 박막 트랜지스터에서 급냉 온도에 따른 드레인 전류의 변화

Fig. 2. Effect of rapid quenching on the drain current ( $I_D$ ) vs gate voltage ( $V_G$ ) in a-Si:H TFT using 10ppm boron-doped a-Si:H.

나, off 전류는 감소하였다. On 전류가 증가한 것은 열평형 온도 이상에서 실리콘과 실리콘 나이트라이드 경계면으로 확산(diffusion) 하였던 수소가 급냉하면 원래의 어닐링 상태로 되돌아 가지 못하고 "frozen-in" 되어 경계면 상태밀도를 감소시켜 밴드 휨의 정도가 증가하여 on 상태일 때의 전기전도도가 증가하였기 때문이다. 또한 off 전류가 감소한 것은 실리콘 bulk에서의 덩글링 본드가 증가하여 페르미 준위가 갭 중앙으로 이동되었기 때문이다.<sup>[4]</sup> 그리고 180°C에서 급냉한 것보다 200°C에서 급냉하였을 경우의 드레인 전류가 더 크게 변화하였다. 이것은 급냉에 의한 효과가 수소의 운동과 관계있기 때문이다. 수소의 확산계수(diffusion coefficient)는 온도에 대해 여기 형태(activated form)를 갖기 때문에 급냉온도가 높으면 수소의 확산계수가 증가하여 급냉에 의한 효과도 더 크게 나타난다. 또한 전류가 포화될 때

의 게이트 전압이 급냉후 낮은 전압쪽으로 이동함을 볼 수 있는데, 이것은 경계면 상태밀도의 감소로 인해 문턱전압이 그만큼 감소하였기 때문이다.

그림 3은 보론이 100ppm 도우핑된 비정질 실리콘을 이용한 ambipolar 트랜지스터를 200°C에서 1시간 어닐링했을 때와 180°C에서 30분간 어닐링한 후 100°C까지 천천히 내려 급냉했을 때 전자채널(n-channel) 및 정공채널(p-channel)에 의한 드레인 전류를 측정된 것이다. 급냉한 후 전자채널에 의한 전류는 감소하였으나 정공채널에 의한 전류는 증가하였다. 이것은 급냉후 active dopant ( $B_i$ )의 증가에 의해 페르미 준위가 가전자대쪽으로 이동하였기 때문이다. 유리기판 위에 증착한 도우핑된 비정질 실리콘의 coplanar 구조전기 전도도를 측정하면 급냉후 전기 전도도가 증가한다.<sup>[6]</sup> 그러나 트랜지스터의 경우에는 그림에 나타난 바와 같이 off 전류가 감소한다. 실리콘 bulk에서 덩글링 본드의 증가와 더불어  $B_i$ 의 증가로 인해 실리콘의 페르미 준위가 가전자대 쪽으로 이동하게 된다. 그러므로 majority carrier가 전자라면 급냉후 off 전류가 감소한다.<sup>[7]</sup>

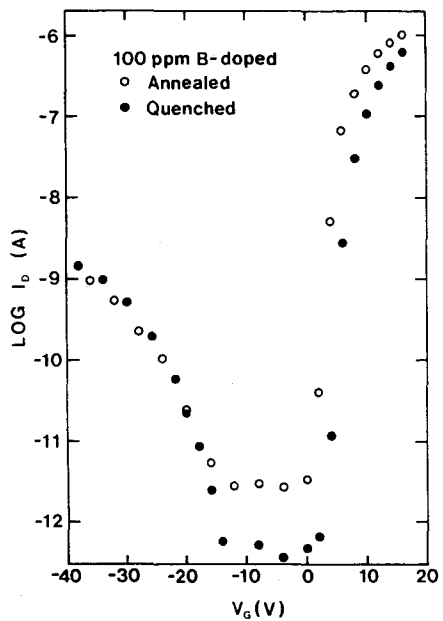


그림 3. 보론이 100ppm 도우핑된 비정질 실리콘을 이용한 ambipolar 트랜지스터의 급냉전, 후 게이트 전압 ( $V_G$ )에 따른 드레인 전류 ( $I_D$ )

Fig. 3. The drain current ( $I_D$ ) vs gate voltage ( $V_G$ ) before and after rapid quenching in a-Si:H ambipolar TFT using 100ppm boron-doped a-Si:H.

그림 4는 급냉후 게이트 전압이 0V와 -10V일 때의 드레인 전류를 온도에 따라 각각 측정하여 활성화 에너지(activation energy:  $E_a$ )를 구한 것이다. 게이트 전압이 0V일 때는 유도 전하가 없을 때의 보론이 100ppm 도우핑된 비정질 실리콘의 전기 전도도이고, -10V는 경계면에서의 밴드 휨을 고려하여 비정질 실리콘의 밴드가 거의 평평(flat band)할 때의 전기전도도를 측정하기 위해 게이트 전압에 의해 off 전류의 변화가 거의없이 일정한 임의의 전압을 선택한 것이다. 게이트 전압이 0V에서 어닐링 상태일 때의 활성화 에너지는 0.60eV로 보통 유리위에 증착된 단층의 비정질 실리콘 활성화 에너지<sup>[6]</sup>에 비해 작게 측정되었다. 따라서 실리콘 나이트라이드와의 경계면에서 밴드 휨이 존재하고, 비정질 실리콘의 두께가 얇아서 이러한 밴드 휨이 전기전도도에 큰 영향을 주기 때문이다. 그리고 저온에서의 전류는 직선에서 벗어나는데, 이것은 noise 때문인 것으로 생각된다. 또한 급냉한 경우, 게이트 전압이 0V일 때의 활성화 에너지가 0.66eV에서 -10V일 때 0.76eV로 0.1eV 정도가 증가하였다. 이것은 경계면에서의 밴드 휨이 감소하고 비정질 실리콘의 페르미 준위가 갭 중앙쪽으로 이동되었기 때문이다. 따라서 보론이 100ppm 도우핑된 비정질 실리콘의 majority carrier

가 전자임을 의미한다. 만약에 majority carrier가 정공이라면 게이트 바이어스가 0V일 때와 비교해서 -10V일 때의 활성화 에너지가 감소된다. 그러므로 그림 3에서의 급냉후 off 전류가 감소한 것은 majority carrier가 전자이고 급냉후 페르미 준위가 가전자대 쪽으로 이동하였기 때문이며, 게이트에 음의 전압이 인가되어도 일정한 전압까지 전류가 감소하는 것은 실리콘 나이트라이드와 실리콘 사이에 전자축적층이 형성되어 있기 때문이고 majority carrier가 전자에서 정공으로 바뀌는 과정 때문에 transfer curve에 평평한 부분이 나타난다.

그림 5는 보론이 100ppm도우핑된 비정질 실리콘을 이용한 ambipolar 트랜지스터를 100°C에서 급냉한 후 문턱전압의 변화를 나타낸 것이다. 이때 게이트 전압에 대해 드레인 전류가 지수적으로 증가하다가 선형적으로 증가하는 천이점의 전압을 외삽법으로 구하여, 그 전압을 문턱전압이라고 정의했다.<sup>[9]</sup>

보론이 도우핑된 ambipolar 트랜지스터에서 급냉후 실리콘 갭내의 상태밀도 변화없이 페르미 준위가 가전자대쪽으로 이동한다면 전자 및 정공채널에 의한 문턱전압이 모두 양으로 이동한다. 또한 갭내의 땀글링 본드가 증가하여 페르미 준위가 갭 중앙으로 이동한다면, 정공채널에 의한 문턱전압은 음의 값으로 이동하고, 전자채널에 의한 문턱전압은 양의 값

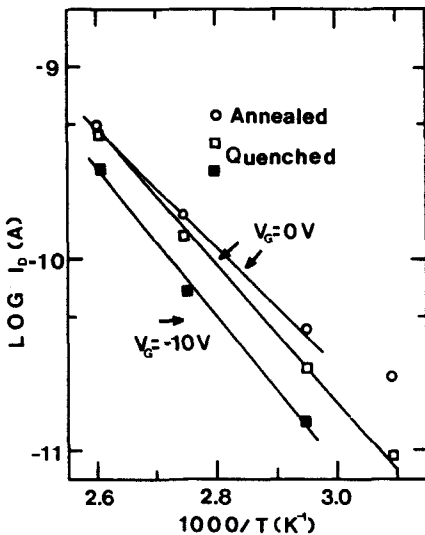


그림 4. 게이트 전압이 0, -10V일 때 급냉후 측정 온도에 따른 드레인 전류  
Fig. 4. Effect of rapid quenching on the temperature dependence of drain current ( $I_D$ ) with gate voltages of 0 and -10V.

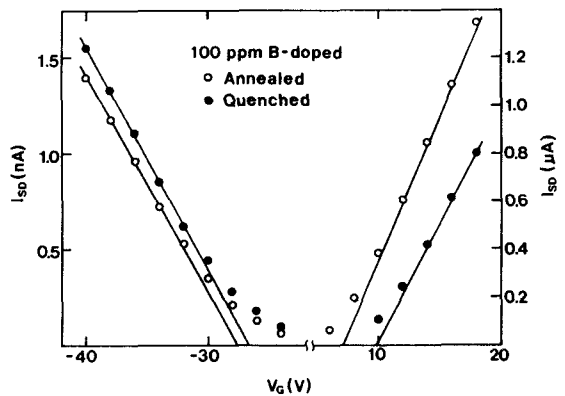


그림 5. 보론이 100ppm 도우핑된 비정질 실리콘을 이용한 ambipolar 트랜지스터의 급냉전, 후 드레인 전류, 문턱전압은 외삽법으로 구함.  
Fig. 5. The source-drain current ( $I_D$ ) vs gate voltage ( $V_G$ ) before and after rapid quenching for a a-Si:H TFT using 100ppm boron-doped a-Si:H. The threshold voltage is defined from the intercept.

쪽으로 이동한다. 그러므로 전자채널에 의한 문턱전압의 변화량을  $\Delta V_e$ 라고 정의하고, 정공채널에 의한 변화량을  $\Delta V_h$ 라고 하면, 땀글링 본드의 변화량  $\Delta N_{ab}$ 는 아래식과 같이 나타낼 수 있다.<sup>[10]</sup>

$$\Delta N_{ab} = C_1 \frac{\Delta V_e - \Delta V_h}{2} \quad (1)$$

또한, active dopants 밀도의 변화( $\Delta p$ )는

$$\Delta p = C_1 \frac{\Delta V_e + \Delta V_h}{2} \quad (2)$$

로 나타낼 수 있다. 여기서  $C_1$ 는 실리콘 나이트라이드의 정전용량이다.

그림 6 과 7 은 보론이 100ppm 도우핑된 실리콘을 이용한 ambipolar 트랜지스터의 급냉온도에 따른 땀글링 본드의 변화량( $\Delta N_{ab}$ )과 active dopants ( $B_i$ )의 변화량( $\Delta p$ )을 각각 나타낸 것이다. 급냉온도가 증가함에 따라  $\Delta p$ 가 증가한다. Fritzsche 등<sup>[11]</sup>은 인이 도우핑된 n형 비정질 실리콘의 급냉 실험에서 급냉온도가 증가함에 따라 암 전기전도도가 증가하는 것은 active dopants의 증가 때문이 아니고, 땀글링 본드가 감소하기 때문이라고 보고하였다. 그러나 본 실험에서 급냉온도가 증가함에 따라 active dopants ( $\Delta p$ )의 양이 증가된 것으로 보아 급냉에 의해 전기 전도도가 증가하는 것은 땀글링 본드의 감소가 아니라 active dopants의 양이 증가하여, 페르미 준위가 가전자대 쪽으로 이동하였기 때문이다. 그러나  $\Delta N_{ab}$ 는 일정 온도까지 증가하다가 150°C 이상에서는 처음값보다 더 감소함을 볼 수 있다. 이것은 비정질 실리콘 트랜지스터의 경우 급냉에 의한 효과가 땀글링 본드의 증가 및 감소의 서로 다른 두가지 메커니즘이 동시에 존재함을 의미한다. 즉, 그림 3에서와 같이 급냉에 의한 효과는 경계면의 상태변화와 실리콘 bulk의 상태변화의 두가지로 구분할 수 있다.<sup>[11]</sup> 경계면 상태밀도가 줄어들면  $\Delta N_{ab}$ 는 감소하고, 실리콘 bulk의 땀글링 본드가 증가하면  $\Delta N_{ab}$ 는 증가한다.

그러므로 150°C 이하에서 급냉하였을 경우  $\Delta N_{ab}$ 가 증가하는 것은 경계면에 의한 효과보다는 실리콘 bulk에 의한 효과가 더 크다는 것을 의미한다. 즉, 급냉에 의해 경계면 상태밀도의 감소보다는 실리콘 bulk에서 땀글링 본드의 증가량이 더 크기 때문이다. 그러나 급냉온도가 150°C 이상이 되면 실리콘 bulk에서의 땀글링 본드 증가보다는 경계면에서의 상태밀도가 감소하는 비율이 더크기 때문에  $\Delta N_{ab}$ 가 처음 값보다 감소함을 볼 수 있다. 이렇듯 급냉온도에 따라 실리콘 bulk에 의한 효과와 경계면에 의한 효과로 구분되는 것은 수소의 확산계수와 관계있는 열평형온

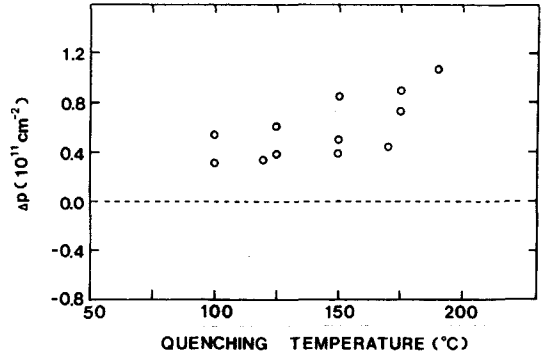


그림 6. 보론 도우핑된 비정질 실리콘에서 급냉 온도에 따른 active dopant 밀도의 변화

Fig. 6. Density of metastable active dopants in boron doped a-Si:H film created by rapid quenching.

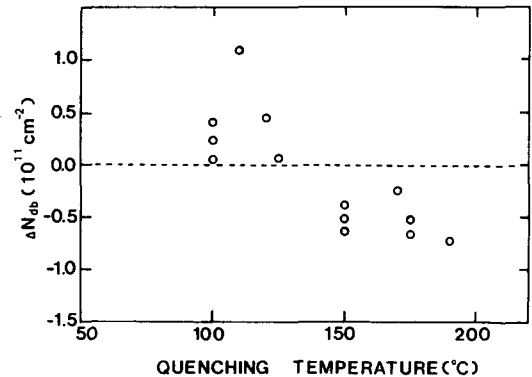


그림 7. 보론 도우핑된 비정질 실리콘에서 급냉 온도에 따른 깊은 국재상태 밀도의 변화량

Fig. 7. Density of created deep localized states by rapid quenching in boron-doped a-Si:H.

도 ( $T_E$ )가 경계면에서와 bulk에서 각기 다르기 때문이다.

#### IV. 결 론

보론이 10ppm 도우핑된 비정질 실리콘 박막 트랜지스터를 열평형 온도 이상에서 급냉하면 경계면의 상태밀도가 감소하여 on 전류는 증가하고, 실리콘 bulk내의 땀글링 본드가 증가하여 off 전류는 감소한다. 반면, 보론이 100ppm 도우핑된 비정질 실리콘을 이용한 ambipolar 트랜지스터를 열 평형 온도 이상에서 급냉하면 급냉 온도가 증가함에 따라 active dopants

(B<sub>2</sub>)의 양이 증가하여 페르미 준위가 가전자대 쪽으로 이동하므로 전자채널에 의한 전류는 감소하고, 정공채널에 의한 전류는 증가한다. 그러나 뎅글링 본드는 일정온도까지는 증가하다가 다시 감소하여 150℃ 이상에서는 처음 값보다 더 감소한다. 이것은 급냉에 의하여 경계면 상태밀도가 감소하고 실리콘 bulk의 뎅글링 본드가 증가하는 두 가지 메카니즘이 동시에 존재함을 의미한다.

參 考 文 獻

[1] Z.E. Smith, S. Aljishi, D. Slobodin, V. Chu, S. Wanger, "Thermal-equilibrium defect processes in hydrogenated amorphous silicon," *Phys. Rev. Lett.*, vol. 57, pp. 2450-2453, 1986.

[2] R.A. Street, J. Kakalios, and T.M. Hayes, "Thermal equilibration in doped amorphous silicon," *Phys. Rev. B*, vol. 34, pp. 3030-3033, 1986.

[3] X. M. Deng and H. Fritzsche, "Light-induced perturbation of the high-temperature equilibrium in phosphorus-doped a-Si:H," *Phys. Rev. B*, vol. 36, pp. 9378-9380, 1987.

[4] J. Jang, Y.K. Lee, S.C. Kim and C. Lee, "Thermal equilibrium change in diode structure of doped amorphous silicon," *Appl. Phys. Lett.*, to be published.

[5] 이이상, 장진 "수소화된 비정질 실리콘 n-p-p 태양전지에서 최적기판 온도의 결정," 전기, 전

자 공학 학술대회 논문집(I), pp. 509-512, 1987.

[6] R.A. Street, J. Kakalios, C.C. Tsai and T.M. Hayes, "Thermal-equilibrium process in amorphous silicon," *Phys. Rev. B*, vol. 35, pp. 1316-1333, 1986.

[7] M.J. Powell, B.E. Easton and D.H. Nicholls, "Annealing and light induced changes in the field effect conductance of amorphous silicon," *J. Appl. Phys.*, vol. 53, pp. 5068-5078, 1982.

[8] J. Jang and S.C. Kim, "Anomalous substrate and annealing temperature dependencies of heavily boron-doped hydrogenated amorphous silicon," *J. Appl. Phys.*, vol. 61, pp. 2092-2095, 1987.

[9] M.J. Powell, C. Van Berkel, I.D. French, and D.H. Nicholls, "Bias dependence of instability mechanisms in amorphous silicon thin-film transistors," *Appl. Phys. Lett.*, vol. 51, pp. 1242-1244, 1987.

[10] C. Van Berkel and M.J. Powell, "Resolution of amorphous silicon thin-film transistor instability mechanisms using ambipolar transistors," *Appl. Phys. Lett.*, vol. 51, pp. 1094-1096, 1987.

[11] Y.S. Lee, H.Y. Chu, J. Jang and C. Lee, "Thermally induced metastability in amorphous silicon thin film transistors," *Appl. Phys. Lett.*, to be published. \*

著 者 紹 介

李 梨 相(正會員)

1963年 3月 4日生. 1986年 경희대학교 물리학과 졸업. 1988年 경희대학교 대학원 물리학과 졸업. 현재 군 복무중. 주관심분야는 비정질 실리콘의 물성 및 반도체소자 등임.



秋 惠 容(準會員)

1964年 8月 3日生. 1987年 경희대학교 물리학과 졸업. 현재 경희대학교 대학원 물리학과 석사과정. 주관심분야는 비정질 실리콘 박막 트랜지스터의 물성 등임.

**張 震(正會員)**

1954年 11月 28日生. 1977年 2月

서울대학교 물리학과 이학사 학

위 취득. 1982年 8月 한국과학기술원 이학박사 학위 취득. 1982年

8月 경희대학교 물리학과 조교수.

1986年 10月~현재 경희대학교 물

리학과 부교수. 주관심분야는 비정질 실리콘, 다결정 실리콘, 결정질 실리콘, GaAs, AlGaAs 등의 반도체 재료의 성장, 물성 및 반도체 소자등임.

---