

디지털 전송 장치의 지터 허용치

(Jitter Tolerances in Digital Transmission Equipment)

高 楨 勳*, 李 晚 燮*, 朴 文 秀*

(Jeong Hoon Ko, Man Seop Lee and Moon Soo Park)

要 約

디지털 전송장치에서 지터 허용치는 신호를 재생하기 위해 사용하는 클럭 추출 회로의 특성에 좌우되며, 특히 비동기 다중화 장치에서는 이외에 프레임 형태, 이로인한 위치맞춤의 형태(justification process), 동기화기/역동기화기에서의 버퍼 단수, PLL의 전달함수, PLL의 동작범위 등이 지터 허용치에 큰 변수가 된다. 본 논문에서는 특히 비동기 다중화 장치에서, 이상의 변수가 주어졌을 때 지터 허용치를 구하기 위한 새로운 알고리즘을 제시하였으며 이 알고리즘을 이용해 이상의 변수가 입력 지터 허용치에 미치는 영향을 분석하였다. 45M-140M 다중화 장치에서 입력지터 허용치를 측정하였으며 측정 결과는 계산치와 근사함을 보였다.

Abstract

In the digital transmission equipment, the input jitter tolerance is a function of input timing recovery circuit characteristics. Especially, in the asynchronous multiplexers, it is also a function of the frame format, the buffer sizes in the synchronizer and desynchronizer, the PLL transfer function, and the operating range of VCO in PLL. In this paper, a new algorithm for calculating the jitter tolerance of the asynchronous digital transmission equipment is presented. With the new algorithm, we analyzed how the above factors limit the jitter tolerance in the equipment. We also measured the input jitter tolerance for a 45M-140M multiplexing equipment, whose results show the same trend with the calculated tolerance.

I. 서 론

디지털망에서 지터는 전송에러의 증가, 이로인한 디지털 신호로 코딩된 아날로그 신호의 왜곡, 스톱의 발생등 심각한 성능 저하를 초래하게 된다. 특히 "에러가 발생되지 않는 한도내에서 디지털 라인이나

다중화장치의 입력단에서 받아들일 수 있는 정현(sinusoidal) 지터의 주파수에 따른 최대 진폭"으로 정의되는 최대 입력 지터 허용치는 시스템 설계에 있어 매우 중요하다.

디지털 전송장치에서 지터 허용치는 신호를 재생하기 위해 사용하는 클럭 추출 회로의 특성에 좌우되며, 특히 비동기 다중화 장치에서는 프레임 형태, 이로인한 위치맞춤의 형태, 동기화기/역동기화기에서의 버퍼 단수, PLL의 전달함수, PLL의 동작 범위 등이 지터 허용치에 큰 변수가 된다.

*正會員, 韓國電子通信研究所
(Electronics and Telecommunications Research
Institute)

接受日字: 1988年 10月 17日

현재까지 지터 허용치에 대한 연구가 어느정도 행해졌으나^(1,2,3,4) 시스템 설계시 주어진 지터 허용치를 만족시켜 주기 위해 장치내의 각 부분에서 파라미터가 어떻게 선정되어야 하는가에 대해서는 충분한 연구 결과가 발표되어 있지 않다.

본 논문에서는 비동기 다중화 장치에서, 이상의 여러 변수 각각에 대한 값이 주어질 때 그에 따른 각각의 지터 허용치를 구하였고 이로써 이상의 변수가 입력지터 허용치에 미치는 영향을 분석하였으며 시스템 설계시 지터 허용치가 어떻게 고려되어야 하는가를 제시하였다.

II. 신호 재생 회로에서의 지터 허용치

신호재생회로에서 지터 허용치는 입력신호내의 클럭신호와 추출된 클럭신호와의 차이인 어라인먼트(alignment) 지터에 좌우된다.^(1,2,3,4)

클럭추출회로에는 RLC 동조회로, PLL, SAW 필터가 주로 사용되며 45M-140M 다중화 장치에서는 입력단의 신호재생 회로로 RLC 동조 회로를 사용하고 있다.

RLC 동조회로 회로(low-Q tank circuit)의 지터 전달함수는

$$H(f) = 1 / (1 + j2fQ/f_0)$$

이다.

여기서 Q는 quality factor이며 f_0 는 중심 주파수이다.

$$H(f) = (1 - j2fQ/f_0) / [1 + (2fQ/f_0)^2]$$

$$= (1 - jx) / (1 + x^2),$$

$$X = 2fQ/f_0 \text{로 표시하면}$$

로 표시하면 J_{MAX} 는

$$J_{MAX} = W_{eff} (1 + x^2)^{1/2} / x$$

가 된다.⁽⁴⁾

$T(x) = (1 + x^2)^{1/2} / x$ 를 그래프로 나타내면 그림 1과 같다.

DS3에서의 정합조건으로 B3ZS 신호를 사용하며 쌍극성(Bipolar) 신호를 단극성(Unipolar) 신호로 바꾼 후 RZ 신호를 리타이밍하므로 실효폭 W_{eff} 는 $1/2[UI]$ 보다 작다. 리타이밍할 수 있는 폭을 이상적인 구형파로 하여 $0.5[UI]$ 로 하면 $W_{eff} = 1/2$ 이 되며 $Q = 100$ 인 RLC 동조회로에서의 지터 허용치를 그림 1에서 좌표로 표시하고 있다.

III. 동기화기에서의 지터 허용치

다중화기에서 위치맞춤에 의한 지터 흡수 능력은 최대 위치맞춤 속도(maximum justification rate)와 위

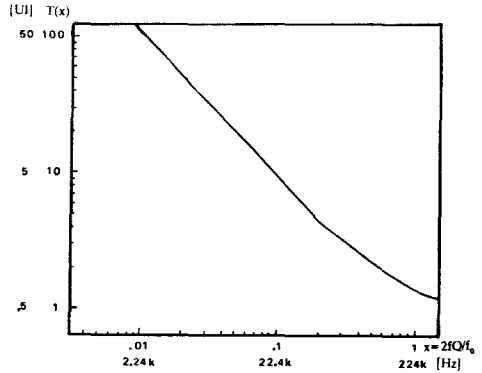


그림 1. tank를 사용한 신호재생 회로의 지터 허용치 Fig 1. Jitter tolerance of tank timing extractor.

치맞춤 비(justification ratio), 그리고 위치맞춤 요구 신호가 발생하고 부터 실제로 위치맞춤이 행해지는 데 기다리는 시간(waiting time)에 의해 결정된다.

45M-140M 다중화 장치에서^(6,7,8) 위치맞춤에 의한 지터 흡수는 다음과 같다.

그림 2는 다중화기의 동기화기(synchronizer)에서 한 프레임 동안에 종속신호로부터 추출한 쓰기클럭을 기준으로, 다중화기의 주발진기로부터 만들어진 읽기클럭의 위상변화를 보여준다. 여기서 한 비트(1 UI)는 (139.264/3)Mb/s 신호의 한 주기를 나타내지만 이는 종속신호인 44.736Mb/s 신호의 한 비트크기와 거의 같다고 봄으로써 입력종속신호의 지터 허용치를 구하는데 그림2를 바로 사용할 수 있다. 그림2에서 =선은 프레임에서 33개의 오버헤드(overhead) 비트에 해당하는 위치에서 읽기클럭의 펄스가 발생되지 않기 때문에 생기는 위상의 급작스런 지연을 나타낸다. 여기서 프레임 배열 신호(FAW: frame alignment

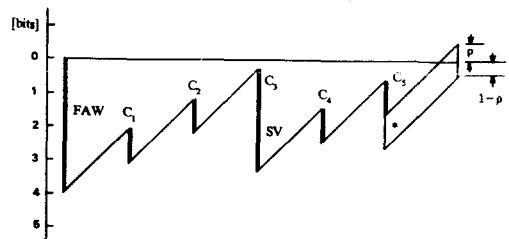


그림 2. 1 frame 내에서 쓰기클럭과 읽기클럭의 상대적인 위상 변화

Fig. 2. Relative phase variation between write clock and read clock in one frame.

word)는 12비트이며 3 채널 중 각 채널에 해당되는 비트는 4비트 씩이므로 한꺼번에 4비트의 위상 변화를 가져온다. 위치맞춤 제어비트인 C_1, C_2, C_3, C_4, C_5 에서는 각 1비트, 6개의 서비트비트(SV)에서는 2비트의 위상 지연이 생긴다. 선에서 positive의 기울기는 쓰기클럭의 속도인 44.736MHz보다 139.264MHz를 3분주하여 만들어진 (139.264/3)MHz의 읽기클럭이 더 빠르기 때문에 쓰기클럭과 읽기클럭의 상대적인 위상차가 줄어들음을 나타낸다.

그 변화율은 1초당

$$\left[(139.264/3)M - 44.736M \right] \times [3 / (139.264M)] = 1 - (44.736 \times 3) / 139.264 [\text{sec}] \text{가 된다.}$$

* 위치에서 위치맞춤이 발생시에는 1비트 지연이 더 발생한다. 위치맞춤 발생에 대한 정보는 각 채널당 C_1, C_2, C_3, C_4, C_5 의 5비트에 실려 역다중화기 쪽으로 전송된다.

위의 그림에서 보는 바와 같이 한 프레임 당, 위치맞춤이 발생하지 않았을 경우 0.545비트 만큼 앞서게 되고, 위치맞춤이 발생시에는 $0.545 - 1 = -0.455$ 로 0.455 비트 만큼 뒤지게 된다.

읽기클럭이 지터가 있는 쓰기클럭을 따라가는 것은 아날로그 신호를 델타변조(delta modulation) 하는 것과 마찬가지로 형태를 보여주며 읽기클럭이 쓰기클럭의 지터 증가분을 따라갈 수 있는 최대의 속도는 최대 위치 맞춤 속도 f_m 에 위치맞춤 비 ρ 를 곱한 정규화된(normalized) 위치맞춤 속도 f_n 이다. 반대로 지터가 마이너스 방향으로 증가할 때 지터를 따라갈 수 있는 최대 속도는 위치맞춤이 연속으로 발생할 때이므로 $(\rho - 1) \times f_m = f_n - f_m$ 이 된다.

따라서 위치맞춤으로 흡수될 수 있는 지터의 최대 변화치는

$$f_n - f_m \leq d\phi/dt \leq f_n$$

으로 제한된다.^[2]

여기서 정현지터신호를 $\phi = (J/2) \times \sin 2\pi f_c t$ 로하면

$$d\phi/dt = \pi J f_c \cos 2\pi f_c t \text{가 된다.}$$

위치맞춤에 의한 지터 흡수에는 이상과 같은 읽기클럭의 탄력성 외에 위치맞춤 요구 신호가 발생되고 부터 실제로 위치맞춤이 행해지는데 걸리는 대기 시간(waiting time)이 문제가 된다.

이와 같이 대기 시간으로 인한 지연으로 흡수되지 못하는 지터를 최소화하기 위해서는 위치맞춤이 일어나기 직전에 위치맞춤 여부를 결정하는 것이 좋으나 위치맞춤 여부를 역다중화 측에 알리기 위해 몇 개의 제어(control) 비트를 프레임내에 고르게 분포시켜 전송해야 하므로 얼마간의 지연은 피할 수 없다.

급격히 변해 위치맞춤으로 흡수되지 못하는 지터와, 위치맞춤 요구 신호가 발생되고 실제로 위치맞춤이 일어나는데 걸리는 지연으로 흡수되지 못하는 지터, 그의 오버헤드 비트로 생기는 위상의 급격한 지연등은 동기화기의 버퍼에서 수용 되어야 한다.

지터의 변화량 $d\phi/dt = \pi f_c J$ 가 $f_n - f_m \leq d\phi/dt \leq f_n$ 를 충분히 만족시키는 주파수와 진폭을 갖는 지터는 위치맞춤으로 거의 모든 지터가 흡수되므로 버퍼에 지터 흡수를 별로 부담시키지 않고 예리없이 입력신호를 다중화시킬 수 있다.

그러나 일부분에서만 $f_n - f_m \leq \pi f_c J \leq f_n$ 를 만족시키는 경우에는 일부에서는 위치맞춤으로 지터를 따라갈 수 있으나 지터가 급격히 변하는 곳에서는 $f_n - f_m \leq \pi f_c J \leq f_n$ 의 범위를 벗어나 흡수되지 못하는 지터는 동기화기의 버퍼에서 흡수되어야 한다.

그림 3은 쓰기클럭이 정현지터로 변조되었을 때 위치맞춤으로 읽기클럭이 지터를 흡수하는 것을 보여 준다.

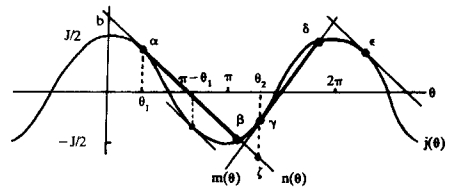


그림 3. $\gamma - \zeta > 0$ 일때의 읽기클럭의 지터 흡수
Fig. 3. Jitter absorption of read clock when $\gamma - \zeta > 0$.

여기서 우선 음방향의 지터에 대한 허용치를 구해 보면 다음과 같다.

그림 3에서 지터신호 $J(t) = J/2 \times \cos(2\pi f_c t)$ 는 $2\pi f_c t = \theta$ 로 하여 $j(\theta) = J/2 \times \cos \theta$ 로 하였으며 따라서 기울기 a는 음방향의 최대 지터흡수 능력인 $f_n - f_m$ 을 지터 주파수로 정규화한 $a = (f_n - f_m) / (2\pi f_c)$ 가 된다.

여기서 f_c 는 지터 주파수이다.

직선 $n(\theta)$ 는 $n(\theta) = a\theta + b$ 로 하면 $\theta = \theta_1$ 에서 $dn(\theta)/d\theta = -j/2 \times \sin \theta_1 = a$ 이다.

따라서 $\theta_1 = \sin^{-1} [(f_m - f_n) / \pi f_c J]$ 이며 $\theta = \theta_1$ 에서 $J/2 \times \cos \theta_1 = a\theta_1 + b$, $b = J/2 \times \cos \theta_1 - a\theta_1$ 이다. 마찬가지로 θ_2 를 구하면 $\theta_2 = \sin^{-1} [f_n / (\pi f_c J)] + \pi$, $\theta = \theta_2$ 에서 $\gamma - \zeta$ 는 $\gamma - \zeta = J/2 \cos \theta_2 - a\theta_2 - b$ 가 된다.

여기서 $\gamma-\zeta$ 가 양수인 경우에는 β 에서 양방향의 지터를 흡수할 수 있는 $d\phi/dt \leq f_n$ 의 범위에 든다. 이때 읽기클럭은 좁은 선의 $\alpha-\beta-\gamma-\delta-\epsilon$ 의 제적을 갖는 지터 신호로 변조된다.

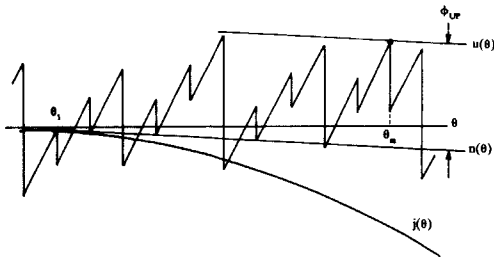


그림 4. 음방향으로 정현지터 변조된 쓰기클럭과 읽기클럭의 상대적인 위상변화
Fig. 4. Read clock phase relative to write clock jittered in negative slope.

그림 4는 쓰기클럭의 음방향의 정현지터 신호와 읽기클럭의 지터신호를 나타낸다. 그림 4에서와 같이 읽기클럭의 위상은 θ_1 조금 후 쓰기클럭의 위상을 앞섰으나 θ_1 보다 1프레임 후에 위치맞춤 여부가 결정되고 θ_m 에서야 비로소 위치 맞춤이 행해진다.

여기서 $m(\theta)$ 는 $n(\theta)$ 로부터 가장 멀리 떨어진 읽기클럭의 위상을 연결하는 직선으로 다중화 장치에서 선택하는 프레임 구조에 따라 달라진다.

최적의 위치맞춤 결정 위치인 첫번째 제어 비트 직전의 읽기클럭의 위상이 점점 θ_1 에서 쓰기클럭의 위상보다 작은 한도내에서 쓰기클럭에 최대한 접근했을 때 $\phi_{UP} = u(\theta) - n(\theta)$ 는 최대가 되며 이때 $\phi_{UP} \approx 3.0$ [UI]이다. 그림 4에서 ϕ_{UP} 이 결정되었고 그림 3에서 $\theta = \pi - \theta_1$ 에서 $n(\theta)$ 와 $j(\theta)$ 의 최대 차이가 구해졌으며 음방향의 지터를 흡수하기 위해 할당된 버퍼 크기를 BN_{UP} 으로 했을 때 $\phi_{UP} + n(\pi - \theta_1) - j(\pi - \theta_1)$ 가 BN_{UP} 보다 크면 에러가 발생한다.

따라서

$$\phi_{UP} + a \times (\pi - \theta_1) + b - J/2 \times \cos(\pi - \theta_1) < BN_{UP} \quad (1)$$

인 범위에서 가장 큰 J가 지터 허용치가 된다.

양방향의 지터 허용치도 이와 마찬가지로 구해진다. 그림 5는 쓰기클럭의 양방향의 정현지터 신호와 읽기클럭의 지터신호를 나타낸다. 이때에는 점점 $\theta = \theta_2$ 에서 읽기클럭의 위상이 쓰기클럭의 위상

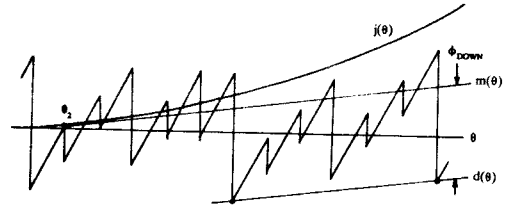


그림 5. 양방향으로 정현지터 변조된 쓰기클럭과 읽기클럭의 상대적인 위상변화
Fig. 5. Read clock phase relative to write clock jittered in positive slope.

보다 큰 한도내에서 쓰기클럭에 최대한 접근했을 때 $\phi_{DOWN} = m(\theta) - d(\theta)$ 가 최대가 되며 이때의 $\phi_{DOWN} \approx 2.83$ [UI]이다. 양방향의 지터를 흡수하기 위한 버퍼의 크기를 BN_{DOWN} 으로 했을 때

$$\phi_{DOWN} + j(2\pi - \theta_2) - m(2\pi - \theta_2) > BN_{DOWN} \quad (2)$$

이면 에러가 발생한다.

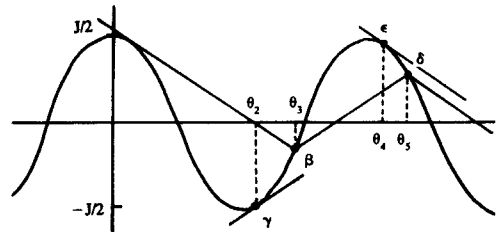


그림 6. $\gamma-\zeta < 0$ 일때의 읽기클럭의 지터 흡수
Fig. 6. jitter absorption of read clock when $\gamma-\zeta < 0$.

$\gamma-\zeta$ 가 음수인 경우에는 그림 6에서와 같이 θ_3 가 θ_2 보다 크게 된다. 이때 θ_5 가 θ_4 보다 큰 경우와 작은 경우가 있다. 작은 경우에는 $\gamma-\zeta$ 가 양수인 경우로 하여 식(1), 식(2)로부터 구한 지터 허용치와 같으며 큰 경우에는 식(1)과 식(2)로부터 얻은 지터 허용치보다 더 크게 된다. 큰 경우 그 해석이 복잡해지므로 허용치를 구하지 않고 대신 식(1), 식(2)로부터 최소한 보장되는 지터 허용치를 구할 수 있다.

이로써 $\rho = 0.545$, $f_m \approx 146$ KHz인 DS3-DS4 다중화 장치에서 버퍼단수 BN을 14단으로 주어졌을 때 $BN_{UP} = BN_{DOWN} = 7$ 으로 하는 것이 최적이며 이때의 양방향의 지터 허용치와 음방향의 지터 허용치는 각각 그림 7의 (a), (b)와 같다. 이 경우 지터 허용치는

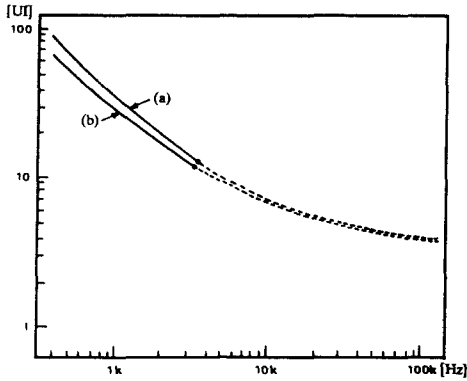


그림 7. 45M-140M 다중화장치의 동기화기에서의 지터 허용치

- (a) 양방향의 지터 허용치
- (b) 음방향의 지터 허용치

Fig. 7. Jitter tolerance in synchronizer of 45M-140M multiplexer.

- (a) Jitter tolerance in positive slope.
- (b) Jitter tolerance in negative slope.

음방향의 지터신호에 대한 허용치에 의해 제한됨을 알 수 있다.

그림 7에서 점선은 $\gamma-\zeta$ 가 음수인 경우를 나타낸다.

IV. 역동기화기에서의 지터 허용치

역동기화기의 지터 허용치를 가장 크게 하기 위해서 쓰기클럭과 읽기클럭의 시간차는 통상 그림 8과 같이 쓰기클럭의 중심과 읽기클럭의 중심이 $BN/2$ 차이 나도록 한다. 그림에서 BN 은 역동기화기의 버퍼 단수이고 OH 는 종속신호에 할당되는 오버헤드 비트 중 가장 큰수를 나타낸다.

2차 능동 필터를 가진 PLL의 전달 함수는 저주파 대역에서 위상 변이가 작으며 이득은 $0[\text{dB}]$ 에 가깝기 때문에 지터의 진폭이 크더라도 쓰기클럭과 읽기클럭의 위상차는 일정하게 유지되므로 역다중화기로부터의, 지터가 존재하는 데이터는 읽기 클럭으로 어려없이 읽혀질 수 있다.

PLL에서는 클럭 추출 회로에서처럼 차단 주파수 이상의 주파수를 갖는 지터는 감쇄된다. 이로써 역다중화기로부터의 쓰기클럭과 PLL 클럭 재생 회로로부터 재생된 읽기 클럭과의 위상 차이의 변화는 지터의 감쇄량 만큼이 된다.

쓰기클럭과 읽기클럭의 배열을 그림 8에서와 같이

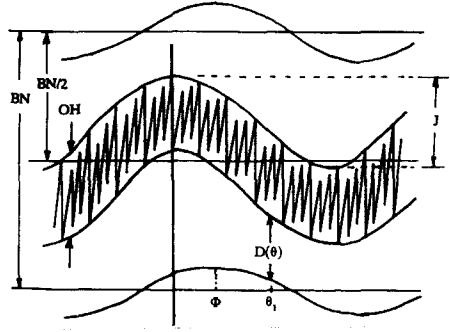


그림 8. 역동기화기에서의 쓰기클럭과 읽기클럭의 시간차

Fig. 8. Write clock and read clock in desynchronizer.

했을 때 쓰기클럭과 읽기 클럭의 차이는

$$D(\theta) = J/2 \times \cos \theta - OH/2 + BN/2 - J/2 \times \Gamma \cos(\theta + \Phi)$$

와 같으며 그 차이가 최소가 되는 점은

$$dD(\theta)/d\theta = -\sin \theta + \Gamma \sin(\theta + \Phi) = 0$$

를 만족하는 점이다. 이때를 θ_1 으로 하면

$$\theta_1 = \tan^{-1} [\Gamma \sin \Phi / (1 - \Gamma \cos \Phi)]$$

이다.

여기서 J 는 지터의 진폭이고 BN 은 버퍼의 단수이며 OH 는 각 종속신호에 할당되는 오버헤드 중 가장 긴 비트 수이다. 또 Γ 는 PLL 전달함수의 이득이며 Φ 는 전달함수에서 위상변이이다.

$\theta = \theta_1$ 일때 쓰기클럭과 읽기클럭이 만나게 되면서 에러가 발생한다. 이때

$$D(\theta_1) = J/2 \times \cos \theta_1 - OH/2 + BN/2 - J/2 \times \Gamma \cos(\theta_1 + \Phi) = 0$$

이 되며

이를 만족시키는 지터 허용치 J_{MAX} 는

$$J_{MAX} = -(BN - OH) / (\cos \theta_1 - \Gamma \cos(\theta_1 + \Phi)) \quad (3)$$

이다.

여기서 J_{MAX} 는 정해진 지터 신호의 주파수에서 쓰기클럭과 읽기클럭이 겹쳐 에러가 발생하지 않는 한도에서 가장 큰 지터의 진폭이 된다.

2차 능동 필터를 사용했을 때 지터 전달 함수는

$$H(s) = (2\zeta \omega_n s + \omega_n^2) / (s^2 + j2\zeta \omega_n s + \omega_n^2) \quad (4)$$

이다.

여기서 ζ 는 damping factor, ω_n 은 natural frq. 이다.

이식으로부터 PLL의 폐루프(closed loop)의 전달 특성에서 이득과 위상은 $\omega_n = \omega_c \{2\zeta^2 + 1 + [(2\zeta^2 + 1)^2 + 1]^{1/2}\}^{-1/2} = \omega_c/k$ 을 이용해 지터주파수 f 를 PLL의 차단주파수 f_c 로 정규화하여 나타내면

$$\Gamma(x) = \frac{\{1 + (2\zeta xk)^2\}}{\{(1 - (xk)^2)^2 + (2\zeta xk)^2\}^{1/2}} \quad (5)$$

과

$$\Phi(x) = \tan^{-1}(2\zeta xk) - \tan^{-1}\{2\zeta xk/[1 - (xk)^2]\} \quad (6)$$

로 표시할 수 있다. 여기서 ω_n 은 natural freq., ζ 는 damping factor이며 $x = \omega/\omega_c$ 이고 f_c 는 차단 주파수이다.

식(3)의 J_{MAX} 내에서 $F(x) = 1/[\cos\theta_1 - \Gamma\cos(\theta_1 + \Phi)]$ 라 정의하고 그림 9에서 $\zeta = 1, 5$ 에서의 $F(x)$ 를 나타내었으며 또 버퍼 단수 BN가 14단, OH를 4비트, f_c 를 1KHz로 했을 때를 지터 허용치 J_{MAX} 를 좌표로 나타내고 있다.

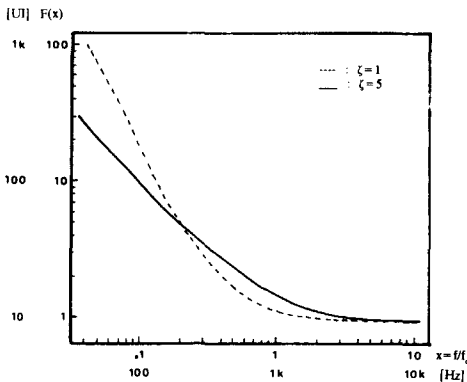


그림 9. 역동기화기에서의 지터 허용치
Fig. 9. Jitter tolerance of desynchronizer.

그림으로부터 BN, OH가 정해져 있을 때 차단주파수를 크게하면 허용치 측면에서 개선됨을 알 수 있으나 대신 웨이팅 타임 지터(waiting time jitter)와 오버헤드비트로 인한 고주파 성분을 제거하는 면에서는 불리하게 되며 따라서 20dB/decade의 감쇄 특성을 갖는 2차 능동 필터를 사용했을 때 차단주파수는 대략 프레임 주파수의 1/100 정도로 함으로써 오버헤드비트로 인한 성분이 약 -40dB 감쇄되어 무시할 수 있도록 한다.^[5]

V. PLL의 동작 범위에 따른 지터 허용치

클럭원에 정현지터가 존재할 때 그만한 크기의 지터를 야기하기 위한 주파수의 변이의 크기를 구하기 위해서

$$f(t) = \sin 2\pi(f_0 t + \phi) = \sin 2\pi\{f_0 t + (J/2) \sin 2\pi f_c t\} = \sin 2\pi(f_0 + \Delta f)t$$

여기서 진폭J, 주파수 f_c 인 지터가 존재할 때 클럭의 주파수 변이 Δf 는

$$d\phi/dt = d\{(J/2) \sin 2\pi f_c t\}/dt = \pi J f_c \cos 2\pi f_c t$$

가 된다. 따라서 최대 주파수 변이는 $\pm \pi J f_c$ 가 된다.

입력신호의 지터가 위치맞춤에 의해 충분히 흡수되었다면 이 정보가 위치맞춤 제어비트(justification control bit) C_j (DS3-DS4 다중화장치에서 $j = 1, \dots, 5$)에 실려 전송되며 역다중화기에서 복구되어 역다중화기의 쓰기클럭에 그대로 나타난다. 역다중화기의 PLL에서는 쓰기클럭을 이용해 읽기클럭을 만드는데 PLL의 차단 주파수내에서는 지터 신호가 VCO의 입력신호(control voltage)로 그대로 나타나며 이로써 VCO의 출력인 읽기클럭으로 나타난다. 이와같이 읽기클럭을 만드는 VCO는 저주파 대역에서 입력신호의 지터 변화를 거의 그대로 따라가야 한다. 이때 입력신호의 지터가 커서 VCO의 입력신호의 진폭이 저역통과 필터의 동작범위를 벗어나면 역다중화기로부터의 중속신호를 읽기클럭으로 제대로 읽어낼 수 없어 에러가 발생한다.

VCO의 입력신호V_c의 동작허용범위를 $\pm P[V]$ 로 할 때 VCO의 동작할 수 있는 주파수 범위는 $\pm P \times K_v/2\pi$ 가 된다. 여기서 K_v는 VCO의 변조감도(modulation sensitivity)로 단위는 [rad/s/V]이다. 주파수 편이가 $\pm \pi J f_c$ 이므로 지터주파수 f_c 가 다중화 장치의 중속신호의 지터 전달특성의 차단 주파수 보다 작아 지터가 거의 그대로 전달된다면 f_c 에서 $J = P \times K_v / (2\pi f_c)$ [UI]를 만족하는 범위 내에서만 VCO가 동작해 에러없이 역동기화기로부터 데이터를 읽을 수 있다.

폐루프의 전달 특성의 차단 주파수를 넘는 고주파 대역에서는 지터신호가 감쇄되고 VCO의 입력 신호의 진폭이 작아져 VCO가 동작 가능한 입력신호의 지터 허용치는 역으로 커지게 된다.

주파수 f_c 에서 PLL의 이득이 Γ 이고 VCO 입력 전압이 V_c일 때

$$V_c / [(\pi J f_c) / (K_v/2\pi)] = \Gamma$$

가 되며

여기서 VCO의 입력신호 전압V_c의 동작범위가 정

해져 있으므로 입력신호의 지터 허용치 J 는 $1/\Gamma$ 배 만큼 증가할 수 있다.

따라서 지터허용치는

$$J = [P \times K_v / (2\pi^2 f_c)] \times (1/\Gamma)$$

가 된다.

2차 능동필터를 사용했을 때 PLL에서의 이득은 식(5)와 같으므로

$$J = P \times K_v / [2\pi^2 f_c x \Gamma(x)] \quad (7)$$

가 되며

여기서 x 는 지터주파수 f ,를 PLL의 차단주파수로 정규화한 값이다.

식(7)내에서 $V(x) = 1/[x\Gamma(x)]$ 라고 정의하고 그림 10에서 $\zeta=1$ 과 5에서의 $V(x) = 1/[x\Gamma(x)]$ 의 그래프를 보여주고 있으며 V_c 의 동작범위 $P = \pm 2[V]$, $K_v = 2\pi \times 10K[r/s/V]$ 이고 PLL의 차단주파수를 $f_c = 1KHz$ 로 할 때의 지터 허용치를 좌표로 표시하고 있다.

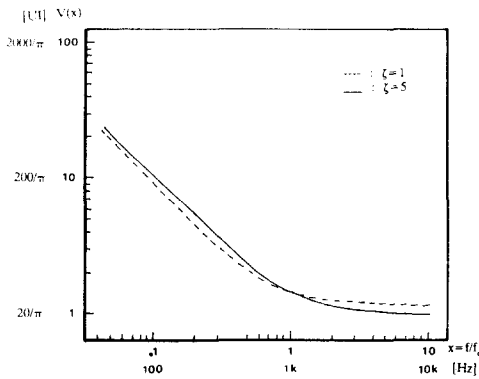


그림10. PLL의 동작범위에 따른 지터 허용치
Fig. 10. Jitter tolerance by range of PLL.

VI. 측정결과

이상에서는 비동기 다중화 장치의 여러 위치에서 정현지터의 허용치를 구해 보았다. 각 위치에서의 지터는 지터전달특성으로 인해 입력지터와는 다소 다르므로 각 위치에서의 지터 허용치가 바로 입력신호에 대한 지터 허용치라고 할 수는 없으나 각 위치에서의 지터 허용치를 그림11에서와 같이 중복하여 나타냄으로써 입력신호의 각 주파수에서 지터 허용치가 장치내의 어느 위치에서 어떻게 제한되는 지를 알 수 있다.

그림11에서는 45M-140M 디지털 장치에서 입력단의 신호 재생 회로로 $Q=100$ 인 RLC 동조회로를 사

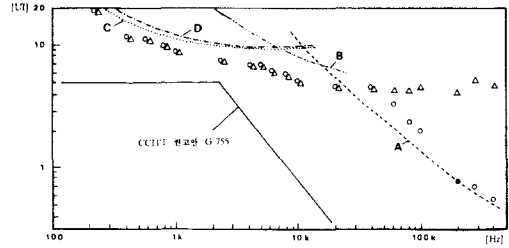


그림11. 45M-140M 다중화장치 각 부분에서의 지터 허용치와 측정치

Fig. 11. Composite jitter tolerance of 45M-140M multiplexing equipment and its experimental result.

용하였고 동기회기와 역동기회기에서 14단의 버퍼를 사용하였다. 또 역동기회기의 PLL에서는 2차 능동필터를 사용하였고 damping factor ζ 를 5로 하고 차단 주파수는 0.7KHz로 하였다. PLL에서 사용되는 VCXO(voltage controlled crystal oscillator)는 $K_v = 2\pi \times 10K[r/s/V]$ 이다.

그림11에서 A는 신호 재생 회로에서의 지터허용치이고 B는 동기회기에서의 지터 허용치, C는 역동기회기에서의 지터 허용치, D는 PLL의 동작범위에 따른 지터 허용치의 계산치이다. 그리고 45M-140M 디지털 장치에 대한 CCITT규격안 (lower limit of maximum tolerable sinusoidal input jitter at 44736Kb/s)을 보여주고 있다.^[6]

이상과 같은 디지털 장치의 분석 결과를 확인하기 위해 장치에서의 지터장용치를 측정하였다. 측정을 위한 장치의 구성도는 그림12와 같다.^[9]

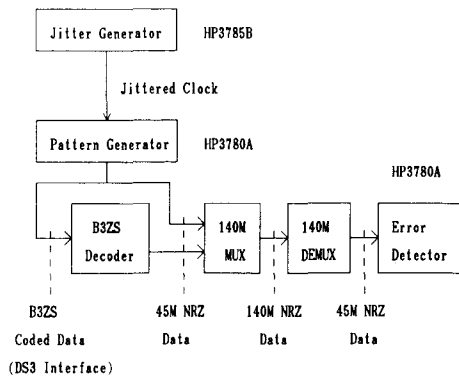


그림12. 45M-140M 다중화장치의 지터 허용치 측정을 위한 장치 구성도

Fig. 12. Set-up for jitter tolerance measurement of 45M-140M multiplexing equipment.

측정 결과는 그림11에서 보여주고 있는데 그림11에서 ○는 RLC 동조회로-MUX-DEMUX를 연결하여 측정하였을 때의 입력지터 허용치이며 △는 MUX-DEMUX 만을 연결하였을 때의 허용치이다. 그림에서 10KHz 이상에서 두 측정치가 차이를 보이는 것으로부터 지터 주파수가 10KHz 이상에서는 장치의 지터 허용치가 RLC 동조회로를 사용하고 있는 신호 재생 회로에 의해 제한됨을 알 수 있다.

20KHz 이하에서 계산치와 측정치에 차이가 생기는 것은 장치의 동기화기와 역동기화기의 버퍼에서 쓰기클럭과 읽기클럭의 시간차가 회로내에서의 신호 지연(delay)으로 인해 최적으로 되지 못하고 있으며 또한 사용된 VCO의 변조율이 입력신호(control voltage)의 주파수가 높아짐에 따라 감소되는 특성을 갖고 있어 PLL의 전달 특성에 영향을 미치기 때문이다. 이외에 VCO의 입력신호의 크기에 따른 주파수 변화의 비선형성(non-linearity)도 한 요인이 될 수 있다. 따라서 VCO의 최대 변조 속도가 PLL의 차단 주파수보다 충분히 크고 선형성도 개선된다면 이론치에 보다 가까이 접근할 수 있을 것으로 생각된다.

Ⅶ. 결 론

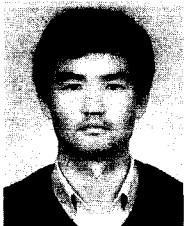
비동기 다중화 장치에서의 프레임 형태, 이로 인한 위치맞춤의 형태, 동기화기/역동기화기에서의 버퍼 단수, PLL의 전달함수, PLL의 동작범위 등의 여러 파라미터가 정해졌을 때 지터 허용치를 구하는 새로운 알고리즘을 제시하였다. 이로써 디지털 장치에서 각 부분의 파라미터가 지터 허용치에 어떻게 영향을 미치는가를 분석하였으며 이 알고리즘을 이용해 디지털 시스템 설계시 주어진 지터 허용치를 만족시키기 위해 장치내의 파라미터가 어떻게 선정되어야 하는가를 제시하였다.

또한 이러한 알고리즘을 45M-140M 다중화 장치에 적용한 이론치는 장치의 동기화기와 역동기화기의 버퍼에서 쓰기클럭과 읽기클럭의 시간차가 최적으로 되지 못한 점과 사용된 VCO의 입력신호의 크기에 따른 주파수 변화의 비선형성, 변조 속도의 제한을 고려할 때 측정치와 매우 근사함을 나타내었다.

参 考 文 献

- [1] C.C. Cock, "Jitter tolerances in digital equipment," *IEE. Colloquium on Jitter in Digital Communication System*, Nov. 19, 1977.
- [2] R.J.S. Bates, "A model for jitter accumulation in digital networks," *Globcomm '83*, pp. 145-149.
- [3] J.J. Baldidi, et al, "Jitter in digital transmission systems characteristics and measurement techniques," *Globcomm '82*, pp. C.7.3.1.-C.7.3.7.
- [4] Sammy Siu, et al, "Analysis of the maximum tolerable input in a chain of digital regenerator," *Globcomm '86* pp. 1071-1077.
- [5] F.F.E.. Owen, "PCM and digital transmission systems," McGraw-Hill Book Company, 1982.
- [6] CCITT Recommendation G.755.
- [7] "장파장 광통신 시스템 개발," 한국전자통신연구소, 연구보고서, 1986. 12.
- [8] "장파장 광통신 시스템 개발," 한국전자통신연구소, 연구보고서, 1987. 12.
- [9] 고정훈 외 3인, "디지털 전송장치의 지터(지터의 규격과 측정법)," 한국전자통신 연구소 TM, TM88-1410-4, 1988. 6. *

著 者 紹 介



朴 文 秀 (正會員)
 1955年 11月 1日生. 1978年 경북대학교 전자 공학과 졸업 공학사 학위 취득. 1981年 서울대학교 대학원 전자공학과 졸업 공학석사 학위 취득. 1982年 7月~현재 한국 전자통신 연구소 광통신 연구실 선임연구원. 주관심분야는 광통신 채널의 특성연구, 광전송 시스템용 광송수신기 설계, RF 회로설계 등임.

高 楨 勳 (正會員) 第25卷 第8號 參照
 현재 한국전자통신연구소 광통신연구실 연구원

李 晚 婁 (正會員) 第25卷 第8號 參照
 현재 한국전자통신연구소 광통신 연구실연구원 및 한국과학기술원 전기 및 전자공학과 박사과정 재학중.