

Via 최소화를 고려한 비직사각형 배선 영역에서의 채널 배선기

(A Channel Router for Non-Rectangular Channels Considering Via Minimization)

金 承 淵,* 鄭 正 和*

(Seung Youn Kim and Jong Wha Chong)

要 約

본 논문에서는 가변의 채널 높이를 갖는 비직사각형 채널에서의 배선을 실현하기 위한 채널 배선기와 via 최소화 방법을 제안한다.

비직사각형 배선 영역은 채널의 상부, 하부 및 직사각형 채널로 나뉘어진다. 상부와 하부 영역의 배선은 "left edge algorithm"을 변형한 새로운 방법을 사용하며, 직사각형 영역의 배선은 채널 그래프에 의한 채널 배선법을 사용한다.

배선이 수행된 후 3군으로 이루어진 법칙에 의해 불필요한 via를 감소시킴으로써 via를 최소화한다.

Abstract

In this paper, we propose a channel router for non-rectangular channels with variable channel height and via minimization method.

Non-rectangular routing areas are splitted into 3 parts, upper, lower and rectangular channel. The upper and lower parts are routed by a modified "left edge algorithm." The rectangular channel is routed by channel routing method using the channel representation graph.

After routing, redundant vias are eliminated by the rules composed of 3 groups.

I. 서 론

최근 게이트 어레이, 표준 셀 및 매크로 셀 방식의 반주문형 집적 회로의 설계 진보와 함께 채널 배선기의 이용이 급격히 증가하고 있다.^[1]

그러나, 셀의 높이에 자유도를 부여하는 표준 셀 방식의 설계나 매크로 셀 방식 설계의 경우, 배선 영역이 비직사각형으로 형성되므로 기존의 직사각형 배선 영역만을 대상으로 하는 LTX^[2]나 Yoshimura^[3] 등에 의해 LTX를 개선한 "Efficient Channel Router"^[4], YACR-II,^[5] Greedy 배선기,^[6] WEAVER^[6] 등 기존의 채널 배선기로는 배선이 불가능하게 되었다.

한편, Ciesielski^[7]는 2 차원 배선법으로 비직사각

*正會員, 漢陽大學校 電子工學科
(Dept. of Elec. Eng., Hanyang Univ.)
接受日字 : 1988年 11月 18日

형의 배선 영역을 고려하였으며, Ng⁽¹⁾는 YACR-II 를 개선하여 배선 영역이 비직사각형으로 구성되는 경우에도 배선이 가능하도록 하였다. 그러나, Ciesielski에 의한 연구는 배선시 dogleg를 허용하지 않기 때문에 사용하는 트랙수가 과다하며, Ng에 의한 연구는 트랙을 적게 사용하지만 via 최소화에 관한 고려가 부족하다. 또한, 비직사각형 배선 영역중 기존의 직사각형 배선 영역외의 영역인 굴곡부에서의 배선이 비효율적이므로 과다한 배선 요구를 직사각형 영역으로 넘기는 단점이 있다.

본 연구에서는 비직사각형으로 주어지는 배선 영역에서도 효과적인 배선을 행하며, via 최소화를 행하는 새로운 채널 배선기구를 제안한다.

비직사각형 배선 영역에서의 배선은 직사각형 영역과 굴곡부에서의 배선으로 나뉘어 수행된다. 배선은 굴곡부에서 먼저 수행되고 굴곡부 내에서 미결선된 신호선은 직사각형 영역에서 배선된다. 직사각형 영역에서의 배선이 종료된 후 via 수를 줄이기 위해 via 최소화를 수행한다.

본 논문의 채널 배선 알고리즘은 C언어로 프로그래밍화하여 VAX-11/750 상에서 실현한다.

II. 비직사각형 배선 영역

비직사각형 배선 영역은 그림 1과 같이 표준 셀에서 셀의 높이에 자유도를 부여하는 경우나, 그림2와 같이 매크로 셀의 설계시에 발생한다. 이때 상부 블럭, 하부 블럭은 배선 영역을 기준으로 할때 각각 배선 영역의 상부와 하부에 놓인 배치 블럭을 의미한다. 그림 1의 A와 그림 2의 A, E는 직사각형의 배선 영역을 나타내는데 이중 그림 2의 E는 매크로 셀 a, b의 핀들을 채널의 상하 배선 요구로 하는 직사각형 배선 영역이다. 그림 1의 B, C, D와 그림 2의 B는 각각 비직사각형 배선 영역을 나타내는 굴곡부의 배선 영역을 의미한다. 각 배선 영역의 배선

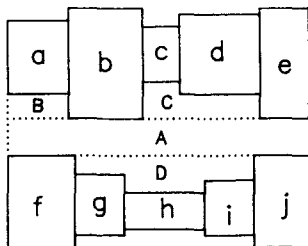


그림 1. 표준 셀에서의 비직사각형 배선영역
Fig. 1. Non-rectangular channels in standard cell.

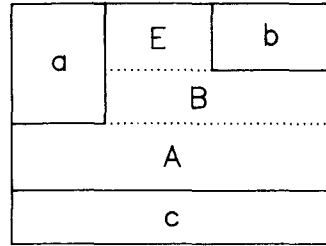


그림 2. 마스크 셀에서의 비직사각형 배선 영역
Fig. 2. Non-rectangular channels in macro cell.

순서를 결정하는 과정에서 직사각형인 E영역의 배선 요구를 실현한 후 배선 결과를 토대로 B영역의 배선을 수행하게 되므로 그림 2에서 배선 영역 B가 굴곡부가 되는 경우는 배선 영역 E가 먼저 배선되는 경우를 가정했을 때이다.

III. 굴곡부 배선 영역의 배선

굴곡부는 배선 영역이 비직사각형일때 형성되며, 그림 1에서의 B, C, D 및 그림 2에서의 B가 이에 해당된다. 일반적으로 굴곡부는 직사각형의 배선 영역 A의 상부, 하부에 모두 존재한다. 굴곡부의 배선 영역은 직사각형 배선 영역 A와는 달리 그 영역이 고정되며, 직사각형 배선 영역 A의 상부, 하부 경계면에 새로운 배선 요구를 발생시키는 것을 줄이기 위해 굴곡부내에서 가능한 많은 배선 요구를 구현해야 한다.

굴곡부의 배선 요구는 상부 블럭의 하단, 하부 블럭의 상단에서 각각 나타나며, 그림 1의 경우를 예로 들때, a, c, d, g, h, i로 표시한 블럭들에서 주어지는 배선 정보가 굴곡부의 배선 요구가 된다. 이때, c, d 블럭 하단의 배선 요구는 배선 영역 C의 경우 그림 3과 같이 주어질 수 있다. 배선 요구의 실현은 1, 2, 3, 4로 주어지는 연결 정보를 C영역 내에서

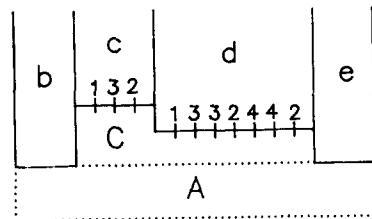


그림 3. 굴곡부의 배선 요구
Fig. 3. Routing requirements of a non-rectangular channel.

가능한 많은 부분을 연결시키는 것이다.

한편 굴곡부에서는 배선 요구가 배선 영역의 한면에만 존재하며, 이러한 특징은 굴곡부에서 배선시 수직 제한을 고려하지 않아도 되는 장점을 갖는다. 수직 제한은 굴곡부 배선 이후 행하는 직사각형 배선 영역에서의 배선 요구시에 고려되므로, 굴곡부에서는 가능한 많은 배선 요구를 정해진 굴곡부내에서 해결함으로써 직사각형 배선 영역에서의 배선 요구 실현에 대한 부담을 줄여야한다. 따라서, 상부, 하부 굴곡부에서는 수직 제한이 없는 경우 최적의 해를 얻는 "left edge algorithm"¹⁾을 사용할 수 있다. 그러나, 이 경우의 배선 요구가 트랙을 진행시켜 가며 다음 트랙에서의 배선 요구로 새로이 나타나기 때문에 이전의 배선 요구 구현 내용이 이후 트랙의 배선 요구 구현시, 다시 배선을 행하는 결과를 초래할 수 있다.

그림4(a)는 "left edge algorithm"에 의해 배선을 행한 결과이고, 그림4(b)의 경우는 "left edge algorithm"을 적용하되 예외의 규정을 두어 현재 트랙이 i 인 경우에 i 트랙에서 배선을 행할 신호선이 $i+1$ 트랙에서 신호선의 경계박의 양편에 동일 신호선을 갖는 경우, 해당 신호선을 $i+1$ 트랙에서 배선이 되도록 한 것이다.

배선시 굴곡부 내에서 상부, 하부 블럭이 나타나면 이것은 신호선이 미리 배선되어 있는 것으로 정

의하며, 이 블럭이 끝나는 지점의 동일 트랙에서 계속 배선을 행한다.

굴곡부의 배선 알고리즘은 다음과 같다.

[단계1] 상부 굴곡부에서 배선 영역의 최상단으로부터 배선 요구가 주어지는 모든 신호선을 직사각형 배선 영역을 향해 한 트랙 진행시킨다.

[단계2] 현재 트랙에만 배선 요구가 있는 신호선은 신호선 집합 S1에 넣는다. 그리고 현재 트랙 i 와 $i+1$ 에서 등전위 핀이 상존하면 신호선을 집합 S2에 넣으며, 그 외의 신호선은 집합 S3에 넣는다.

[단계3] 집합 S2중에서 그림 4의 신호선 1과 유사한 경우가 발생하는지를 검사하여, 발생하는 경우 이 신호선을 집합 S2에서 제외하고 집합 S4에 넣는다. 집합 S3와 S4는 다음 트랙에서의 배선 요구로 남기 위해 한 트랙 진행시킨다.

[단계4] 집합 S1, S2 중에서 "left edge algorithm"을 사용하여 신호선을 할당한다. 이때 장벽이 발생할 경우는 신호선 할당을 행하지 않는다.

[단계5] 상부 굴곡부의 최하단과 접하는가를 검사하며, 접할 때는 현재까지 남아있는 배선 요구를 직사각형 배선 영역의 배선 요구에 추가한다. 접하지 않으면 [단계1]로 진행한다.

배선 요구 구현시 하나의 트랙에서 배선이 완료되면 다음 트랙으로 배선 요구를 진행시킬때 그 기준은 다음과 같다.

- (1) 좌측으로부터만의 배선 요구
- (2) 우측으로부터만의 배선 요구
- (3) 좌, 우측에 동시 배선 요구

이때 (1), (2)의 조건에 해당하면 해당 요구에 가까운 배선 요구를 진행시키며, (3)의 경우는 중앙의 배선 요구를 진행시킨다. 만일 가운데 핀이 없을 경우는 좌측의 배선 요구를 진행시킨다.

이상은 상부 굴곡부의 배선에 관한 배선 알고리즘이며, 하부 굴곡부의 경우에는 위의 [단계1]에서 [단계5]까지의 내용중 상부 굴곡부는 하부 굴곡부로 바꾸며, $i+1$ 은 $i-1$ 로, 최하단은 최상단으로, 최상단은 최하단 등으로 각각 변경하면 된다.

상부, 하부 굴곡부의 배선 이후에 남아 있는 배선 요구의 구현은 직사각형 배선 영역에서 해결한다.

Ng¹⁾의 연구에서 사용한 배선 요구 1에 대해 본 논문의 상부, 하부 굴곡부에 대한 배선 방법을 적용한 결과는 그림 5와 같다.

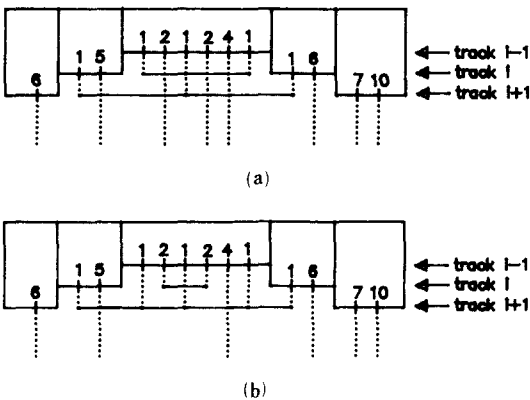


그림 4. 굴곡부에서의 배선
 (a) "left edge algorithm"을 사용한 경우
 (b) 변형된 "left edge algorithm"을 사용한 경우
Fig. 4. Routing within a non-rectangular channel.
 (a) Result by "left edge algorithm".
 (b) Result by modified "left edge algorithm".

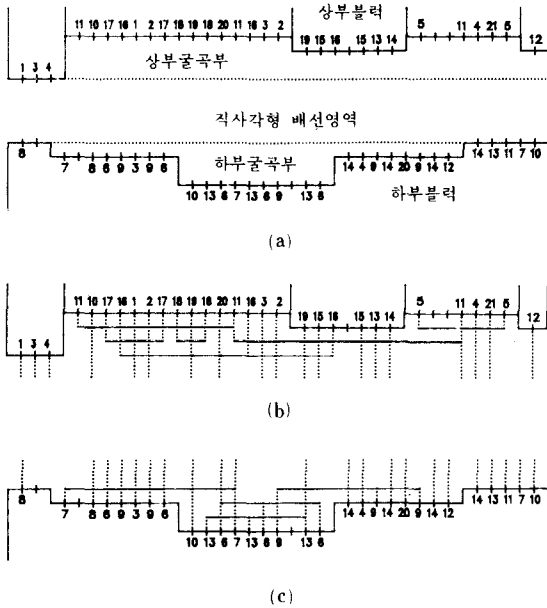


그림 5. Ng의 배선 요구 1에 대한 배선
 (a) 굴곡부의 정의
 (b) 상부 굴곡부의 배선
 (c) 하부 굴곡부의 배선

Fig. 5. Routing of a routing requirement 1 used in Ng's study.
 (a) Definition of non-rectangular channel.
 (b) Routing of upper part.
 (c) Routing of lower part.

IV. 직사각형 배선 영역의 배선

본 논문에서는 기존의 수직, 수평 제한 그래프에 의한 배선법^[2-9]과는 달리 채널 표현 그래프(channel representation graph)를 이용한 채널 배선법^[10]을 사용한다.

채널 표현 그래프는 그림 6과 같이 주어진 직사각형 배선 영역의 배선 요구에 대해 그림 7과 그림 8과 같이 나타나는 수직, 수평 제한 그래프를 하나의 그래프로 병합한 그래프이다. 수평 제한 그래프는 zone 이 겹치지 않는 배선 요구를 표현하기 위한 것으로 일반적으로 zone 표현을 의미한다.

채널 표현 그래프는 배선 요구를 표현한 그림 6에서의 행 번호를 노드로 표현하고, 신호선들은 에지(edge)로 표현한다. 에지는 단방향, 양방향, 무방향으로 구성되며 그림 9와 같이 정의된다.

(1) 단방향 에지: 에지 $e(v_j, v_k)$ 의 j, k 행 가운데 j 행(또는 k 행)은 상부 블럭 핀과 연결 요구가 발생하고, k 행(또는 j 행)은 하부 블럭 핀과 연결 요구가 발

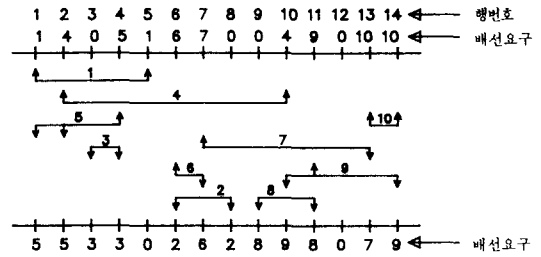


그림 6. 직사각형 배선 영역에서의 배선 요구
 Fig. 6. Routing requirements in rectangular channel.

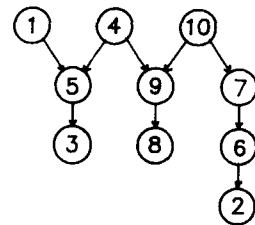


그림 7. 그림 6의 수직 제한 그래프
 Fig. 7. Vertical constraint graph for the netlist in Fig.6.

				Zone
1	2	3	4	
1	2	8	10	
3	6	9		
4				
5	7			

그림 8. 그림 6의 수평 제한 그래프
 Fig. 8. Horizontal constraint graph for the netlist in Fig.6.

생한 에지.

(2) 양방향 에지: 에지 $e(v_j, v_k)$ 의 j, k 행에서 모두 하부 블럭 핀과 연결 요구가 발생한 에지.

(3) 무방향 에지: 에지 $e(v_j, v_k)$ 의 j, k 행에서 모두 상부 블럭 핀과 연결 요구가 발생한 에지.

이 개념을 이용하여 그림 6에 대한 채널 표현 그래프를 구성하면 그림 10과 같다. 채널 표현 그래프에서 노드 7과 연결 요구를 갖는 에지 6과 에지 7 가운데 에지 7이 에지 6 보다 상위 트래크에 할당되어

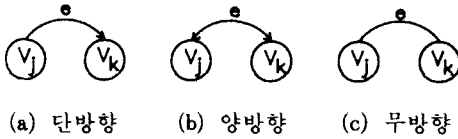


그림 9. 에지의 분류
Fig. 9. Kinds of edges.

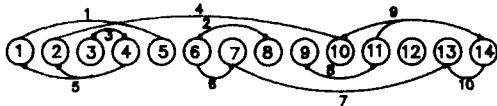


그림 10. 그림 6에 대한 채널 표현 그래프
Fig. 10. A channel representation graph for the netlist in Fig. 6.

야 함을 보이고 있다. 또한, 노드 6에서 노드 7까지는 에지 6과 에지 2가 중복되어 동일 트랙에 놓일 수 없다. 이와 같이 채널 표현 그래프는 수직, 수평 제한 조건을 동시에 표현한 그래프이다.

채널 그래프를 토대로 각 트랙에 신호선을 할당하기 위해서는 가중치 할당, 신호선 선택의 과정이 가해진다. 가중치 할당은 수직 제한에서 반드시 먼저 할당되어야 하는 신호선을 찾기 위해 행한다. 가중치는 노드 v_i 에서 수직 제한이 발생하는 경우에 하부 트랙에 놓여야 하는 에지에 3, 상부 트랙에 놓여야 하는 에지에 0의 가중치를 할당하며, 그 이외의 에지에는 모두 1의 가중치를 할당한다. 에지에서 가중치는 초기치 0으로부터 더해지며, 총 가중치의 값이 3보다 작을 때 해당 트랙에 할당할 수 있는 후보가 된다.

만일, 총 가중치의 값이 3미만인 에지가 하나만 존재한다면 해당 트랙에 이 에지를 할당하며, 복수개가 존재하면 해당 트랙에서 많은 부분을 점유하는 에지군을 할당한다. 이때, 에지군은 에지의 총 가중치 값이 3미만이며, 수평 제한을 만족하는 에지들의 군이다. 따라서, 그림 10의 배선 요구에서 트랙 1에는 총 가중치 값이 3미만인 에지 1, 4, 10으로 구성되는 에지군 {1, 10}, {4, 10} 중 {4, 10}의 에지군이 해당 트랙을 보다 많이 점유하므로 할당된다. 이후 변화된 배선 요구는 그림 11과 같이 나타난다. 행 번호 2와 10의 에지 4 및 행번호 13, 14의 에지 10은 트랙 1에서 구현되었으므로 변화된 배선 요구에서는 0으로 나타난다.

Ng^{*1} 에 의해 시험을 행한 배선 요구 1에 대해서 굴곡부 배선을 수행한 후 남아 있는 직사각형 배선 영역에서의 배선 요구는 그림 12와 같이 표현되며, 본 논문의 직사각형 배선 영역에서의 배선 알고리즘을 적용하여 배선 요구 1을 실현한 결과는 그림 13과 같다. 그러나, 이때 직사각형 배선 영역에서의 사이클이 나타날 경우에는 수직 제한 그래프에서 사이클에 기여하는 에지를 제거하고 배선 요구를 실현한 후, 제거된 배선 요구를 미로 배선법으로 배선한다.

V. Via 최소화

Via 최소화는 배선 결과의 효율을 높이기 위하여

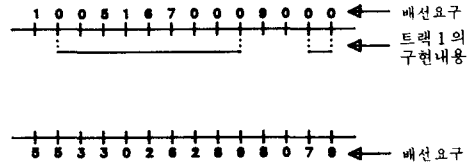


그림 11. 트랙 1을 배선한 후 변화된 배선 요구
Fig. 11. A modified routing requirement after the realization of routing requirement at track 1.

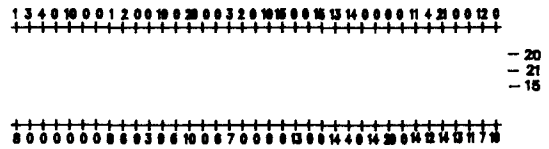


그림 12. 그림 5의 배선후 남아있는 배선 요구
Fig. 12. Routing requirements remaining in Fig. 5.

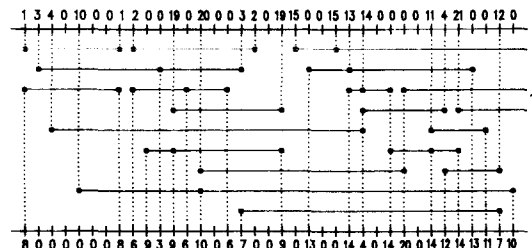


그림 13. 그림 12의 구현
Fig. 13. Realization of the routing requirement in Fig. 12.

행하는 과정이며, 채널 배선기에서 행하는 1층 수직, 2층 수평 혹은 1층 수평, 2층 수직의 제한을 완화하고, 불필요한 via를 제거하는 과정이다. 이를 위하여 본 연구에서는 법칙(rule)에 의해 via를 최소화하는 방법을 제안한다.

Via 최소화는 배선 요구에서의 핀 번호순으로 진행하고, 법칙의 적용은 우선 순위에 의하며, 모든 핀 번호에 대해 적용한다.

법칙은 다음의 3가지 군으로 구성된다.

(법칙 1군)

수직 트랙에서 동일 신호선 사이의 수평으로 지나가는 다른 신호선이 없는 패턴이 찾아지면 수직 트랙의 구현 내용이 1층일 경우 2층으로 바꾸고 2층일 경우 1층으로 바꾸며, 신호선의 수평 트랙 양단에

있는 via 가운데 제거 가능한 via를 제거한다.

(법칙 2군)

수평 트랙에서 동일 신호선 사이에 수직으로 지나가는 다른 신호선이 없는 패턴이 찾아지면 수평 트랙의 구현 내용이 1층일 경우 2층으로 바꾸고, 2층일 경우 1층으로 바꾸며, 신호선의 수평 트랙 양단에 있는 via 가운데 제거 가능한 via를 제거한다.

(법칙 3군)

신호선의 재배선이 via를 줄일 수 있는 패턴을 찾으면 재배선 내용을 수용한다. 이는 그림14(c)의 신호선 8, 17의 배선 결과를 수정하는 재배선을 수행하여 그림14(d)의 신호선 8, 17과 같이 배선함으로써 불필요한 via 수를 제거하는 과정을 의미한다.

이때, 법칙 3군의 과정이 만족되면 법칙 1군과 법

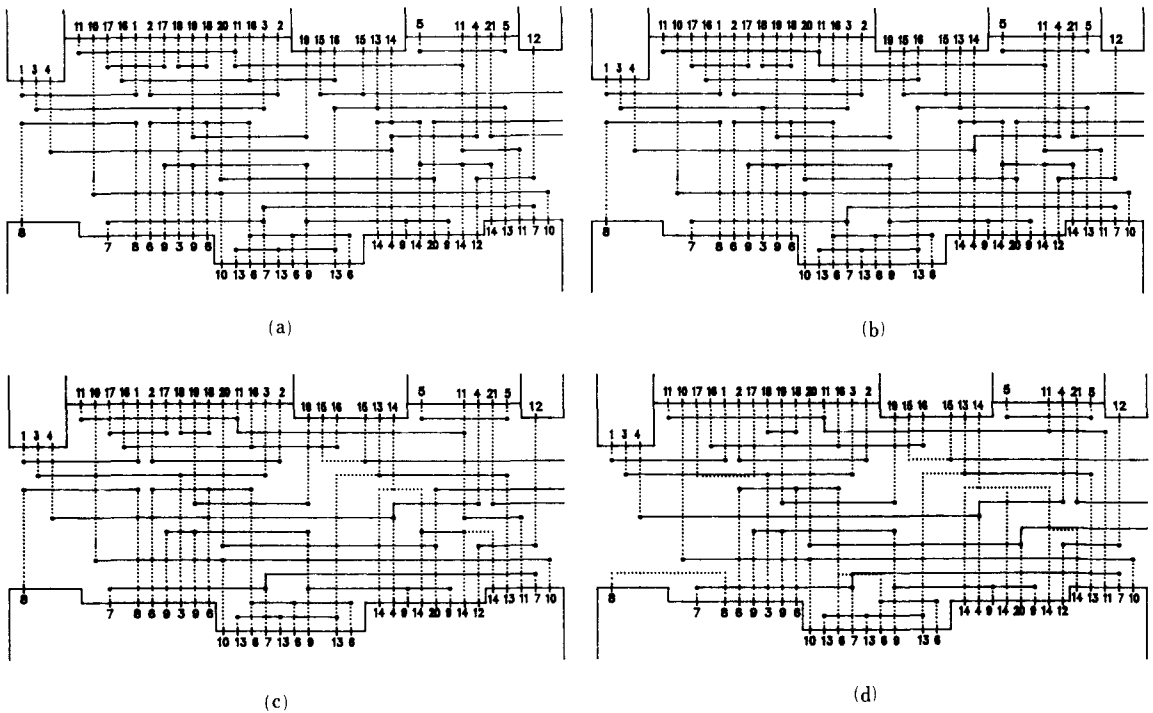


그림 14. Ng의 배선 요구 1에 대한 via 최소화

- (a) Ng의 배선 요구 1의 구현
- (b) 수직 트랙에서의 via 최소화
- (c) 수평 트랙에서의 via 최소화
- (d) 재배선에 의한 via 최소화

Fig. 14. Via minimization on the Ng's routing requirement 1.

- (a) Realization of the Ng's routing requirement 1.
- (b) Via minimization on vertical tracks.
- (c) Via minimization on horizontal tracks.
- (d) Via minimization by a re-routing.

칙 2군을 핀 번호 1번부터 재시도하여 via를 더욱 줄인다. 이 via 최소화는 모든 핀에 대해 법칙 1군, 법칙 2군, 법칙 3군을 적용해도 효율이 증가하지 않을때까지 반복한다.

이 과정의 우선 순위에 의해 Ng⁽¹⁾의 배선 요구 1에 대해서 본 논문의 배선법에 의한 배선 결과에 via 최소화를 행한 결과는 그림 14와 같다. 그림 14(a)는 via 최소화를 수행하기 이전의 배선 내용이며, 그림 14(b)는 법칙 1군의 과정을 진행했을 때의 결과이다. 그림 14(c)는 법칙 2군의 과정을 진행한 후의 결과이다. 그림 14(d)는 법칙 3군까지의 과정을 적용하여 via 최소화를 끝낸 결과이다.

VI. 실험 및 고찰

본 논문의 배선 알고리즘은 C언어를 사용하여 실현하였으며, Ng⁽¹⁾ 및 "Efficient Channel Router",⁽¹⁾ WEAVER,^(6,11) Greedy 방법⁽⁸⁾ 등과 비교를 행하였다.

먼저, Ng의 연구에 대한 결과를 비교하면 표 1과 같다. 배선 요구 1, 2, 3a는 Ng의 연구에서 사용한 배선 요구의 예이다.

한편 표 2는 기존의 방법들과 비교한 결과이다.

표 1. 본 논문과 Ng⁽¹⁾의 비교
Table 1. Comparison to Ng's result.

배선 요구	Ng ⁽¹⁾		본 논문		
	via 수	트랙수	via 수		트랙수
			최소화 전	최소화 후	
1	59	8	68	51	9
2	61	9	68	53	9
3a	70	13	85	71	14

표 2. Via 수의 비교
Table 2. Comparison of the number of vias.

기준 회로	본 논문		Efficient Algorithm	Greedy	WEAVER
	최소화 전	최소화 후			
{3}의 그림 1	22	14	22	-	12
{11}의 그림 6-13	36	28	-	39	29

(참고) : "-" 표시는 자료를 입수하지 못한 것임.

VII. 결 론

본 논문에서는 비직사각형 배선 영역에서의 배선 방법과 via 최소화 방법을 제안한다. 비직사각형 배

선 영역의 배선에서는 변형된 "left edge algorithm"을 제안하였으며, 직사각형 배선 영역에서는 채널 그래프에 의한 배선 방법을 이용하였다. Via 최소화는 배선이 종료된후 최소화 법칙에 의해 수행되며, 최소화 과정에서 15~35%의 via가 감소하였다.

본 논문에서 제안한 채널 배선기는 셀의 높이에 자유도를 부여한 표준 셀이나 마크로 셀의 배선시 이용할 수 있으며, 기존의 직사각형 배선 영역으로 주어지는 배선에서도 이용된다. 또한, via 최소화만을 별도로 배선 결과의 향상에 사용할 수 있다.

본 논문의 배선 알고리즘은 C언어로 프로그램화하여 VAX-11/750에서 실현하였다.

앞으로의 연구 과제로는 3층 이상의 경우를 고려하는 다층 채널 배선기와 gridless 채널 배선기 등의 연구가 계속되어야 할 것이다.

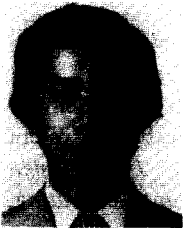
參 考 文 獻

- [1] T. Ohtsuki, *Layout Design and Verification*, North-Holland, Netherland 1986.
- [2] G. Persky, N. Deutsch, and D.G. Schweikert, "LTX-A minicomputer based system for automatic LSI Layout," *J. of Design Automation and Fault Tolerant Computing*, vol. 1, pp. 217-256, 1977.
- [3] T. Yoshimura, "An efficient channel router," *Proc. 21st Design Automation Conference*, pp. 38-44, 1984.
- [4] A. Sangiovanni-Vincentelli, M. Santomauro, and J. Reed, "A new gridless channel router: yet another channel router the second (YACR-II)," *ICCAD-84*, pp. 72-75, 1984.
- [5] R.L. Rivest and C.M. Fuccida, "A greedy channel router," *Proc. 19th Design Automation Conference*, pp. 418-424, 1982.
- [6] R. Joobbani and D.P. Siewiorek, "WEAVER: A knowledge-based routing expert," *Proc. 22nd Design Automation Conference*, pp. 266-272, 1985.
- [7] M.J. Ciesielski, "A new approach to routing in irregular channels for the SLIC silicon computer," *ICCAD 84*, pp. 66-68, 1984.
- [8] C.H. Ng, "An industrial world channel router for non-rectangular channels," *Proc. 23rd Design Automation Conference*, pp. 490-494, 1986.
- [9] A. Hashimoto and J. Stevens, "Wire routing by optimizing channel assignment within large apertures," *Proc. 8th Design Automation Workshop*, pp. 151-169, 1971.

[10] 김승연, "사이클 문제를 고려한 2층 채널 배선기에 관한 연구", 대한전자공학회 논문집, 제 25권, 제 2호, pp. 220-226, 1988. 2.

[11] R. Joobbani, *An Artificial Intelligence Approach to VLSI Routing*, Carnegie Mellon Univ. USA, 1986. *

著 者 紹 介



金 承 淵 (正會員)

1945年 7月 6日生. 1980年 2月 광운대학교 전자공학과 졸업. 1982年 3月 한양대학교 산업대학원 전자계산과 졸업. 1984年 3月~ 현재 한양대학교 대학원 전자공학과 박사과정 재학중. 현재 국립대전공업대학 전자계산학과 조교수. 주관심분야는 VLSI CAD, Layout 및 Algorithm 설계 등임.

鄭 正 和 (正會員) 第26卷 第1號 參照

현재 한양대학교 전자공학과 부교수.