

SCF용 CMOS OP AMP의 설계

(The Design of SCF CMOS OP AMP)

趙 成 翊,**金 石 鎬*,金 東 龍*

(Seong Ik Cho, Seok Ho Kim and Dong Yong Kim)

要 約

본 논문에서는 저소비 전력이고 회로설계가 용이한 CMOS 회로를 이용하여 음성신호 처리용 SCF를 집적화 할때 OP AMP를 디지털 부분과 공존할 수 있도록 $\pm 5V$ 로 전원을 설정하여 CMOS OP AMP를 단순화 하는 설계방법을 제시하였다. 이를 적용한 SCF용 CMOS OP AMP의 설계예를 들고 설계방법에 의해 구한 MOS 트랜지스터의 채널폭과 길이를 설계회로에 적용하여 LAYOUT 하였으며 시뮬레이션을 통하여 동작특성을 조사하였다. 또한 이 설계법은 주어지는 설계조건에 따라 설계되어 지므로 다른 용도의 CMOS OP AMP 설계에도 이용되어질 수 있을 것이다.

Abstract

In this paper, as we have integrated SCF for voice signal processing using CMOS circuit with the low power dissipation and the easy circuit design, it has been presented the simplified CMOS OP AMP design method with $\pm 5V$ power source in order to use together with digital part.

After an example about SCF CMOS OP AMP design, it has been performed layout applying channel width and length obtained by design method, and then its characteristics were simulated by SPICE 2G program.

Therefore, this design method will be applied the general CMOS OP AMP design in the electronic circuit.

I. 서 론

1960년대의 단석(monolithic) OP AMP의 개발은 수동 RLC 필터의 기능을 대신할 수 있는 능동 RC 필터를 출현케 했으나, 정확한 RC 적을 유지하기 어렵고 온도변화에 민감하다는 단점으로 인하여 단석으로 집적화 하기 위해서는 새로운 회로가 모색되어야만 했었다. 그러나 최근의 집적화 기술과 MOS 공정기술의 발달로 말미암아 SC(switched capacitor)

회로가 제시되어 능동필터를 대체할 수 있게 되었으며, SCF(switched capacitor filter)를 단석으로 고밀도 집적화 할 수 있었다.

SCF는 스위치와 커패시터 그리고 OP AMP로 구성되므로, SC 필터를 집적화 하는데 있어 CMOS 회로를 이용하여 OP AMP를 설계하면 아날로그 회로설계가 용이하고 소비전력이 적을 뿐만 아니라 디지털 부분과 공존하여 VLSI화 할 수 있다.^{1,2)}

그러므로 본 논문에서는 CMOS 회로의 특성을 이용하여 OP AMP를 단순화하여 쉽게 실현할 수 있는 설계방법을 제시하였으며, OP AMP 설계 조건

*正會員, **準會員, 全北大學校 電氣工學科
(Dept. of Electrical Eng., Chonbuk Univ.)
接受日字: 1988年 6月 20日

에 의한 설계예를 들었다. 설계된 OP AMP 회로의 MOS 트랜지스터의 채널폭(W)과 길이(L)는 3μm CMOS n-well 공정기술을 적용하고 Lambda 설계규칙에 따라 LAYOUT을 수행하였다. 그리고 설계된 CMOS OP AMP 회로의 시뮬레이션 동작특성과 설계조건을 비교 검토 하고자 하였다.

II. CMOS OP AMP의 구조

설계된 CMOS OP AMP의 회로 및 등가회로는 그림 1과 같다.

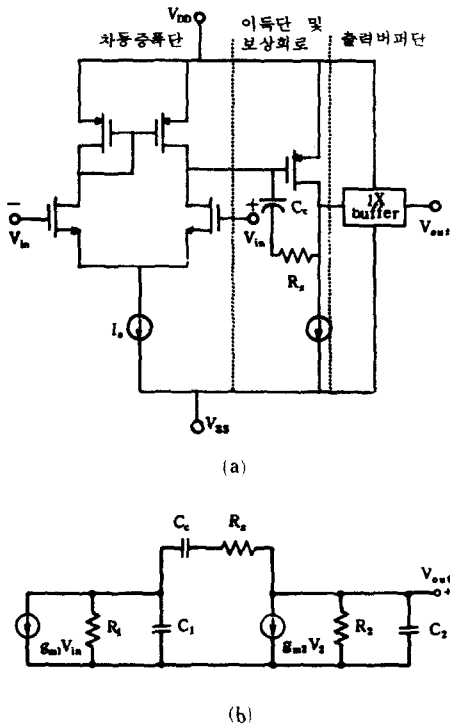


그림 1. CMOS OP AMP의 구조
 (a) 2 단 CMOS OP AMP
 (b) 소신호 등가회로
 Fig. 1. Architecture of CMOS OP AMP.
 (a) two stage CMOS OP AMP.
 (b) small signal equivalent circuit.

차동증폭단은 OP AMP의 입력단이며 차동신호를 single-ended 신호로 증폭하여 이득단에 보내며, 단일채널인 경우 차동입력 신호를 single-ended로 변환하기 위해서는 부가적인 회로를 필요로 하고, DC level을 유지하기 위해서는 level shift 회로가 필요하

게 된다. 이득단은 OP AMP의 동작을 위하여 충분한 저주파 이득을 제공해 주고, OP AMP가 페루우프 상태에서 안정성을 가지도록 보상을 가능케 하는 역할을 하며 최종단인 buffer단은 이득이 1 정도이고 낮은 임피던스를 필요로 한다. 그러나 CMOS OP AMP가 SCF에 이용되거나 칩내의 작은 부하를 구동시킬 경우 용량성이므로 출력 임피던스가 약간 커도 큰 지장이 없으므로 저항성 부하를 구동시키는 경우가 아니면 매우 간단하며 경우에 따라서 출력 buffer단이 생략되기도 한다.^[5, 6]

보상회로는 OP AMP의 안정성을 개선하기 위한 회로로 칩면적을 많이 차지하지 않도록 작은 커패시터로 설계하여야 하며, 그림 1(b)의 전달함수 H(s) 및 대략적인 극점(P₁, P₂)과 영점(Z)의 위치는 (1)식과 같다.

$$H(s) = \frac{V_o(s)}{V_{in}(s)} = \frac{a[1-s(C_c/g_{m2}-R_zC_c)]}{1+bs+cs^2+ds^3} \quad (1)$$

$$a = g_{m1} g_{m2} R_1 R_2$$

$$b = [(C_2 + C_c)R_z + (C_1 + C_c)R_1 + g_{m2}R_1R_2C_c + R_zC_c]$$

$$c = [R_1R_2(C_1C_2 + C_cC_1 + C_cC_2) + R_zC_c(R_1C_1 + R_2C_2)]$$

$$d = R_1R_2R_zC_1C_2C_c$$

$$P_1 \approx \frac{-1}{(1+g_{m2}R_2)C_cR_1} \quad Z = \frac{1}{C_c(1/g_{m2}-R_z)}$$

$$P_2 \approx \frac{-g_{m2}C_c}{C_1+C_2+C_2C_c+C_cC_1}$$

(1)식에서 존재하는 영점은 피드백을 위한 C_c가 고주파때 feed forward 경로가 되기 때문에 단위이득 주파수(GB)가 되기전에 위상지연이 일어나 회로가 불안정해진다. 이러한 원인이 되는 영점을 제거하기 위하여 (1)식의 R_z의 값을 1/g_{m2} 보다 약간 크게 설정하면 R_z가 좌반면으로 이동되어 OP AMP가 안정성을 가지게 된다.^[5, 6]

그림 1(a)의 구조를 갖는 CMOS OP AMP에서 slew rate는 차동 증폭단 전류원 I_o와 밀러보상 커패시터 C_c에 의하여 (3)식과 같이 표현된다.

$$\text{slew rate} = I_o/C_c \quad (2)$$

III. SCF용 CMOS OP AMP의 설계

1. 설계조건

본 연구에서 설계되는 OP AMP는 신호처리에 사용되는 SCF용 이므로 설계시 다음과 같은 점을 고려하였다.^[3, 4, 7, 8]

(1) SCF의 동작원리는 신호를 커패시터에 샘플링하

여 처리하므로 주어진 스위칭 구간내에 출력이 정상상태에 도달되도록 높은 slew rate를 가져야 하며

- (2) SCF에서의 부하조건은 칩 내부의 작은 용량성이므로 설계되는 OP AMP의 출력단은 source follow 형태로 buffer 단을 생략할 수 있고
- (3) 전원전압은 스위치와 공존하여 사용할 수 있도록 $\pm 5V$ 로 설정하며
- (4) SCF에서 OP AMP의 open loop gain은 60dB 이상이면 사용가능하며, 안정성을 고려하여 60° 이상의 phase margin과 10dB 이상의 gain margin을 갖도록 설계되어야 한다.

위의 설계조건을 만족하도록 본 설계에서는 CMOS $3\mu m$ 설계규칙을 적용하여 그림 3 과 같이 출력 buffer 단을 생략하였으며, 모든 MOS 트랜지스터들이 g_m (전달컨덕턴스) 과 전압스윙이 큰값을 갖도록 포화영역 ($V_{DS} \geq V_{GS} - |V_T|$)에서 차동 증폭단을 설계한 후에 이득단을 설계하였다. 설계시 적용한 MOS 트랜지스터의 일반적인 파라메타 값은 (3)식과 같다.

$$\begin{aligned}
 K_n &= \mu_n \cdot C_{ox} / 2 = 12.375 [A/V^2] \\
 K_p &= \mu_p \cdot C_{ox} / 2 = 5.065 [A/V^2] \quad (3) \\
 \lambda_n &: n\text{-channel length modulation} = 0.01 [V^{-1}] \\
 \lambda_p &: p\text{-channel length modulation} = 0.01 [V^{-1}] \\
 V_T &: \text{threshold voltage} \quad V_{Tn} : 1 [V] \text{ (n채널)} \\
 & \quad \quad \quad \quad \quad \quad V_{Tp} : -1 [V] \text{ (p채널)}
 \end{aligned}$$

여기서

μ_n : n채널의 전자이동도 [$cm^2/volt\text{-sec}$]
 μ_p : p채널의 정공이동도 [$cm^2/volt\text{-sec}$]
 $C_{ox} (=eox/tox)$: 커패시턴스/게이트 oxide의 단위 면적 [F/cm^2]이다.

2. 설계절차

본 논문에서 그림 2의 회로를 이용하여 CMOS OP AMP를 설계하고자 하며, 포화영역 상태에서 i 번째의 MOS 트랜지스터의 채널폭 (W_i)과 길이 (L_i)의 비 S_i 와 전달컨덕턴스 g_{mi} 는 (4), (5)식에 의해 구할 수 있다.

$$\begin{aligned}
 S_1 &= W_1 / L_1 = I_1 / [K_n (V_{GS1} - V_{Tn})^2] : n\text{채널} \\
 &= I_1 / [K_p (V_{GS1} - V_{Tp})^2] : p\text{채널} \\
 g_{m1} &= 2\sqrt{S_1 K_n I_1} \quad : n\text{채널} \\
 &= 2\sqrt{S_1 K_p I_1} \quad : p\text{채널} \quad (5)
 \end{aligned}$$

여기서, I_i 는 i 번째 MOS 트랜지스터의 드레인과 소스 사이에 흐르는 전류이다.

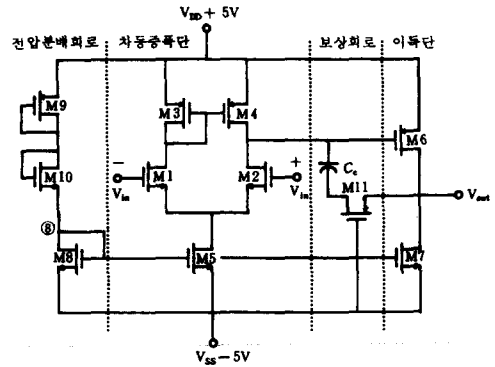


그림 2. SCF OP AMP의 설계회로
 Fig. 2. Design circuit of SCF OP AMP.

그림 2의 MOS 트랜지스터의 S_i 는 다음과 같은 절차에 의해 구할 수 있다.

- (1) 칩면적을 고려하여 밀러보상 커패시터 slew rate를 결정하면 M5에 흐르는 전류 $I_5 (=S_5 \cdot C_c)$ 를 구할 수 있다.
- (2) M5와 M7을 구동하기 위한 전압 V_{GS} 를 3V로 설정하면 M8, M9, M10으로 이루어진 전압분배 회로에 의해 node ⑧ 전압은 $-2V$ 가 된다. 설계의 단순화를 위해 $I_8 = I_5$ 로 설정하면, (4)식에 의해 S_8, S_9 이 결정된다.
- (3) 단위 이득폭 (unity-gain bandwidth) $GB (=g_{m1} / C_c)$ 로부터 (5)식에 의해 S_1 를 구할 수 있고, OP AMP의 안정성을 위하여 $P_2 > GB$ 조건을 만족하여야 하므로 P_2 를 GB 밖에 있도록 설정하면 (4), (5)식에 의해 I_4 와 S_4 를 구할 수 있다.
- (4) 차동증폭단 M1과 M2, M3와 M4는 정합적인 구조를 가지므로 포화영역에서 전류와 전압은 대칭이다. 그러므로 $V_{DS3} = V_{DS4}$ 이며, $V_{GS3} = V_{GS4}$ 가 되고 $I_3 = I_4 / 2$ 이므로 (6)식에 의해 S_3 를 구할 수 있다.

$$S_3 = S_6 \cdot (I_3 / I_6) \quad (6)$$

- (5) 입력이 접지된 상태에서 오프셋 (offset) 전압이 0을 가지기 위해서는 M6에 흐르는 전류 I_6 와 M7에 흐르는 전류 I_7 은 같아야 하고, M7의 V_{GS7} 과 M8의 V_{GS8} 이 같으므로 S_7 은 (7)식에 의해 구해진다.

$$S_7 = S_8 \cdot (I_6 / I_8) \quad (7)$$

- (6) $S_1 = S_2, S_3 = S_4, I_6 = I_7, I_4 = I_5 / 2$ 이므로 S_4 는 (8)식에 의해 구해진다.

$$S_4 = S_6 \cdot (I_4 / I_7) \quad (8)$$

(7) 영점 주파수 $W_o (=g_{m6}/C_c)$ 를 좌반면에 위치 하도록 하는 nulling 저항 R_z 를 대치한 M11을 R_z 의 값이 $1/g_{m6}$ 보다 약간 크게 설정하여 S_{11} 을 결정한다.

위의 설계절차에서 S_1 과 S_6 로 부터 차동증폭단 이득 A_d 와 이득단 이득 A_1 는 (9)식과 같이 표현되어지며 전체이득은 A_d 와 A_1 의 곱으로 표현된다.

$$A_d = \sqrt{\frac{K_n S_1}{I_1 \lambda_n^2}} \quad (9)$$

$$A_1 = \sqrt{\frac{K_p S_6}{I_6 \lambda_p^2}}$$

IV. 설계에 및 고찰

1. SCF용 CMOS OP AMP의 설계에

3장에서 제시한 SCF용 CMOS OP AMP의 설계 예로써 표 1과 같은 설계조건이 주어졌을 때 설계절차에 의해 그림 2 회로의 각 MOS 트랜지스터 채널 폭(W_i)과 길이(L_i)를 구하면 표 2와 같다.

표 2와 같이 구한 MOS 트랜지스터의 채널폭과 길이를 이용하여 그림 2의 회로를 LAYOUT 결과는 그림 3과 같다.

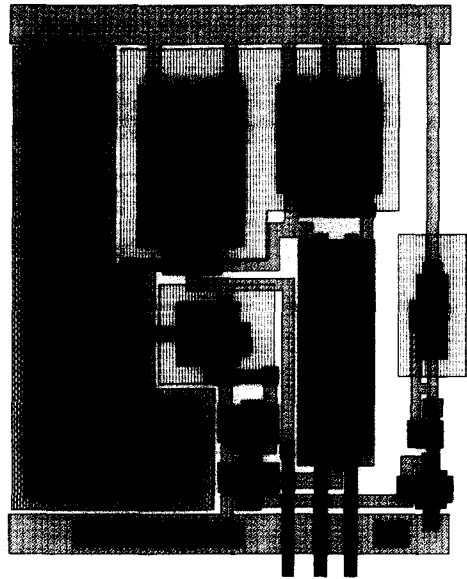
표 1. SCF용 CMOS OP AMP의 설계조건
Table 1. The design specification of SCF CMOS OP AMP.

전원	VDD VSS	+ 5 V - 5 V	소비전력	5mW 이내
open loop gain	60dB이상		GB	5MHz이상
slew rate	12V/ μ sec		offset전압	1mV이내
PSRR	80dB 이상		CMRR	80dB이상
gain margin	10dB 이상		phase margin	60° 이상
Cc	5pF		Rz	4K Ω

표 2. MOS 트랜지스터의 채널폭(W_i)과 채널 길이(L_i)

Table 2. Channel width and length of MOS transistor.

MOS TR	MOS Type	W(μ m)	W(μ m)	MOS TR	MOS Type	W(μ m)	L(μ m)
M 1	NMOS	117	10	M 2	NMOS	117	10
M 3	PMOS	50	10	M 4	PMOS	50	10
M 5	NMOS	15	12.5	M 6	PMOS	150	10
M 7	NMOS	18	10	M 8	NMOS	15	13
M 9	NMOS	5.5	14.5	M10	NMOS	4.5	13.5
M11	PMOS	27	10				



Cell : OPAMP Wed Oct 5 17 : 51 : 09 1988
Scale : 219.91 Valid Logic Systems Inc. SCALDstar Plot Ver. 9.0

그림 3. OP AMP의 LAYOUT
Fig. 3. LAYOUT of OP AMP.

그림 3의 LAYOUT은 3 μ m CMOS n-well 공정기술을 적용하여 Lambda 설계규칙에 따라 "Kgraph"라는 LAYOUT editor를 사용하여 수행되었고, 공정시 발생하는 Latch up를 방지하기 위하여 VDD substrate contact과 VSS substrate contact을 가능한한 많이 배치하였다.

설계된 OP AMP 회로를 아날로그 시뮬레이션 프로그램인 SPICE 2G에 의해 특성을 조사한 결과 이득과 위상에 대한 주파수응답은 그림 4와 같고 동작 특성을 표 3과 같았다.

2. 고찰

3장에서 제시한 SCF용 CMOS OP AMP의 설계법의 예로써 표 1과 같은 설계조건을 주었을때, OP AMP를 구성하는 MOS 트랜지스터의 채널폭과 길이는 표 2와 같이 구할 수가 있었고, 설계된 OP AMP의 특성을 조사하기 위하여 시뮬레이션 프로그램을 이용한 결과 그림 4와 같은 주파수 특성과 표3의 동작특성을 얻었다.

설계절차에 의해 구해진 SCF용 CMOS OPAMP의 시뮬레이션 특성과 설계조건을 비교해보면 소비전력은 1.25mW로 현저하게 적었으며, 그림 4에서 Rz를 삽입하지 않은 경우 극점 P₂안에 영점이 존재

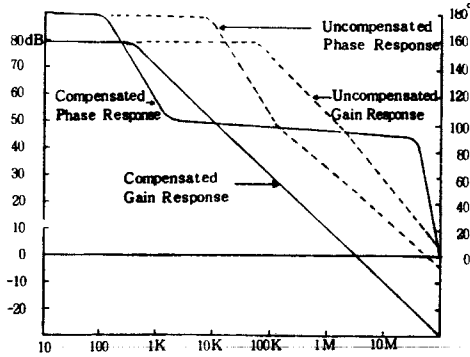


그림 4. 주파수 특성
Fig. 4. Frequency characteristics.

표 3. SPICE 2G에 의하여 시뮬레이션된 OP AMP의 동작특성
Table 3. The performance characteristics simulated by SPICE 2G.

전 원	± 5 V	open loop gain	79.3dB
소비전력	1.25mW	offset voltage	0.9mV
phase margin	86°	gain margin	27dB
CMRR	85.4dB	PSRR	82dB
slew rate	10V/μsec	GB	5.1MHz
chip size	0.062mm ²		

하여 설계된 OP AMP가 불안정 해지므로, 이러한 불안정성을 초래하는 우반면의 영점을 제거하기 위하여 R_z 를 $1/g_{m6}$ 보다 약간 크게 설정하여 MOS 트랜지스터로 실현 하였으며 동작특성은 설계조건에 거의 일치하였다. 그리고 CMOS 공정시 발생되는 Latch up을 방지하기 위하여 V_{DD} , V_{SS} substrate contact을 내었으며, 보상용 커패시터 C_c 는 4×10^{-4} pF / μm^2 로 설정하여 LAYOUT 하였다.

V. 결 론

SCF는 MOS 스위치와 커패시터 그리고 OP AMP로 이루어진 관례로 집적화가 용이하여 필터를 집적화 하는데 많이 이용되어지고 있으나, 필터의 특성

이 OP AMP에 의해 많은 영향을 받으므로 SCF용 OP AMP는 필터의 용도에 적합하여야 할 뿐 아니라 집적화의 단순화를 위해 CMOS OP AMP로 구성되어야만 한다.

본 논문에서는 CMOS 회로로 구성된 SCF용 OP AMP를 쉽게 설계할 수 있는 방법을 제시하였으며, 예로써 설계조건을 제시하여 OP AMP를 설계하고 LAYOUT 하였다. 또한 설계된 OP AMP를 SPICE 2G로 시뮬레이션한 특성이 주어진 설계조건을 만족함을 보였다.

그러므로 음성신호 처리용 SCF를 고밀도로 집적화할 경우, 본 논문에서 제시한 설계법과 LAYOUT을 이용하면 설계와 집적화가 용이할 뿐만 아니라 일반적인 회로에서 요구하는 CMOS OP AMP도 설계할 수 있으며 LAYOUT도 가능하다.

參 考 文 獻

- [1] J Mavor, M.A. Jack, and P.B. Denyer, Introduction to MOS LSI Design, Addison-Wesley, 1983.
- [2] P.R. Gray, D.A. Hodges and R.W. Brodersen, Analog MOS Integrated Circuits, New York: IEEE Press, pp. 28-49, 1980.
- [3] R. Gregorian and G. Temes, Analog MOS Integrated Circuits for Signal Processing, New York: Wiley, 1986.
- [4] P.E. Allen and E. Sanchez-Sinencio, SWITCHED CAPACITOR CIRCUITS, Van Nostrand Reinhold Co., 1984.
- [5] P.R. Gray and R.G. Meyer, Analysis and Design of Analog Integrated Circuits, New York: Wiley, 1984.
- [6] Y.P.Tsividis, "Design consideration in single-channel MOS analog integrated circuits-a tutorial," *IEEE Journal of Solid-State Circuits*, vol. SC-13, no. 3, pp. 383-391, June 1978.
- [7] J. Millman, Micro-Electronics, Digital and Analog Circuits and Systems, McGraw-Hill, 1979.
- [8] P.R. Gray and R.G. Meyer, "MOS operational amplifier design-a tutorial overview," *IEEE Journal of Solid-State Circuits*, vol. SC-17, no. 6, pp. 969-982, DEC., 1982. *

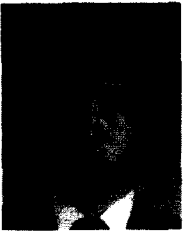
著 者 紹 介



趙 成 翊(準會員)

1961年 2月 10日生. 1987年 2月 전북대학교 전기공학과 공학사학 위 취득. 1989年 2月 전북대학교 대학원 전기공학과 공학석사학위 취득. 1989年 3月~현재 전북대학교 대학원 전기공학과 박사과정.

주관심분야는 Analog Signal Processing, 통신용 반도체 설계 등임.



金 石 鎬(正會員)

1960年 11月 21日生. 1986年 2月 전북대학교 전자공학과 공학사학 위 취득. 1988年 2月 전북대학교 대학원 전기공학과 공학석사학위 취득. 1989年 3月~현재 전북대학교 대학원 전기공학과 박사과정.

1988年 1月~현재 전북대학교 전기공학과 조교. 주관심분야는 디지털 필터, SC필터 설계 등임.



金 東 龍(正會員)

1945年 7月 22日生. 1967年 2月 전북대학교 전기공학과 공학사학 위 취득. 1973年 2月 전북대학교 대학원 전기공학과 공학석사학위 취득. 1985年 5月 캐나다 Manitoba Univ. 전기공학과 박사학위 취

득. 1979年~1985年 캐나다 마니토바 대학교 연구원. 1985年~1987年 대한전기협회 교육위원. 1986年~1988年 전북대학교 전자계산소장. 1986年~현재 한국통신학회 편집위원. 1987年~현재 과학기술처 교육전산망 위원. 문교부 과학교육과 Computer 심사위원. 1988年~현재 대한전기학회 회로 및 시스템분과 간사장. 1988年~현재 전북대학교 전기공학과 교수. 1989年~현재 대한전기학회 논문 편집위원. 1989年~현재 대한전자공학회 회로 및 시스템분과 전문위원. 주관심분야는 Analog Signal Processing, 통신용 반도체 설계 등임.