

아날로그/디지털 회로 구성에 쓰이는 BCDMOS 소자의 제작에 관한 연구

(A Study on the Analog/Digital BCDMOS Technology)

朴 致 善*

(Chi Sun Park)

要 約

본 논문에서는 아날로그/디지털 회로 구성시 입출력부는 바이폴라 소자로 내부의 논리회로 부분은 CMOS 소자로 높은 내압을 요구하는 부분에는 DMOS 소자를 이용할 수 있는, BCDMOS 공정 기술 개발을 하고자 하였다.

BCDMOS 제작 공정은 폴리게이트 p-well CMOS 공정을 기본으로 하였고, 소자설계의 기본개념은 공정 흐름을 복잡하지 않게 하면서 바이폴라, CMOS, DMOS 소자 각각의 특성을 좋게 하는데 두었다.

실험결과로서 바이폴라 npn 트랜지스터의 h_{FE} 특성은 320 ($I_b=10\mu A$) 정도이며, CMOS 소자에서는 n-채널과 p-채널이 각각 $1.25\mu m$, $1.35\mu m$ 까지는 short channel effect 현상이 나타나지 않았고, DMOS 소자에서는 항복전압이 115V 이상의 특성을 얻을 수 있었다.

Abstract

In this paper, Analog/Digital BCDMOS technology that the bipolar devices for driver applications CMOS devices for logic applications, and DMOS devices for high voltage applications is presented.

An optimized poly-gate p-well CMOS process is chosen to fabricate the BCDMOS, and the basic concepts to design these devices are to improve the characteristics of bipolar, CMOS & DMOS with simple process technology.

As the results, h_{FE} value is 320 ($I_b=10\mu A$) for bipolar npn transistor, and there is no short channel effects for CMOS devices which have L_{eff} to $1.25\mu m$ and $1.35\mu m$ for n-channel and p-channel, respectively. Finally, breakdown voltage is obtained higher than 115V for DMOS device.

I. 서 론

일반적으로 바이폴라 트랜지스터는 높은 전류구동 능력을 가지고 있지만 비교적 집적도가 낮고 전력소모가 크다는 단점을 가지고 있다. 반면에 MOS 트랜

지스터는 전력소모는 적으나 전류구동 능력이 낮은 단점을 가지고 있다. 따라서 바이폴라와 아날로그 기능을 구현하는데 적합하고, CMOS는 저전력 디지털 회로에 많이 쓰여지고 있다.^[6,11]

그런데 VLSI 시스템은 아날로그와 디지털 기능이 한 칩(chip) 내에 있는 것이 유리한데 바이폴라와 CMOS의 장점을 한 칩상에 동시에 집적시킨 BICMOS 공정기술이 개발되고 있다. 바이폴라와 CMOS 소자를

*正會員, 亞洲大學校 電子工學科
(Dept. of Elec. Eng., Ajou Univ.)

接受日字: 1988年 7月 26日

한 칩상에 공존시키는 방법으로는 epi층을 이용 하여 바이폴라와 CMOS 소자를 조합시키는 방법과,^{13,14} epi 층을 사용하지 않고 바이폴라와 CMOS 소자 특성을 최적화하는 공정¹⁵등이 개발되고 있다.

많은 경우에 VLSI급의 시스템에서 아날로그와 디 지탈 기능이 한 칩(chip)에 구성 되어야 하며, 이와 같이 바이폴라와 CMOS 소자를 한 칩상에 동시에 집적시키어 시스템을 이룬 예는 이미 몇차례의 논문 에 발표된 바 있다.^{16, 11~14)}

현재 BICMOS 기술은 고속성, 고집적도, 저전력 소비를 필요로 하는 기억소자에의 응용과 내부의 논 리회로 부분은 CMOS 소자로 입출력부는 바이폴라 소자를 이용하는 gate array 분야로서, 그 응용범위는 디지털TV, VTR, 음성신호처리, 통신용 집적회로의 분야에 이르고 있다.^{17, 9, 12, 13)}

BICMOS 기술을 기억소자 및 논리회로에 가장 선 두적으로 사용하고 있는 회사는 일본의 Hitachi, NEC 그리고 미국의 Motorola, TI, 등의 회사를 들 수 있 다. 실제 Hitachi사는 부하용량이 큰 입출력 buffer, decoder 회로에는 BICMOS 복합회로를 사용하고, 고 속성이 특히 요구되는 sense amplifier에는 바이폴라 차동증폭기를 사용하며, 기억 단위소자에는 CMOS로 구성하여 64KSRAM에서 access 시간을 25ns 까지 얻 었다.¹¹⁾

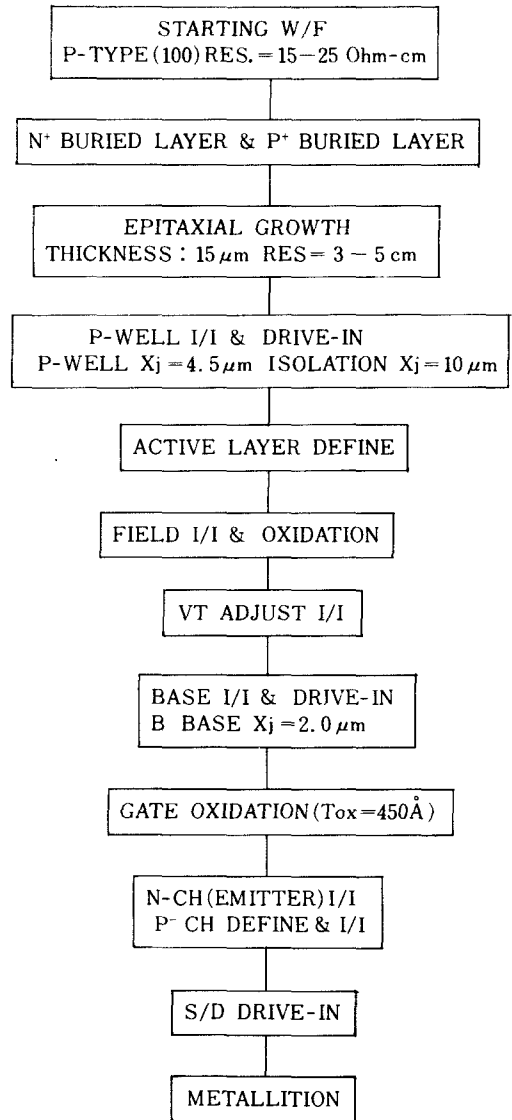
또한 gate array 분야에서도 개발이 활발하여, Hit-achi사에서는 2 μ m BICMOS 공정을 사용하여 800ps의 속도를 갖는 게이트를 2500개 정도 집적시키었고, NEC사는 1.5 μ m BICMOS gate array에서 800ps의 속도를 갖는 게이트를 3100개 정도 집적시킨 회로를 개발하였다.¹²⁾

본 논문에서는 아날로그와 디지털기능이 함께 있는 시스템구성시 필요한 바이폴라, CMOS, DMOS, 기 본 소자의 개발을 위해, 높은 전류구동 능력을 필 요로하는 부분에는 베이스를 따로 정의한 바이폴라 트랜지스터를, 높은 내압을 요구하는 부분에 DMOS 소자를 구성할 수 있게 제작하였다.^{11, 10)} 그리 고 내부의 논리회로 부분에 이용되는 CMOS 소자는 기존의 p-well CMOS 공정을 적용하여 n-채널MOS, p-채널 MOS 트랜지스터 각각의 특성을 최적화 하 였다.

II. 실 험

BCDMOS 소자의 공정설계는 바이폴라와 CMOS, DMOS 소자의 특성을 최적화하면서 공정과정을 복 잡하지 않게 하였다. 표 1은 BCDMOS 공정순서를 요약한 것이다.

표 1. BCDMOS 제작순서
Table 1. BCDMOS process flow.



1) N⁺ buried layer 공정
비저항이 15-25ohm-cm인 P형(100) 웨이퍼를 사 용하여 바이폴라 NPN 트랜지스터의 콜렉터 저항을 줄 이기 위한 n⁺ buried layer층은 arsenic 이온도즈 주 입량을 3E15/cm²으로 점합깊이가 4.5 μ m가 되도록 확산공정 진행하였다.

2) P⁺ buried layer 공정
Isolation 확산공정 시간을 줄이기 위해 p⁺ buried layer층을 bottom isolation 영역으로 boron 2E15/cm² 이온 주입한 후 점합깊이가 3.5 μ m이 되도록 확산공 정 진행하였다.

3) Epi층 성장 공정

Epi층 설계는 CMOS 트랜지스터의 특성을 최적화 하면서, DMOS 트랜지스터의 ON저항 특성과 항복 전압값을 고려하여 비저항을 3-5 ohm-cm로 두께는 15 μ m로 성장시켰다. Epi층의 비저항, 두께의 분포는 $\pm 5\%$ 이내였다.

4) Back ground 이온 주입 공정

PMOS field 트랜지스터의 문턱전압을 -15V 이상으로 높이기 위한 마스크스텝을 줄이기 위해 epi 공정후에 바로 phosphorous 2E12/cm²으로 field 이온 주입 공정을 진행하였다.

5) P-well & isolation 공정

CMOS의 p-well 공정과 junction isolation 형성을 위하여, p-well 이온주입과 isolation 이온주입 후 p-well 확산공정시 isolation 부분이 동시에 확산되고, isolation p⁺ buried layer 영역이 auto doping 되면서 서로 맞닿아 junction isolation이 형성되도록 공정을 진행하였다. P-well의 boron이온 주입량은 1E13/cm²로 접합깊이가 4.5 μ m sheet 저항값은 2.4kohm/sq (C_s: 4E16)가 되었다. Isolation영역의 boron이온 주입량은 8E15/cm²로하여 확산공정 후 접합깊이가 10 μ m가 되도록 하였다.

6) Active & field 산화막 공정

P-well 확산공정이 끝난 다음에 모든 산화막층을 제거하고 base 산화막을 400 \AA 키운후 질화막층을 1700 \AA 정도 증착시켰다. 소자가 형성되는 영역에는 질화막을 남기고 나머지 부분에는 질화막을 없애 field 산화막이 9000 \AA 정도 자라게 공정을 진행하였다.

7) 베이스 공정

높은 전류구동 능력을 필요로 하는 부분에는 바이폴라 트랜지스터 제작을 위해 base를 따로 정의하여 boron 이온 주입량을 3E14/cm²으로 확산공정 후 접합 깊이가 2.0 μ m, sheet 저항값은 300 ohm/sq(C_s: 2.8 E18)가 되도록 하였다.

8) 문턱 전압조정 공정

CMOS 영역의 n-채널 MOS, p-채널 MOS 트랜지스터 문턱 전압을 공히 $\pm 1.0V$ 로 맞추기 위해 boron 이온 주입량을 7E11/cm²으로 마스크 공정없이 이온 주입시켰다.

9) 게이트 공정

V_t 이온주입 공정이 끝난 다음에 base 산화막층을 strip하고 gate 산화막을 450 \AA 키운후 폴리실리콘층을 5000 \AA 정도 증착하였다. 한편 CMOS 트랜지스터의 short channel effect 현상을 줄이기 위해 게이트 etch후 side wall 형성을 위해 낮은 온도의 산화막층을 2000 \AA 정도 증착 한 후 side wall etch 공정을 진

행하여 게이트 side wall spacer 영역을 1500 \AA 정도 형성시켜 주었다.

10) N-채널 source-drain (에미타)

N-채널 MOS 트랜지스터의 source-drain형성시 바이폴라 npn 트랜지스터의 에미타를 함께 정의하고, 접합깊이를 깊게하여 베이스 폭이 0.8 μ m가 되도록 phosphorous 8E15/cm²으로 이온 주입시킨 후 확산시켜 주었다.

11) Contact & 금속막 형성공정

소자간의 연결 후 step coverage를 좋게 하기위해 contact etch공정은 wet/dry/wet 순서로 진행 하였다. 금속막으로는 Al-1.5% Si을 1.0 μ m 증착시켰다. 위와 같이 11layer의 마스크 스텝과 공정과정을 거쳐 완성된 BCDMOS 소자의 단면도는 그림 1에 나타내었다.

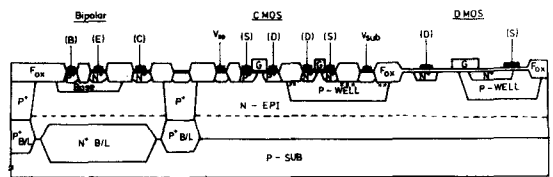


그림 1. BCDMOS 소자단면도
Fig. 1. Device structure of BCDMOS.

III. 제작결과 및 검토

아날로그/디지털 회로 구성시 입출력부를 구성하게 되는 부분에는 높은 전류구동 능력을 필요로 하게 되므로 바이폴라 트랜지스터를 구성할 수 있게 제작하였다. 베이스를 따로 정의하여 베이스 폭이 0.8 μ m인 바이폴라 npn트랜지스터의 전류-전압 특성 곡선은 그림 2와 같으며 I_b=10 μ A에서 전류이득이 320 정도 되었다(에미타 크기 10 \times 20 μ m).

한편, SBC(standard buried collector) 공정으로 진행된 npn 트랜지스터 콜렉터 저항을 줄여주기 위하여, deep콜렉터 마스크 공정을 추가하는 대신에 bent 콜렉터 모양의 트랜지스터를 제작하였다. (그림3)

npn 트랜지스터의 항복전압 BV_{EBO}는 7.2V, BV_{CBO}는 55V이고, BV_{CEO}는 18V로서 BV_{EBO}는 베이스 농도에 의한 Zener B.V특성을, BV_{CBO}는 epi 농도와 베이스 접합깊이에 따른 B.V 특성을, BV_{CEO}는 BV_{CBO}와 h_{FE}식에 관한 이론적인 값과 근사한 특성을 나타내었다.^[5] (그림4(a), (b), (c))

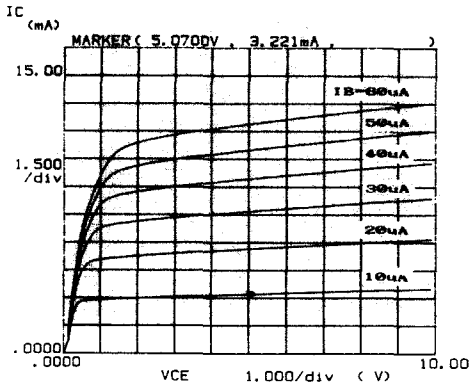


그림 2. Bipolar NPN Tr.의 I - V 특성 곡선
Fig. 2. I - V Charecteristics of Bipolar NPN Tr.

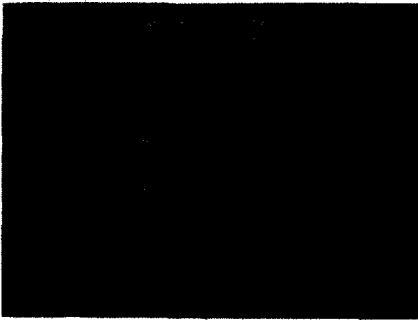
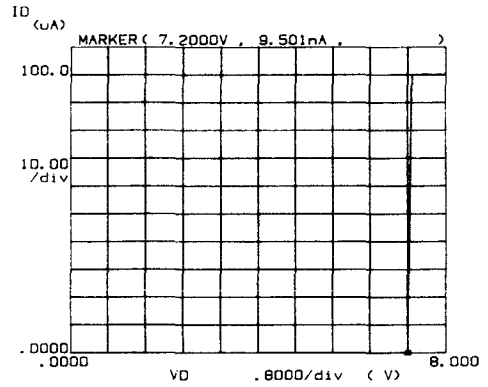


그림 3. Bent 콜렉터 구조의 NPN Tr.의 사진
Fig. 3. Photograph of NPN Tr. with bent collector.

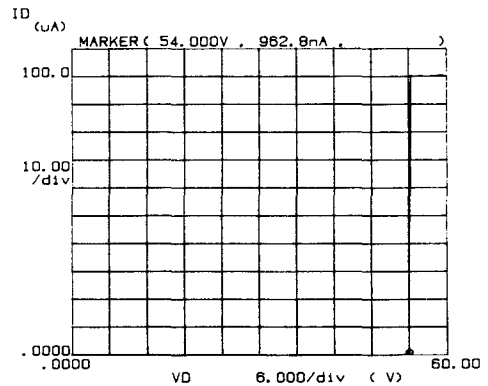
콜렉터 전류증가에 따른 h_{FE} 특성 저하는 에미타 영역으로 전자이동이 많아짐에 따른 high level injection effect 현상으로서^[5] I_c 가 10mA 이상이 되면서 그 특성이 나빠짐을 알 수 있다. (그림 5)

따라서 이러한 high level injection effect 특성을 좋게 하기 위해서 농도가 낮은 p-well을 베이스로는 사용하지 못하고, 바이폴라 트랜지스터의 베이스는 따로 구성하여 주었다.

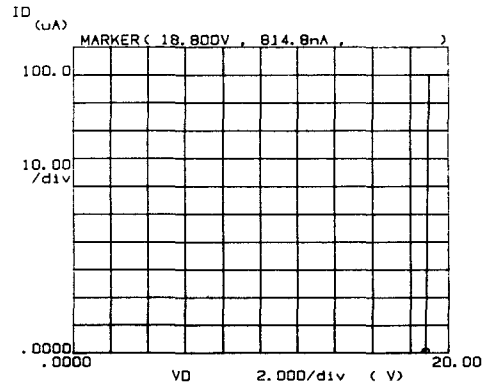
입출력부에서 높은 내압을 요구하는 부분에는 DMOS 소자를 구성하여 주었는데 일반적인 DMOS 소자에서는 p-well 형성 후 n⁺층을 ion implant 하여 self align을 이용한 이중화산을 거쳐 게이트를 형성하여 주지만, 본 실험에서는 일반적인 CMOS 공정 대로 게이트 형성후 n-채널 source-drain 공정에서



(a)



(b)



(c)

그림 4. NPN TR.의 항복전압 특성 곡선

- (a) BVEBO
- (b) BVCBO
- (c) BVCEO

Fig. 4. Breakdown Charecteristics of NPN Tr.

- (a) BVEBO.
- (b) BVCBO.
- (c) BVCEO.

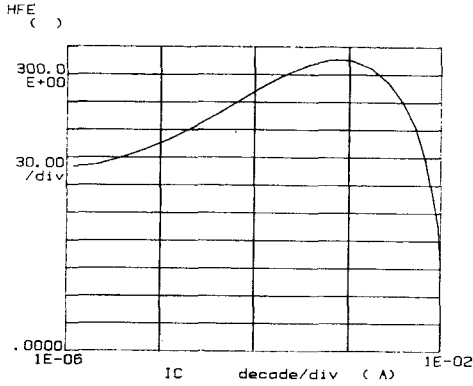


그림 5. Collector current에 따른 NPN Tr. 의 HFE 특성곡선
 Fig. 5. HFE VS. Log IC Charecteristics of NPN Tr.

DMOS 소자가 제작되게 하였다. DMOS 트랜지스터의 전류-전압 특성 곡선은 그림 6 과 같으며 ON 저항값은 $138m\Omega-cm^2$ 이고, 항복전압은 116V로서(그림 7), epi 농도에 따른 이론적인 항복전압 값과 일치하는 특성을 보여 주었다.^{4,5)}

P-well CMOS 공정으로 이루어진 n-채널 MOS, p-채널 MOS, 트랜지스터의 문턱전압은 각각 ± 1.0 V가 되게 제작하였으며, 각각의 트랜지스터의 전류 전압 특성 곡선은 그림 8, 9와 같다.

유효 채널 길이에 따른 문턱전압의 변화는 채널 길이가 NMOS는 $1.25\mu m$, PMOS는 $1.35\mu m$ 가 될 때까지는 길이에 따른 문턱전압의 변화가 없음을 나타내었다.(그림10, 11) 이는 채널 길이가 짧아짐에 따라

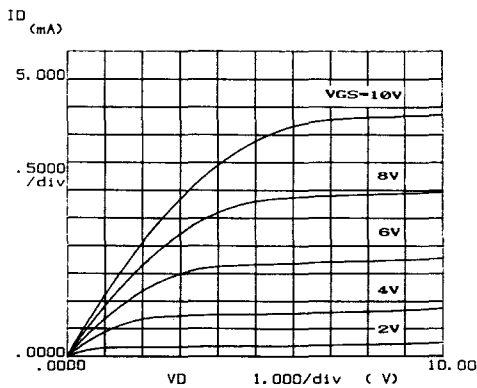


그림 6. DMOS TR.의 I - V 특성 곡선
 Fig. 6. I - V Charecteristics of DMOS Tr.

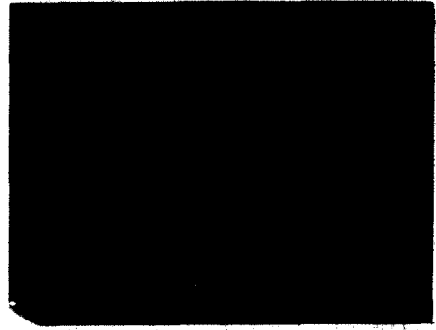


그림 7. DMOS Tr. 의 항복전압 특성곡선
 Fig. 7. Breakdown voltage Charecteristics of DMOS Tr.

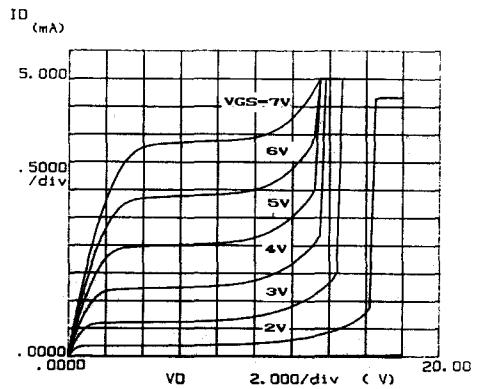


그림 8. N-CH MOSFET의 I - V 특성 곡선
 Fig. 8. I - V Charecteristics of N-CH MOSFET.

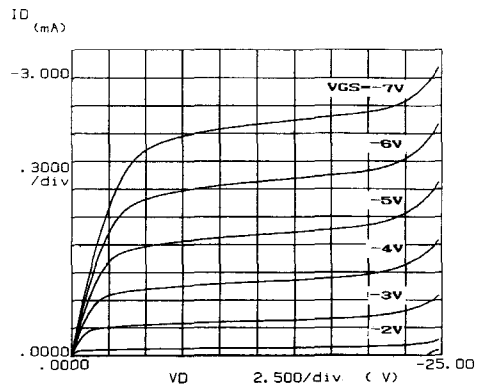


그림 9. P-CH MOSFET의 I - V 특성 곡선
 Fig. 9. I - V Charecteristics of P-CH MOSFET.

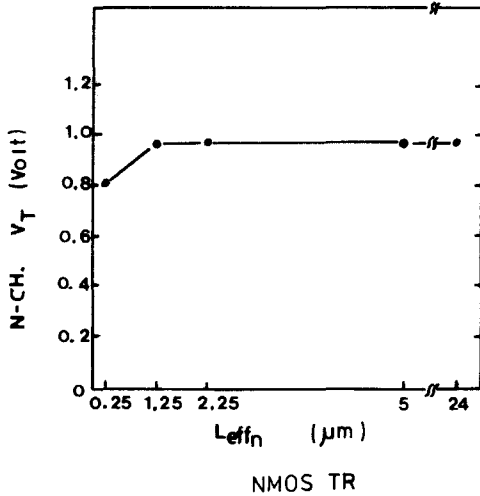


그림10. N-CHMOSFET의 채널길이에 따른 문턱 전압 변화

Fig. 10. Threshold voltage roll off with effective channel length for N-CH MOSFET.

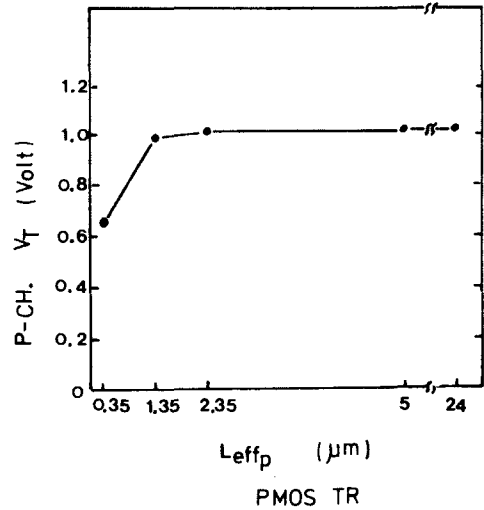


그림11. P-CHMOSFET의 채널길이에 따른 문턱 전압 변화

Fig. 11. Threshold voltage roll off with effective channel length for P-CH MOSFET.

나타나는 short channel effect 현상을 도우핑 농도 조절과 게이트 공정 후 side wall 형성에 따른 결과라 사료된다.

이들 소자의 항복전압은 18V, 25V 정도되었는데 바이폴라 트랜지스터의 BV_{CEO} 가 19V이므로 시스템 구성시 CMOS, 바이폴라 소자는 medium power 영역에서 안정된 동작 범위를 갖게 된다.

이상의 논의에서 살펴본 BCDMOS 시스템 구성에 사용될 바이폴라, CMOS, DMOS 트랜지스터의 특성을 요약하면 표 2와 같다. 측정에 사용된 장비는 KEITHLEY S350, TEKTRONIX 576 curve tracer HP4145A 장비를 이용하였다.

IV. 결 론

아날로그와 디지털 기능이 함께 필요한 시스템에 있어서, 입출력부에는 구동 interface에 유리한 바이폴라 트랜지스터가, 높은 내압을 요하는 데에는 DMOS 소자를 그리고 논리회로 구성에는 높은 집적도의 CMOS 소자를 이용하여 회로를 구성할 수 있는 BCDMOS 공정 기술을 개발 하였다.

실험 결과로서, 바이폴라 npn 트랜지스터의 h_{FE} 특성은 320($I_b=10\mu A$) 정도이고 CMOS 소자에서는 n-채널과 p-채널이 각각 $1.25\mu m$, $1.35\mu m$ 까지는 short channel effect 현상이 나타나지 않았고, DMOS 소자에서는 항복전압이 115V 이상의 특성을 얻을 수 있었다.

표 2. BCDMOS 소자 특성 측정값

Table 2. BCDMOS device characteristics.

DEVICE	PARAMETER	측 정 치	측정조건
Bipolar NPN (EMIT.10 * 20μm)	h_{FE}	150~330	$I_B=10\mu A$, $V_{CE}=5V$
	BV_{CBO}	53~60V	$I_C=100\mu A$
	BV_{CEO}	18~22V	$I_C=100\mu A$
	BV_{EBO}	7.0~7.3V	$I_C=100\mu A$
	$r'c$	21~24Ω	
DMOS N-CH (W/L: 25/12)	V_{TN}	0.8~1.0V	$V_{as}=0.1V$
	BV_{DSS}	115~120V	$V_g=0V$
	R_{ON}	$138m\Omega\text{-cm}^2$	$V_g=10V$, $V_{as}=0.1V$
CMOS N-CH (W/L: 25/6)	V_{TN}	0.8~1.0V	$V_{as}=0.1V$
	BV_{DSS}	18~20V	$V_g=0V$
	SFACTOR	90mV	$\Delta V_g/\Delta \log I_D$
P-CH (W/L: 25/6)	V_{TP}	-0.8~1.0V	$V_{as}=-0.1V$
	BV_{DSS}	-24~26V	$V_g=0V$
	SFACTOR	75mV	$\Delta V_g/\Delta \log I_D$

이러한 BCDMOS technology는 아날로그와 디지털 기능을 공존시키는 기술로서 그 응용여부에 따라 고 전압, 고속화, 고집적화될 특수용도의 IC 제작에 이용될 수 있을 것이다.

參 考 文 獻

- [1] M.D. Pocha, J.D. Plummer, J.D. Meindl, "Tradeoff between threshold voltage double diffused MOS transistors," *IEEE Transactions on Electron Devices*, vol. 25, no. 11 pp.1325-1327 Nov., 1978.
- [2] Gunter Zimmer, Bernd Hoefflinger, "A fully implanted NMOS, CMOS, bipolar technology for VLSI of analog digital systems," *IEEE Transactions on Electron Devices*, vol. 26, no. 4 pp. 390-395 Apr. 1979.
- [3] Fred Walczyk, Jorge Rubinstein, "A merged CMOS/bipolar technology," *IEDM*, pp.59-62, 1983.
- [4] S.C. Sun, "Physics and technology of power MOSFET," Technical Report No. IDEE 696-1 Stanford University, 1982.
- [5] A.S. Grove, *Physics and technology of Semiconductor Devices*, Chapter 6, 7, Wiley, 1967.
- [6] Jeffery D. Morse, David H. Navon, "Optimized design of a merged Bipolar MOSFET device," *IEEE Transactions on Electron devices*, vol. 32, no. 11 pp.2277-2281 Nov. 1985.
- [7] A. Wanatabe, T. Nagano, N. Nishio, "High speed BICMOS VLSI technology with twin well structure," *IEDM*, pp.423-426, 1985.
- [8] Bernald Cornad Cole, "Mixed process chips are about to hit the big time," *Electronics*, pp.27-31, 1986.
- [9] Sameul Weber, "TI soups lin CMOS process with 20V bipolar transistors," *Electronics*, pp. 59-60, 1988.
- [10] A.R. Alvarez, R.M. Roop, "Lateral DMOS transistor optimized for high voltage BICMOS applications," *IEDM*, pp.420-423, 1983.
- [11] Masaharu Kubo, Ikuro Masuda, Kenji Miyata, "Prespective on BICMOS VLSIs," *IEEE Journal of Solid State Circuits*, pp.5-10, Feb. 1988.
- [12] Hitachi, "Bipolar와 CMOS를 기본 논리회로에 조합하여 고속 및 저소비전력의 LSI를 구현한다." *Neikei Electronics*, pp. 209-229, Aug. 1985.
- [13] Hitachi, "고속고립적 메모리에 대두하는 BICMOS RAM," *Nikei Electronics*, pp. 199-217, Mar. 1986.
- [14] Bernard C. Cole, Samuel Weber, "BICMOS LSI 개발에 미국은 열기에 차있다." *Neikei Electronics*, pp. 227-241, Mar. 1988.*

著 者 紹 介



朴 致 善 (正會員)

1958年 1月 15日生. 1981年 2月 한양대학교 재료공학과 졸업. 1983年 2月 동대학원 재료공학과 졸업. 1983年 3月 금성반도체 입사 1983年 3月~1985年 7月 금성반도체 Bipolar 제품기술과 근무. 1985年 7月~현재 금성반도체 연구소 근무. 1986年 7月~현재 아주대학교 전자공학과 박사과정 재학중. 주관심분야는 Advanced Bipolar 소자공정, Power 소자구조, BICMOS Technology 분야등임.