

# 자율조직을 이용한 임의의 모양을 갖는 영역에서의 회로배치

## (Circuit Placement in Arbitrarily-Shaped Region Using Self-Organization)

金 性 秀\*, 慶 宗 旻\*

(Sung Soo Kim and Chong Min Kyung)

### 要 約

이 논문에서는 ASIC 칩의 설계도면에서 발생하는 임의의 모양을 갖는 영역에서의 효과적인 회로배치 방법인 SOAP(self-organization assisted placement)를 제안한다. 자율조직이란 Kohonen<sup>[1]</sup>이 제안한 신경회로망의 학습방법으로 가까이 위치하고 있는 신경소자들이 물리적으로 유사한 외부 입력에 민감하도록 소자에 연결된 시냅스(synapse)의 가중치들을 조절하는 것이다. SOAP에서는 회로 블록을 신경소자에 회로 블록의 위치(x, y좌표)를 해당 신경소자에 연결된 2개의 학습입력으로부터의 시냅스의 가중치 쌍으로 대응시킴으로써 임의의 영역에서의 좋은 회로 배치 결과를 얻을 수 있었다. 이 방법은 또한 입체 표면에서의 회로 배치에도 확장될 수 있다.

### Abstract

In this paper, we present an effective circuit placement method called SOAP (self-organization assisted placement) for rectilinear or arbitrarily-shaped region arised from the layout of ASIC (application specific integrated circuit). Self-organization is a learning algorithm for neural networks proposed by Kohonen[1] which adjusts weights of synapses connected to neurons such that topologically close neurons are sensitive to inputs that are physically similar. In SOAP, we obtain a good circuit placement result in arbitrarily-shaped region by replacing the block of circuit and the position (x, y coordinates) of the block with the neuron and the weight pair of synapses connected to the neuron, respectively. This method can also be extended to the circuit placement over the nonplanar surface.

### I. 서 론

반도체 집적 기술의 발달로 인하여 집적회로의 집

적도가 증가함에 따라 설계 자동화의 필요성이 커져 가고 있으며, 설계 비용의 절감과 설계 시간의 단축 및 보다 좋은 성능의 집적회로 개발을 위하여 집적 회로 설계 도구들의 성능 향상을 위한 연구가 계속되고 있다. 집적회로의 설계 과정에서, 회로의 배치는 배선 길이를 결정하며, 이에따라 칩의 동작 특성, 전력 소모, 칩의 면적을 결정하는 요인이 된다. 그리하

\*正會員, 韓國科學技術院 電氣 및 電子工學科  
(Dept. of Electrical Eng., KAIST)

接受日字: 1988年 12月 1日

여 직사각형 영역내에서의 좋은 배치를 얻기 위한노력이 계속되어 왔으며,<sup>[2,3,4,5]</sup> 임의의 모양을 갖는 배치 영역과 비평면 영역에서의 배치에 대한 연구도 진행되고 있다.<sup>[6,7,8]</sup> 참고문헌[6]에서는 영역을 직사각형 모양의 여러 부분영역으로 나누어 영역 그래프로 모델링하고, 회로를 회로 그래프로 모델링하여 두 그래프가 최대 정합이 되도록 시뮬레이티드 어닐링을 사용하여 회로의 셀을 각 부분영역에 할당하는 방법을 제안하였다. 참고문헌[7]에서는 셀간의 연결도를 고려하여 회로를 일차원으로 배열하고 한 영역에 한 셀이 할당될 때까지 계층적으로 셀들의 배열과 영역을 두개로 나누고 각각의 셀 배열의 방향을 바꾸어 나가는 방법을 사용하였다.

신경회로망에 대한 연구에서 Kohonen<sup>[1]</sup>은 가까이 위치하고 있는 신경세포들은 물리적으로 유사한 외부 입력에 민감하다는 사실로부터 자율조직 특성지도(self-organizing feature map)를 형성하는 자율학습 방법을 제안하였다. 본 논문에서는 자율조직(self-organization)을 이용한 회로 배치 방법을 제안하고 실제 회로 배치 결과에 대하여 논의한다.

II. 자율조직(self-organization)의 원리

자율조직(self-organization)은 Kohonen<sup>[1]</sup>이 제안한 신경회로망의 자율학습 방법으로 가까이 위치하고 있는 신경세포들은 물리적으로 유사한 외부입력에 민감한 반응을 보이도록 입력으로부터 신경세포로 연결된 연결선의 가중치들을 변화시키는 것이다. 이렇게 하여 형성된 가중치들은 입력 특성지도(feature map)를 형성하게 된다. 특성지도 형성을 위해 그림1과 같은 출력소자(신경세포)들의 이차원 배열이 사용되었다. 모든 출력 소자들은 많은 부분 연결을 가지고 있으며, 모든 입력은 모든 출력 소자와 가중치의 변화가 가능한 연결선으로 이어져 있다. 특성지도를 형성하는 알고리즘은 그림 2와 같이 각 소자의 주위에 정의된 이웃영역(neighborhood)이 필요하다. 그림에서  $NE_j(t)$ 는 시간 $t$ 에서 소자 $j$ 의 이웃영역을 나타낸다. 소자와 소자를 연결하는 선의 길이를 모두 1이라 할 때 한 소자  $i$ 로부터 일정한 거리안에 있는 소자들을 소자 $i$ 의 이웃들이라 한다. 이웃소자들을 포함하는 영역을 이웃영역이라 하며 그림 2에 나타난 것과 같이 시간에 따라 그 크기가 점차 줄어든다.

자율 조직 특성지도 형성을 위한 알고리즘<sup>[6]</sup>  
 [과정 1] 가중치의 초기화

$N$ 개의 입력으로부터  $M$ 개의 출력 소자로 연결된 모든 연결선의 가중치를 임의의 작은 값으로 한다.

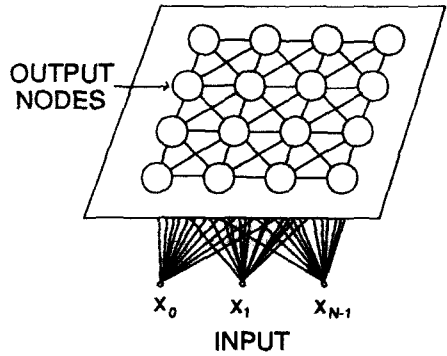


그림 1. 특성지도 형성을 위해 사용된 출력 소자의 이차원 배열, 모든 입력은 변화 가능한 가중치를 통해 모든 출력과 연결되어 있다

Fig. 1. Two-dimensional array of output nodes used to form feature maps. Every input is connected to every output node via a variable connection weight.

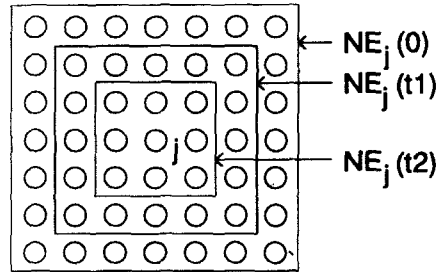


그림 2. 특성지도를 형성할 때의 시간에 따른 이웃영역.  $NE_j(t)$ 는 시간  $t$ 에서 소자  $j$ 의 이웃영역이다. 이웃영역은 처음에 크고 시간에 따라 크기가 점차 줄어든다.  $0 < t_1 < t_2$

Fig. 2. Topological neighborhoods at different times as feature maps are formed.  $NE_j(t)$  is the set of nodes considered to be in the neighborhood of node  $j$  at time  $t$ . The neighborhood starts large and slowly decrease in size over time. In this example,  $0 < t_1 < t_2$ .

이웃영역의 초기 반경은 그림 2와 같이 정한다.

[과정 2] 새로운 입력을 준다.

[과정 3] 모든 소자까지 거리계산

입력으로부터 각 출력소자  $j$ 까지의 거리  $d_j$ 를 다음과 같이 계산한다.

$$d_j = \sum_{i=0}^{N-1} (x_i(t) - w_{ij}(t))^2$$

여기서  $x_i(t)$ 는 시간 $t$ 에 소자  $i$ 에 들어온 입력이고  $w_{ij}(t)$ 는 시간 $t$ 에서의 입력소자  $i$ 와 출력소자  $j$ 를 연결한 선의 가중치이다.

[과정 4] 최단 거리의 출력소자 선택

$d_j$ 값이 최소인 출력소자  $j^*$ 를 선택한다.

[과정 5] 소자  $j^*$ 와 이웃소자들의 가중치를 수정

소자  $j^*$ 와 그림 2에 나타난 것과 같이  $NE_{j^*}(t)$ 로 정의된 이웃영역내의 모든 소자들에 대해 다음과 같이 가중치를 조절한다.

$$w_{ij}(t+1) = w_{ij}(t) + \eta(t) (x_i(t) - w_{ij}(t))$$

for  $j \in NE_{j^*}(t), 0 < i < N-1$

$\eta(t)$ 는 시간에 따라 감소하는 이득 항이다. ( $0 < \eta(t) < 1$ )

[과정 6] 과정 2로 가서 반복한다.

입력 소자수  $N = 2$  이고 출력 소자수  $M = 100$ 일 때의 동작 예제가 그림 3에 있다. 여기서 입력들은 임의로 추출한 독립적인 값이며 그림 3에 그려져 있는 사각형내의 영역에 골고루 분포되어 있다. 그림 3에서 선의 교차점은 각 소자의 두 가중치를 나타낸다. 수평축은  $x_0$ 로부터의 가중치를 나타내고, 수직축은  $x_1$ 으로부터의 가중치를 나타낸다. 그림 3에 그려진 선은 연결이 있는 출력소자들의 가중치를 연결한 것이다. 가중치들은 시간 0에 그림의 중앙 부분에 모여있다. 가중치들은 그들의 위치 밀도가 입력의 균일한 분포에 근접할 때까지 점차 확장된다.

이 예제에서 과정 5의 이득항  $\eta(x, t)$ 는 다음과 같은 가우시안 함수로 나타낸다.

$$\eta(x, t) = \frac{1}{(2\pi)^{1/2}(N - \sigma(t) + 1)} \exp\left(-\frac{x^2}{2\sigma^2(t)}\right)$$

여기서  $\sigma(t)$ 는 시간 $t$ 에서의 이웃영역의 반경이고  $N$ 은 초기에 설정한 이웃영역의 반경이다.  $\sigma(t)$ 는 그림에서 보인것과 같이  $N$ 에서 시작하여 시간에 따라 점차 감소한다.  $x$ 는 현재 가중치를 조절하고자 하는 소자로부터 과정 4에서 입력에 가장 가까운 소자로 선택된 소자  $j^*$ 까지의 연결선상의 거리를 나타낸다. 그림 4는 이웃영역의 초기반경  $N = 5$ 일때의 이득항  $\eta(x, t)$ 를 나타내며 이웃영역의 반경( $\sigma$ )이 작을수록 이득항이 적어지고 선택된 소자로부터의 거리( $x$ )가 멀수록 이득항이 적어지는 것을 볼 수 있다. 이웃영역의 설정이 연결선을 기준으로 행해지고 가중치의 변화가 연결선상의 거리함수로 일어나므로 구조적으로 가깝게 연결되어 있는 소자들이 물리적으로 유사한

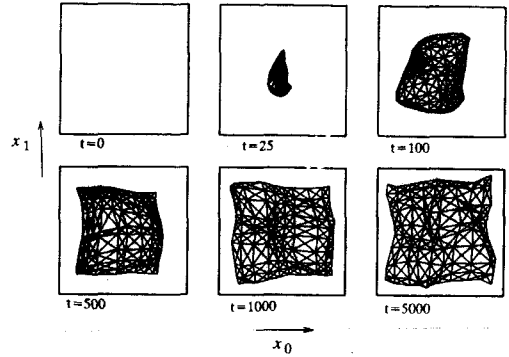


그림 3. 특성지도가 형성될 때 두 입력 소자로 부터 100개의 출력소자로 연결된 가중치. 수평축은  $x_0$ 로 부터의 가중치를 나타내며 수직축은  $x_1$ 으로 부터의 가중치를 나타낸다. 교차점은 각 소자의 두 가중치를 나타내며 직선은 연결이 있는 출력소자들의 가중치를 연결한다. 입력은 무작위로 추출된 독립적인 값이며 그림에 나타난 영역에 골고루 분포되어 있다.

Fig. 3. Weights to 100 output nodes from two input nodes as a feature map is being formed. The horizontal axis represents the value of the weight from input  $x_0$  and the vertical axis represents the value of the weight from input  $x_1$ . Line intersection specify the two weights for each node. Lines connect weights for nodes that have connection. Inputs were random, independent, and uniformly distributed over the area shown.

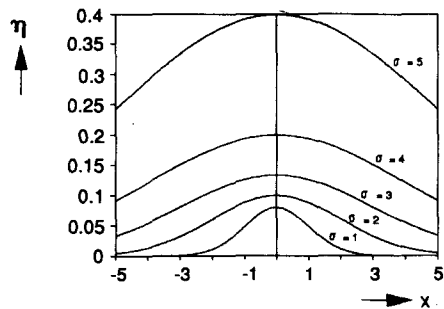


그림 4. 이웃영역의 초기반경이 5인 경우의 이득항  $\eta(x, t)$ .  $\sigma$ 는 이웃영역의 반경이고  $x$ 는 소자  $j$ 와 소자  $j^*$ 간의 거리이다.

Fig. 4. Gain term  $\eta(x, t)$  when initial radius of neighborhood is 5.  $\sigma$  means the radius of neighborhood and  $x$  is the distance between node  $j$  and node  $j^*$ .

입력에 대해 민감해지도록 가중치가 변화하게 된다. 즉 구조적으로 가까이 있는 소자들의 가중치가 비수해진다.

### Ⅲ. 회로의 배치

신경회로망의 자율조직은 각 소자들을 회로의 셀로 간주하고 각 소자들의 가중치를 해당 셀의 좌표로 간주하면 회로의 배치에 적용시킬 수 있다. 이때 각 셀들을 연결하는 신호선의 길이를 1로하고 각 셀로부터 같은 거리에 존재하는 셀들을 그 셀의 이웃으로 한다. 회로의 배치는 다음과 같이 행해진다. 처음에 모든 셀을 셀들이 놓일 영역의 중앙에 모아 놓는다. 주어진 영역안에 들어가는 임의의 이차원 입력 벡터  $X(t) = \{x_1(t), x_2(t)\}$ 를 준다. 각 셀의 현재 위치와 입력 벡터간의 이차원 유클리디안 거리를 계산하여 다음과 같이 최소의 유클리디안 거리를 갖는 셀  $j$ 를 선택한다.

$$||X(t) - W_j(t)|| = \min_i ||X(t) - W_i(t)||$$

여기서  $W_j(t)$ 는 주어진 영역에서 셀  $j$ 의  $x$ 와  $y$  위치를 나타내는 이차원 벡터이다. 입력으로부터 최단 거리에 있는 셀이 하나 선택되면, 그 셀과 그 셀의 이웃에 해당하는 셀들에 대해 다음과 같은 적응법칙에 따라 셀들의 위치가 입력 벡터를 따라가도록 한다.

$$W_i(t+1) = W_i(t) + \eta(t)[X(t) - W_i(t)] \text{ for } i \in NE_j,$$

여기서  $\eta(t)$ 는 이득 항이며  $NE_j$ 는 셀  $j$ 의 이웃이다. 위의 과정은 셀들이 놓일 영역에 골고루 분포된 독립적인 임의의 입력들에 대하여 반복 수행된다. 충분한 반복 수행 후에 셀들은 입력이 분포되었던 영역에 골고루 퍼지게 되며 자율조직의 원리에 의해 연결이 많은 셀들이 상대적으로 가까이 위치하게 된다.

### Ⅳ. 3차원 표면에서의 회로 배치

자율학습의 원리를 이용한 3차원 표면에서의 회로 배치는 다음과 같이 행해진다. 셀들을 배치하고자 하는 영역의 중심에 모아 놓는다. 셀들을 배치하고자 하는 3차원 표면상에서 입력 벡터를 무작위로 발생(random generation)시키고 그 입력으로 부터 가장 가까운 셀과 그 셀의 이웃 셀들의 위치를 변화시킨다. 이와 같은 일을 반복수행함에 따라 셀들은 영역의 중심으로 부터 셀들이 놓일 3차원 표면으로 점차 퍼져 나가게 된다. 충분한 반복 수행 후에 셀들을 가장 가까운 표면으로 투영시킨다. 이 경우 셀들은 3차원 표면에 골고루 배치되며 2차원 배치에서와 마

찬가지로 강하게 연결된 셀들이 가까이 배치되게 된다.

### V. 결과 및 고찰

사각형 영역과 수직 수평성분으로 구성된 영역 그리고 3차원 표면에서의 배치를 위해 67개의 셀을 갖는 ALU 회로를 사용하여 실험하였고 기존의 알고리즘과 비교하기 위해 두개의 benchmark 자료를 사용하였다. 그림 5는 67개의 셀을 갖는 ALU를 직사각형 영역에 배치한 결과를 보여준다. 그림 6은 그림 5의 회로 배치가 진행되는 동안 반복횟수에 대한 배선길이의 half-perimeter 값의 변화를 보여주고 있다. 그림 6에서 보면 배선길이의 half-perimeter 값이 시간(반복 횟수)에 따라 점차 감소해 가는 것을 볼 수 있다. 어느 정도의 시간이 경과하면 값의 변화가 적은 것을 볼 수 있는데 이것은 셀들이 어느 정도 균일하게 분포되어 입력에 대한 셀의 위치변화가 작기 때문이다. 수직수평성분만을 갖는 임의의 영역에서 시간에 따른 ALU 회로의 배치결과가 그림 7에 나와있다. 초기에 셀들이 영역의 중앙에 모여 있다가 점차 영역 전체로 퍼져나가는 것을 볼 수 있다. 그림 8은 육면체 표면에 ALU를 배치한 결과의 전개도이다. 그림 8의 (b), (c), (d)는 각각 같은 면, 인접한 면, 마주보는 면에 존재하는 셀간의 신호선 연결 모양을 보여준다. 기존의 방법과 비교를 위해 사용한 스탠다드 셀(standard cell) benchmark 자료가 표 1에 나와 있다. 표 2에서 스탠다드 셀 회로인 primary 1, primary 2에 대해 네가지 알고리즘을 비교하였다.  $min\_cut^{[11,12]}$ ,  $RT^{[13]}$  그리고  $GORDIAN^{[10]}$ 에 대한 자료는

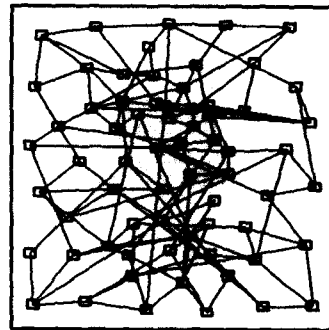


그림 5. 직사각형 영역에 67개의 셀을 갖는 ALU를 배치한 결과

Fig. 5. Placement result of ALU on rectangular region.

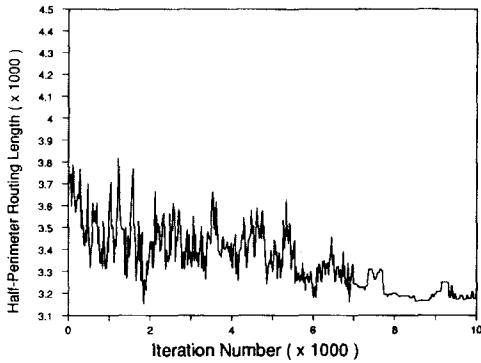


그림 6. ALU의 회로 배치가 진행되는 과정에서 반복 횟수에 대한 배선길이의 half-perimeter 값의 변화

Fig. 6. Change of half-perimeter routing length vs. iteration number during the placement of ALU.

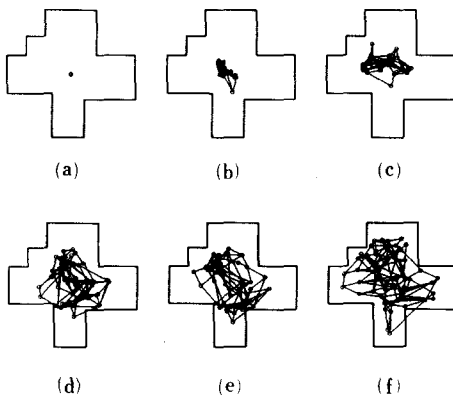


그림 7. 수직 수평 성분만을 갖는 임의의 영역에서의 시간에 따른, (a)에서 (f)까지, ALU 회로 (67 셀)의 배치 결과가 자율조직을 보여준다.

Fig. 7. Time behaviour, from (a) to (f), of block placement in rectilinear region for example (ALU, 67 blocks) showing self-organization.

참고문헌[10]에서 얻었다. 셀들은 각각 17, 26개의 행과 220 $\mu$ m, 270 $\mu$ m의 채널길이를 가지고 배치되었다. 배선길이는 half perimeter로 계산되었다. 이 결과로부터 사각형 영역에서도 기존의 알고리즘과 경쟁할 수 있음을 알 수 있다.

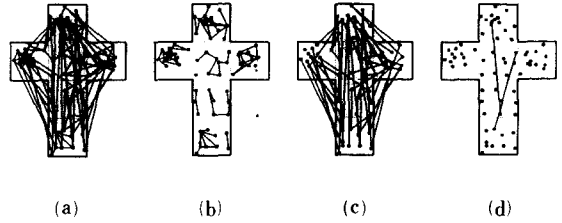


그림 8. 자율조직의 원리를 사용해 정육면체 표면에 ALU를 배치한 결과의 전개도와 연결 형태; (a) 전체 연결선, (b) 같은 면, (c) 이웃한 면 그리고 (d) 마주보는 면에서의 연결선

Fig. 8. Exploded view of block placement and the connection pattern on the surface of cube using self-organization; (a) total wires, wires (b) within a face, (c) in neighboring faces and (d) opposite faces.

표 1. Benchmark 자료의 특성

Table 1. Characteristics of the benchmarks.

Circuit	Modules	Nets	Rows	Channel Height( $\mu$ m)	Cell Height ( $\mu$ m)
Primary1	752	904	17	220	150
Primary2	2907	3209	26	270	150

표 2. Benchmark 자료의 half perimeter

Table 2. Half perimeter of benchmarks.

Algorithm	Half perimeter(m) (Primary1)	Half perimeter(m) (Primary2)
min-cut	1.739	9.823
RT	2.177	8.685
GORDIAN	1.503	8.142
SOAP	1.583~1.862	8.895~9.468

## VI. 결 론

본 논문에서는 신경회로망의 학습방법인 자율조직의 원리를 이용한 회로 배치방법(SOAP)을 제안하였고 3차원에서도 쉽게 확장하여 사용할 수 있음을 보였다. SOAP에서는 자율조직의 원리에 의해 셀의 분포가 셀간의 연결도를 고려하면서 입력 분포를 따라가므로 임의의 영역내에 골고루 분포되어 있는 입

력을 사용하여 임의의 영역에서의 회로 배치를 수행할 수 있다. Benchmark 자료를 사용한 배치 결과로부터 사각형 영역에서도 좋은 결과를 얻음을 보였다. 본 연구는 MV10000 DG/UNIX 환경하에서 C언어로 수행되었다.

### 參 考 文 獻

- [1] T. Kohonen, *Self-Organization and Associative Memory*, Springer-Verlag, 1984.
- [2] N.R. Quinn and M.A. Breuer, "A force-directed component placement procedure for PCB's," *IEEE Trans. on Circuits and Systems*, vol. CAS-26, no. 16, June 1979.
- [3] M. Breure, "Min cut placement," *J. Des. Automat. Fault Tolerant Comput.*, pp. 343-363, Oct. 1977.
- [4] Sungho Kang, "Linear ordering and application to placement," *Proc. 220th Design Automation Conference*, pp. 457-463, 1983.
- [5] Lu Sha, R.W. Dutton, "An analytic algorithms for placement and arbitrary sized rectangular blocks," *Proc. 22nd design Automation Conference*, pp. 602-608, 1985.
- [6] I.C. Park and C.M. Kyung, "A graph matching algorithm for circuit partitioning and placement in rectilinear region and non-planar surface," *Joint Technical Conference on Circuits/Systems, Computers and Communication*, pp. 182-186, 1988.
- [7] Y.Y. Yang and C.M. Kyung, "Functional cell placement in rectilinear region using successive alternating-direction ordering," *submitted to Int'l Symp. on Circuits and Systems*, 1989.
- [8] Mely Chen Chi, "An automatic rectangular partitioning procedure for standard cells," *Proc. 24th Design Automation Conference*, pp. 50-55, 1987.
- [9] R.P. Lippman, "An introduction to computing with neural nets," *IEEE ASSP Magazine*, vol. 3, no. 5, pp. 4-22, 1987.
- [10] J.M. Kleinhans, G. Sigl, and F.M. Johannes, "GORDIAN: A new global optimization/rectangle dissection method for cell placement," *IEEE International Conference on Computer-Aided Design*, pp. 506-509, 1988.
- [11] C.M. Fiduccia and R.M. Mattheyses, "A linear-time heuristic for improving network partitions," *Proc. 19th Design Automation Conference*, pp. 175-181, 1982.
- [12] A.E. Dunlop and B.W. Kernighan, "A procedure for placement of standard-cell VLSI circuits," *IEEE Trans. on Computer-Aided Design*, pp. 92-98, 1985.
- [13] K.M. Just, J.M. Kleinhans, and F.M. Johannes, "On the relative placement and the transportation problem for standard-cell layout," *Proc. 23rd Design Automation Conference*, pp. 308-313, 1986. \*

---

### 著 者 紹 介

#### 金 性 秀 (正會員)

1960年 3月 17日生. 1980年 3月~1984年 2月 아주대학교 전자공학과 학사학위 취득. 1984年 3月~1986年 2月 한국과학기술원 전기 및 전자공학과 석사학위 취득. 1986年 3月~현재 한국과학기술원 전기 및 전자공학과 박사과정.

#### 慶 宗 旻 (正會員) 第25卷 第10號 參照

현재 한국과학기술원 전기 및 전자공학과 부교수