論文 89-26-7-8

SLIP 현상 및 공정소모 POWER를 최소화하기 위한 RTA 제작

(RTA Development to Minimize SLIP and Process Power Consumption)

權 庚 燮,** 張 鉉 龍,** 黃 好 正*

(Kyung Sup Kwon, Hyun Ryong Jang and Ho Jung Hwang)

要 約

본 연구에서는 텅스텐 할로겐 램프를 사용한 RTA(or RTP) 장치를 제작하여 웨이퍼 가장자리와 내부사이의 서로 다른 반사계수를 갖는 반사판을 사용하여 1300°C에서 최소 2개까지 슬립(2″wafer) 발생억제효과를 얻을 수 있었다. 뿐만 아니라 웨이퍼 주위에 흑연환을 씌워 경계에서 잃는 온도 보상효과를 주어 슬립 생성을 억제시킬 수 있었다. 또한 소모전력감소 및 슬립현상을 동시에 줄이기 위한 또 다른 방법으로 Two-channel heating을 제시하였다.

Abstract

Rapid thermal annealing system using tungsten halogen lamps and reflectors was developed to get 2 slips per 2″ wafer at least at 1300°C. Reflectors are different in reflectance between the edge and the center of an wafer.

Slip generation could be suppressed by placing a graphite ring around the wafer. The two-channel heating is proposed as the the other solution to reduce the power consumption and the slip generation simultaneously.

I. 서 론

고속열처리공정(rapid thermal processing)은 기존의 확산로(furnace)에서 행하던 다양한 공정을[1~7,9] 대부분 수행할 수 있으며 가열과 냉각이 웨이퍼(wafer)에서 고속으로 이루어지므로 VLSI 공정에 적합한 재확산[8~10], 확산로 벽면으로 부터 방출되는 오염등을 방지할 수 있는 장점이 있다.[11,12] 이와 같은 장점에도 불구하고 실제 널리 사용되어지지 않는 이유는 고온열처리시에 발생하는 슬립(slip)현상 때문이다. 기존 확산로에서의 열처리공정은 웨이퍼의 이동속도가 빠를 경우 가장자리부터 가열되고 냉각되는 효과로 인한 온도 구배가 형성되어 웨이퍼가 휘거나

*正會員, **準會員, 中央大學校 電子工學科
(Dept. of Elec. Eng., Jungang Univ.)

接受日字 : 1989年 1月 25日
(※ 본 연구는 서울대학교 반도체공동연구소의 지원으로 행하여졌음.)

슬립이 생성되어지게 된다.[13,14] 웨이퍼의 이동속도를 충분히 낮춤으로써 이 문제를 해결할 수도 있으나 이로 인하여 불순물의 재분포 및 측면확산(lateral diffusion) 증가 현상이 첨가되어 나타나게 된다.[21]

고속열처리의 경우 웨이퍼의 가열과 냉각이 빛의 복사에 의해서만 이루어지며, 웨이퍼의 가장자리(edge)가 방출하는 복사에너지는 중심부분(center)에 비하여 많아지게 되므로 가장자리의 온도가 낮아지는 온도 구배가 발생되어 진다.[14] 따라서 균일한 분포의 빛에너지원을 갖는 고속열처리 장치의 경우에도 웨이퍼의 방사성(radial)의 방향으로 나타나는 온도 구배로 인하여 웨이퍼는 기계적인 힘을 받게 된다.[14]

1000°C 이상의 온도를 요하는 공정의 경우, 발생되는 기계적인 힘은 항복점(yield point)을 넘게 되며 그로 인하여 웨이퍼의 가장자리에 슬립이 일어나게 된다.[14] 웨이퍼에 도달하는 빛에너지를 균일하도록 설계하기가 어려울뿐 아니라 가장자리의 에너지 보상이 동시에 일어나야 하므로 RTA는 지금까지 Al-Si contact alloy, 또는 silicide 형성과 같은 비교적 저온공정에서 사용되어져 왔다.[15]

본 연구에서는 텅스텐 할로겐 램프(tungsten halogen lamp)를 열원으로 사용하고 서로 다른 반사계수를 갖는 반사판, 환고리(guard ring) 및 상하램프를 이용한 two-channel control heating 등을 이용하여 슬립생성을 억제시킬 수 있으며 공정소모전력의 감소를 동시에 줄이기 위한 RTA 장치를 개발하였다.

Ⅱ. 슬립발생

그림 1은 웨이퍼 표면에서의 열복사(radiation)를 나타내고 있다. 웨이퍼 중심부분과 가장자리의 온도 차이는 다음과 같은 원인들로 대별할 수 있다.

i) 조사되는 빛에너지의 불균일성
ii) 가장자리 측면에서의 복사
iii) 가열/냉각속도
iv) 반응실(chamber)내에서의 개스 대류에 의한 냉각

슬립발생의 주원인이 되는 온도 구배는 램프에서 조사되는 열에너지의 분포와 조사된 열을 흡수하여 온도가 상승된 후 웨이퍼 자체에서 발생되는 열적복사(thermal radiation)중 측면부분이 첨가되고 가장자리에 복사에 따른 위치의 불균일한 열손실에 크게 기인된다.

1. 웨이퍼의 온도 분포

웨이퍼에 램프로 부터 빛에 의한 단위시간당 열에

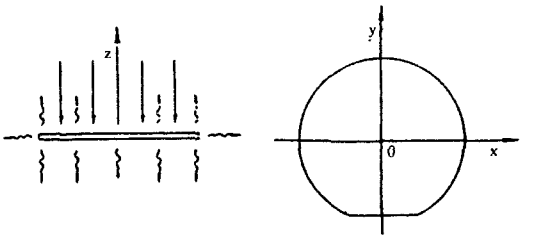


그림 1. 웨이퍼 표면에서의 열 복사
Fig. 1. Schematic diagram of the uniform irradiation of a free wafer.

너지 Q가 균일하게 조사될 때 웨이퍼의 두께 h가 반경 a에 비하여 매우 작을 경우 두께에 의한 온도 구배는 무시될 수 있으므로 웨이퍼 반경에 따른 열의 흐름(heat flow)은 다음식을 만족한다.

$$\bar{K}\frac{1}{r}\frac{1}{dr}\left(r\frac{dT}{dr}\right)=-Q+2\in\sigma T^4(r) \qquad (1)$$

여기서 $\bar{K}=K\,h$ (2)

K : 열전도율(thermal conductivity)
h : 웨이퍼 두께
Q : 입사된 단위면적당의 에너지
$\in$: 웨이퍼의 방출률(emissivity)
σ : 스테판 볼츠만 상수(Stefan-Boltzman constant)

웨이퍼 가장자리에서의 경계조건은

$$K\frac{dT}{dr}\bigg|_{r=a}=-\in\sigma T^4(a) \qquad (3)$$

$T(r)$은 $T_0+v(r)$로 가정하고 T_0는 상수이고, $v(r)\ll T$이면

$$T^4(r)=[T_0+v(r)]^4\simeq T_0^4+4T_0^3v(r) \qquad (4)$$

$2\in\sigma T_0^4=Q$가 되는 T_0를 선택하고 $v(r)$을 위한 선형 방정식을 세우면 식(1)은 다음과 같이 표현될 수 있다.

$$\frac{1}{r}\frac{d}{dr}\left(r\frac{dv}{dr}\right)\frac{1}{\lambda^2}v=0 \qquad (5)$$

$$\lambda=[\bar{K}/(8\in\sigma T_0^3)]^{1/2} \qquad (6)$$

온도 T_0는 같은 복사조건하에서의 무한정한 측면 확장의 안정상태의 온도를 나타내며 $v(r)$은 경계에서 복사의 존재에 기인한 실질적 시료에서의 T_0로 부터의 온도편차를 나타낸다. $v(r)$을 위한 근사적 경계조건을 취하면

$$K\frac{dv}{dr}\Big|_{r=a} = -\in \sigma T_0^4 = -H_0 \qquad (7)$$

위의 조건을 갖는 해 v(r)은 modified Bessel function이다.

$$T(r) = T_0 + v(r) = T - \frac{H_0 \lambda I_0(r/\lambda)}{K\ I_1(a/\lambda)} \qquad (8)$$

I_0 : modified Bessel function of first kind of order zero

I_1 : modified Bessel function of first kind of order one

여기서

$H_0 = \sigma \in T_0^4$이다.

그림 2는 램프로 부터 균일한 열에너지의 조사시에 나타나는 2″ 및 4″ 웨이퍼에 관한 식(8)을 적용시킨 온도분포를 나타낸다. 중심으로 부터의 거리 r이 반경 a에 접근하면 온도가 감소함을 알 수 있으며 2″ 웨이퍼 경우 T=1300°C이면 최대온도편차 v(r)≒25°C이며 4″ wafer 경우엔 30°C정도가 됨을 알 수 있다.

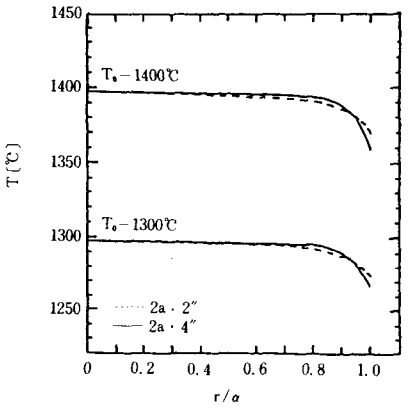


그림 2. 균일한 복사시 계산된 반지름에 따른 온도분포

Fig. 2. Computed radial temperature profiles across 2-and 4-in. wafers under uniform irradiation.

2. 온도편차에 대한 열적응력(thermal stress)

방사상의 온도분포에 의해 유도된 응력은 참고문헌[14]에 의해 극좌표에서 다음과 같이 주어진다.

$$\sigma_{rr}(r) = \alpha E\left[\frac{1}{a^2}\int_0^a T(r)\ rdr - \frac{1}{r^2}\int_0^r T(r)\ rdr\right]$$

$$\sigma_{\theta\theta}(r) = \alpha E\left[\frac{1}{a^2}\int_0^a T(r)\ rdr + \frac{1}{r^2}\int_0^r T(r)\ rdr - T(r)\right] \qquad (9)$$

$$\sigma_{r\theta}(r) = 0$$

α : 열팽창 계수(thermal expansion coefficient)

E : 영률(young's modulus)

그림 3은 식(9)에 의해 계산된 r/a에 관한 열적탄성응력(thermo-elastic stress)이다. ($\alpha = 2.33\times10^{-6}$ °C^{-1}, $E = 1.6\times10^{12}$dyn/cm²) 최대열적탄성응력은 r=a에서 나타나는 $\sigma_{\theta\theta}$이며

$$\sigma_{max} = \sigma_{\theta\theta max} \approx \frac{\alpha E H_0 \lambda^2}{K}\left(\frac{1}{\lambda} - \frac{2}{a}\right) \qquad (10)$$

으로 나타내어 질 수 있다. H_0는 T_0^4에 비례하며 λ는 $\sqrt{1/T_0^3}$에 비례하므로 온도가 증가하면 $\sigma_{\theta\theta max}$가 증가함을 식(10)에서 알 수 있다.

이와 같이 공정온도가 증가하면 식(8) 및 그림 2에서와 같이 중심부와 가장자리의 온도편차가 증가하고 그로 인하여 열적탄성응력은 증가하게 된다.

방향이 확실한 단결정을 사용하여 단순한 인장변형을 시킨 후 변형의 모양을 조사하면 슬립은 언제나 결정학적으로 정해진 특정한 결정면에서 특정한 방향으로 일어난다는 것을 알 수 있다. FCC에서 4개의 {111}면중에서 어느 하나가 슬립면이 되면 그 면위에 3개의 〈110〉방향중 어느 한 방향에 슬립이 일어남을 알 수 있다.[14,18]

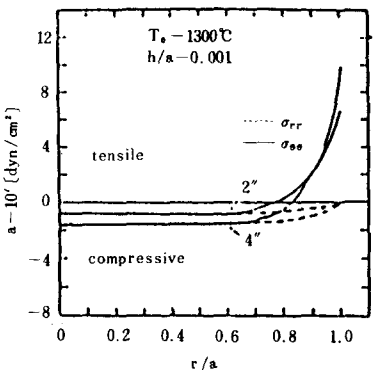


그림 3. 반경r에 따른 계산된 열 탄성 응력

Fig. 3. Computed radial profiles of the σ_{rr} and $\sigma_{\theta\theta}$ stress components in 2-and 4-in. wafers under uniform irradiation.

그림 4(a)는 {111}면의 표면에서 각 방향으로 위치한 원자의 배열이다. 슬립방향은 예외없이 원자가 가장 치밀하게 배열된 방향으로 나타나기 때문에 {111}면의 경우 그림에서와 같이 〈110〉방향으로 슬립이 발생하게 된다. {100}면일 경우엔 〈100〉방향으로 슬립이 발생하게 됨을 또한 알 수 있다. 그림 4(b), (c)는 각각 {111}면에서 발생된 전체적인 슬립모양 및 한 슬립을 확대촬영한 것이다.

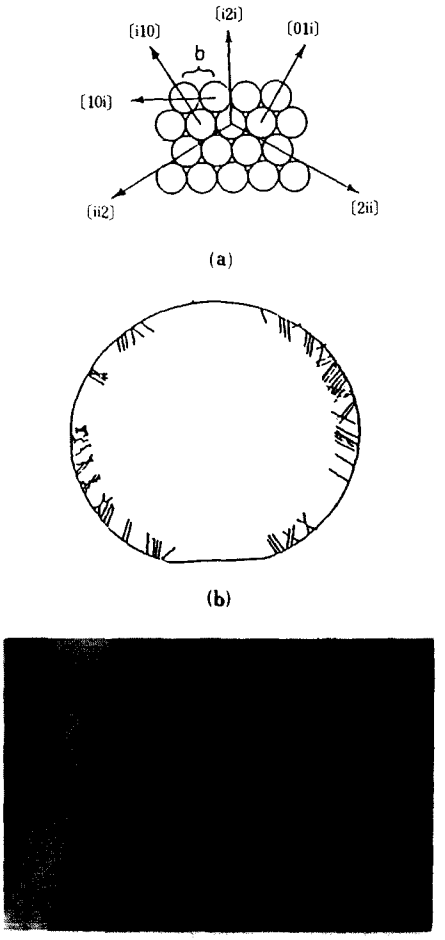


그림 4. (a) {111}면의 표면에서의 원자의 배열
(b) 확대하여 나타낸 슬립
(c) 1300℃, 10초간 가열시 생성된 슬립

Fig. 4. (a) Atom arrangement on the surface of the {111} plane.
(b) Exagerated slip lines for clarity.
(c) Slip lines generated after heated for 10sec, at 1300℃.

결정체가 탄성변형(elastic deformation)에서 소성변형(plastic deformation)으로 변형되는 최소응력은 항복응력(yield stress)으로 표현되며[14,16]

$$\sigma_E(T) = C\in^{\frac{1}{n}}\exp\left(\frac{U}{nkt}\right) \qquad (11)$$

와 같다.

C : 각 물질에 따른 값(실리콘 경우 4.5×10^5 dyn/cm²)

$\in$: 변형 비(strain rate)

U : 활성에너지(activation energy)

식(11)과 같이 slip을 일으킬 수 있는 항복응력은 온도가 증가할 수록 감소하게 된다.

그림 5는 식(11)과 식(10)에 의하여 계산된 $\sigma_{\theta\theta}\max/\sigma_E$를 온도 T_0에 따라 2″ 및 4″ 웨이퍼에 관하여 나타내고 있다. 그림에서와 같이 웨이퍼의 크기가 클 수록 낮은 온도에서 슬립이 일어나는 열적소성(thermoplastic) 효과가 나타남을 알 수 있다. 2″ wafer 경우 약 1050°C 이상에서, 4″ wafer 경우 약 1000°C 이상이 되면 슬립발생이 시작된다.[14]

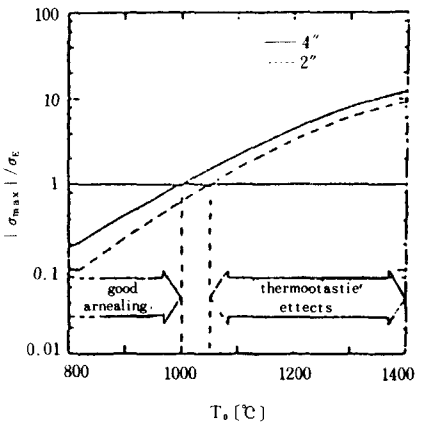


그림 5. 온도 T_0에 따른 2″ 및 4″ 웨이퍼에서의 $\sigma_{\theta\theta\,max}/\sigma_E$

Fig. 5. Computed ratio $\sigma_{\theta\theta}$ max/σ_E as a function of the T for 2-and 4-in, wafer.

Ⅲ. 슬립발생 억제를 위한 방법

1. 균일한 에너지 흐름(energy flux) 구조를 위한 램프 배열

지금까지 슬립발생 원인이 되는 온도 구배 및 그

로 인한 열적응력은 램프에서 균일한 에너지 밀도가 공급되었을 경우에 한한 것이다. 그러나 RTA 장치에서 웨이퍼에 도달하는 에너지밀도는 웨이퍼 전 면적에 균일하지 못하다. 따라서 램프에서 공급되는 균일한 에너지 흐름은 슬립을 감소시키는 요인중의 하나가 되는 것이다. 그러므로 직선형 할로겐 램프 배열에 따른 에너지밀도를 고려하여 최적의 배열 상태를 찾을 수 있다.

무한장 선광원(line source)의 단위길이당 방출한 에너지를 P라 하면 광원(source)으로 부터 r만큼 떨어진 원통형 표면의 면적당 받는 에너지 ϕ는[19]

$$\phi = P/2\pi r \qquad (12)$$

로 표현될 수 있다. 유한길이의 L을 갖는 램프의 총 에너지는 $LP = \phi \cdot 2\pi rL$이 되며 램프길이 L에 비해 웨이퍼와 램프사이의 간격이 매우 작을 때 유한 선적광원을 무한 선적광원으로 생각할 수 있어 식(12)를 사용할 수 있다. 웨이퍼 표면은 평편하므로 단위면적당 단위길이 광원으로 부터 받는 에너지는 식(13)과 같이 표현할 수 있다.

$$\phi = (p/2\pi r)\cos\theta \qquad (13)$$

θ : 광원과 웨이퍼 표면의 법선 성분과 이루는 각 (그림 6 참조)

그림 7(a), (b)에서는 등간격(필라맨트와 필라맨트간격이 15㎜)의 램프배열일 경우 6개의 램프에 의해 나타나는 에너지에 있어 웨이퍼 중심부분에 비하여 가장자리에 공급되는 에너지가 감소함을 알 수 있다. 이에 반해서 램프간격을 중심부에서는 크게 하고 가장자리로 향할 수록 작게 하는 비등간격의 램프배열(그림 8(a))일 경우 웨이퍼에 공급되는 에너지에 관한 계산결과가 그림 8(b)에 나타나 있다.

램프와 웨이퍼간격이 가까울 수록 중심부근의 균일한 영역은 확장되나 전체적으로 균일도는 감소하며 간격이 멀어질 수록 중심부근의 균일영역은 협소하여 지나 전체적인 균일도는 증가하여 지므로 에너

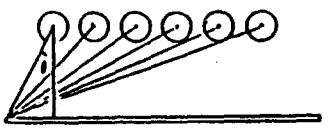
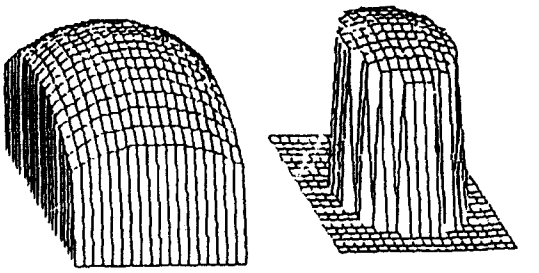
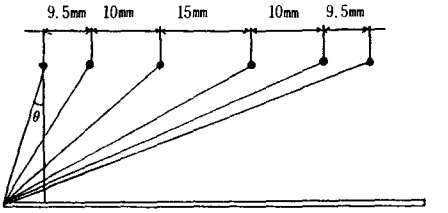


그림 6. 등간격 램프 배열
Fig. 6. Equal arrangement of lamp intervals.

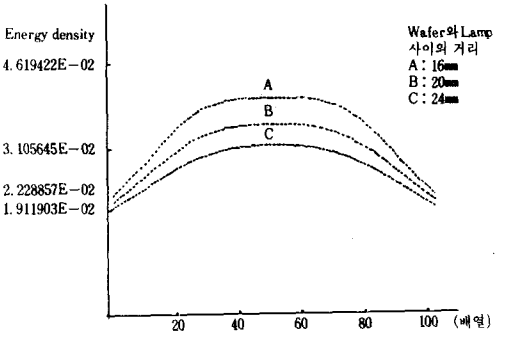


(a) (b)

그림 7. (a) 등간격 램프 배열시 에너지 분포
(b) 등간격 램프 배열시 2″ 웨이퍼 상에서의 에너지 분포
Fig. 7. (a) Energy distribution under the equal arrangement of lamp intervals.
(b) Energy distribution under the equal arrangement of lamp intervals on the 2″ wafer.



(a)



(b)

그림 8. 램프 배열에 따른 에너지 밀도
Fig. 8. Energy density as a function of the lamp arrangement.

지효율을 높이고 일정 영역의 균일도 개선을 위해서는 램프에 접근시키는 것이 좋음을 알 수 있다. 그러나 램프의 직경이 최소 10㎜정도이고 열팽창을 고려하면 2㎜정도의 램프간 간격이 필요하므로 최소 12㎜의 필라맨트사이 간격이 요구되어 비등간격의 배열은 웨이퍼에 도래되는 에너지의 균일도 개선을 위해 사용하기에 난점이 있다고 생각된다. 뿐만 아니라 램프의 장축방향이 무한길이(혹은 충분히 긴경우)일 경우에 한해서 축방향으로의 균일한 에너지가 나타나므로 2차원적인 균일도 개선을 위해 충분히 긴 램프가 필요하며 이로 인한 불필요한 소모전력이 증가하여 시스템이 커지게 되는 단점이 있다.

대부분의 RTA 장비에 사용되는 램프는 사용할 수 있는 최대웨이퍼 직경보다 훨씬 긴 램프를 여러개 배열하여 그 폭이 웨이퍼 직경보다 크게 하여 사용하므로 불필요한 전력소모가 증가하지만 균일도 개선 및 슬립감소효과는 크게 나타나지 않고 있다.

2. 반사판을 이용한 도래에너지 분포변화와 가장자리 온도보상

그림 9는 웨이퍼 아래에 있는 반사판을 반사계수가 다른 두 종류를 조합하여 사용하는 경우를 나타내고 있다. 램프에서 직접 유입되거나, 가열된 웨이퍼로부터 복사되어 반사판에 유입되는 에너지중 웨이퍼 내부로 향하는 반사에너지를 감소시켜 반사에너지를 웨이퍼 가장자리가 중심부보다 크게 한다. 따라서 직접 광원으로 부터 웨이퍼에 도달하는 에너지밀도의 가장자리에서의 감소현상(그림 9)보상 및 균일한 광원밀도의 입사상태하에서 가장자리에서의 방사효과로 인한 온도감소(그림 2)현상을 동시에 보상할 수 있게 된다.

그림10(a), (b)는 서로 다른 반사계수를 갖는 내부 및 외부 반사판을 사용하였을 때 2″ 웨이퍼의 1300°C에서 8초간 가열된 후 생성된 슬립수를 나타내고 있다.

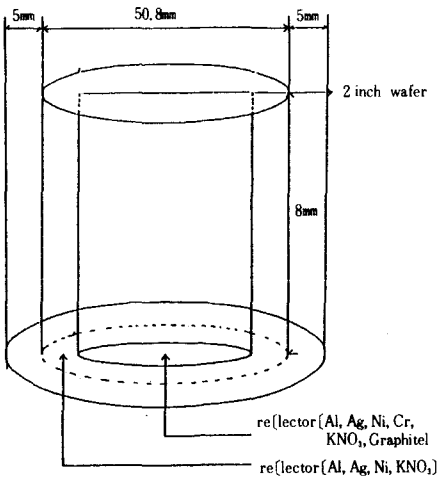
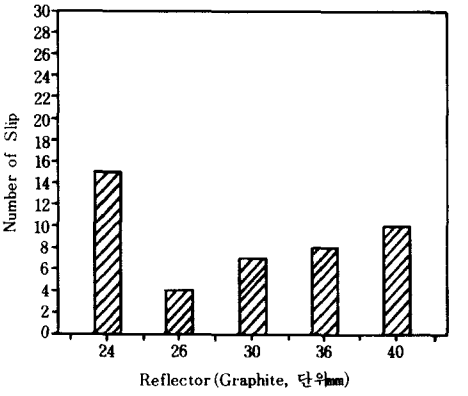
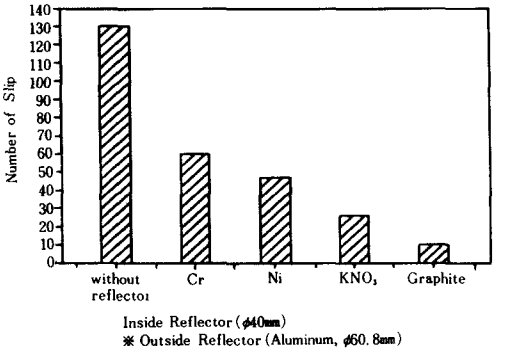


그림 9. 웨이퍼와 반사판과의 위치 모형도
Fig. 9. Position diagram between a wafer and reflectors.



(a)



(b)

그림10. (a) 2 inch (111) n-trpe wafer를 각 reflector에 의해 1300℃, 8초간 가열후의 슬립수
(b) Graphite inside reflector의 지름(φ)에 따른 2 inch (111) n-typee wafer를 1300℃, 8초간 가열후의 슬립 수

Fig. 10. (a) Number of slip lines in 2 in. (111) n-type wafer after heating for 8 sec. at 1300℃ according to reflectors respectively.
(b) Number of slip lines in 2 in. (111) n-type wafer after heating for 8sec. 1300℃ according to a diameter. of a graphite inside reflector.

내부 반사판은 반사계수가 작을 수록 외부 반사판은 반사계수가 클 수록 좋으며, 동일한 외부 반사판은(Ag)의 경우 내부 반사계수가 가장 작은 흑연(graphite)을 사용하면 슬립수가 현격하게 감소됨을 알 수 있다. 외부 은 및 내부 흑연 반사판의 조합사용시에 내부 반사판의 반경이 26mm일 때 최소 4개의 슬립이 발생하였으며 반경을 증가시키거나 감소시키면 슬립수가 다시 증가함을 알 수 있다. 이와 같은 현상은 내부 반사판이 최적 경계점을 넘어서면 외부 반사판에 의해 가장자리에 반사되는 빛이 줄어들게 되며, 최적 경계치보다 작으면 가장자리 외에 내부쪽으로 향한 반사효과가 증가하게 되어 결국 온도보상효과의 저하로 인한 슬립수의 증가가 나타나게 된다.

3. 환고리 사용법

웨이퍼 주위에 그림11과 같이 환고리를 설치하여 램프로 부터 오는 에너지를 받아 웨이퍼가 가장자리에서 복사되어 잃는 양과 같은 에너지를 공급하여 주면 가장자리 온도가 낮아지는 것을 방지할 수 있다. 환고리를 웨이퍼 가장자리와 3mm, 2mm 및 1mm 간격으로 좁혀가면서 1300°C(8초간)의 가열 후 생성된 슬립의 수를 조사한 것이 표 1에 나타나 있다.

1) 한 종류의 반사판과 환고리

웨이퍼 하단의 반사판으로 은이나 초석(KNO_3) 중 한 종류를 사용하고, 환고리를 가장자리와 3mm 간격

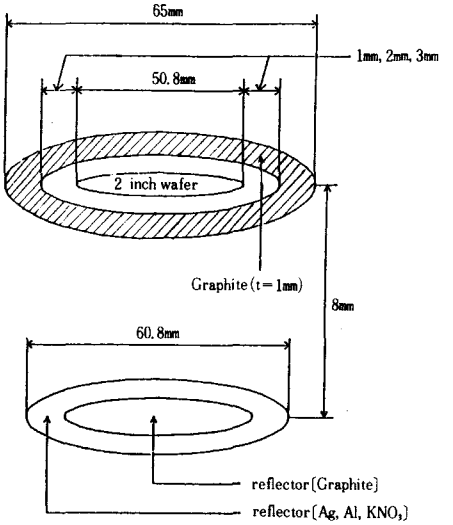


그림11. 웨이퍼와 환 고리 사이의 위치 모형도
Fig. 11. Position diagram between a wafer and a guard ring.

표 1. 환 고리 간격에 따른 슬립수(2″(111) n-type 실리콘 웨이퍼 1300℃, 8초간 가열) Bt : 웨이퍼와 환고리 사이의 간격
Table 1. Number of slip lines according to guard ring intervals (heated for 8sec. at 1300℃ in 2 in. (111) n-type si wafer) Bt : interval between a wafer and a guard ring.

단위(mm)

	Kafer 주위에 Graphite ring을 놓았을경우		
	바깥 reflector (Ag ϕ60.8)인 reflector (Graphite ϕ26)	reflector (KNO_3,ϕ60.8)	reflector (Ag ϕ60.8)
Bt 1mm	7	70	111
Bt 2mm	9	43	36
Bt 3mm	14	36	15

에서 점차 간격을 좁혀가면서 실험한 결과, 슬립수가 오히려 증가하는 현상을 발견하였다. 이와 같은 결과는 웨이퍼 내부 깊숙이 반사되는 빛이 환고리의 이동에 의해 증가하고 오히려 가장자리쪽에 반사되는 빛의 양이 감소하기 때문인 것으로 판단된다.

2) 두 종류의 반사판과 환고리

그림11과 같이 외부 반사판은 은, 내부 반사판은 흑연을 사용하고 환고리로 사용된 흑연 고리를 점차 웨이퍼 가장자리에 접근시켜 가면서 슬립현상을 관측하였다.

3mm 간격일 경우 환고리 자체(폭 5mm)에 의하여 외부에서 유입되는 빛중에서 웨이퍼 깊숙이 반사되는 빛이 부분적으로 차단되므로 은만을 반사판으로 사용하였을 때보다 평균적으로 한개 적은 슬립이 생성되었다. 간격을 좁혀 1mm로 하였을 때 한 종류의 반사판과 환고리를 사용하였을 경우와는 정반대로 슬립의 수가 감소하였다. (14개에서 7개 참고 표 1) 웨이퍼 가까이 고리가 접근할 수록 고리의 복사에너지 중 웨이퍼 가장자리에 도달하는 에너지가 증가하므로 온도보상이 증가하여 슬립이 줄어드는 것으로 생각된다. 그러나 그림 9에서와 같이 환고리가 없을 때와 비교하면 오히려 4개에서 7개로 슬립이 증가했음을 알 수 있다.

이와 같은 현상은 가장자리 가까이에 위치한 환고리가 가장자리에 반사흡수될 수 있는 빛을 많은 부분 흡수하므로 가장자리 온도보상이 그림 9와 같은 실험에 비하여 퇴화되는 데 기인한다고 볼 수 있다.

4. Two-channel control heating 방법

1) Two-channel 램프가열

반사를 이용하여 슬립을 줄이는 방법은 상당히 좋은 효과를 나타낼 수 있다는 실험적인 결과를 얻었으나, 웨이퍼 가장자리에서 복사되는 에너지에 의한 온도저하현상을 보다 근본적으로 개선할 수 있는 방법은 그림12와 같이 반응실의 상하에 배열된 two-channel 램프를 동시에 사용하여 웨이퍼에 공급되는 에너지밀도를 내부보다 가장자리에 더 높혀주는 방법이라고 생각된다.

그림13은 아랫쪽 램프의 배열을 나타내고 있다. 웨이퍼에 도달하는 에너지가 균일한 경우에도 가장자리의 복사효과에 의해 더 많은 에너지가 웨이퍼 가장자리에 공급되어야 하기 때문에 상하에 각각 램프가 설치되어 하부 램프의 광량을 상부 램프에 미량 첨가시킬 경우 웨이퍼의 가장자리 온도보상이 이루어질 수 있다. 기존 수동온도보상에 비하여 이는 능동적으로 온도보상정도를 조절할 수 있으므로 광원으로 부터 유입되는 에너지 균일도를 x, y 양방향으로 동일하게 하기 위해 충분히 긴 램프를 많이 사용할 필요가 없게 되므로 웨이퍼 외곽지대의 램프 복사에 의한 손실에너지를 크게 줄일 수 있게 된다.

그림14는 웨이퍼의 한점에서 온도상승을 일으키는 광에너지의 성분들을 나타내고 있으며, 식(14)로 표시된다.

$$Es = Eud + Eur + Eddx + Eddy + Edry \qquad (14)$$

Eud : 윗쪽 램프로 부터 직접 받는 광에너지

Eur : 윗쪽 램프가 그 위의 반사판으로 반사되어 나온 빛으로 부터 받는 에너지

Eddx: 아랫쪽 X축 방향으로 배열된 램프로 부터 직접 받는 에너지

Edrx: 아랫쪽 X축 방향으로 배열된 램프의 빛이 반사판으로 부터 반사되어 나온 에너지

Eddy: 아랫쪽 Y축 방향으로 배열된 램프로 부터 직접 받는 에너지

Edry: 아랫쪽 Y축 방향으로 배열된 램프의 빛이 반사판으로 부터 반사되어 나온 에너지

그림15(a)는 4개의 아랫쪽 램프에 의해 가장자리에 보상되는 에너지를 2차원으로 시뮬레이션한 것이다. 그림15(b)는 상하복합구조로 배열된(그림12, 13참조) 경우 반사판의 반사율과 석영 투과율은 각각 0.9라 가정했을 경우 웨이퍼의 위치에서 시뮬레이션된 에너지분포이다. 그림15(c)는 2" 웨이퍼상에 나타나는 에너지분포를 나타내고 있다.

그림15를 통해서 알 수 있는 것과 같이 상하 two-channel을 제어하는 램프가열을 할 경우 가장자리에 공급되는 에너지를 중심부보다 상승시킬 수 있어 웨이퍼 가열시 가장자리에서 첨가되어 일어나는 열손실에 의한 온도감소현상을 보상할 수 있다는 사실을 알 수 있다.

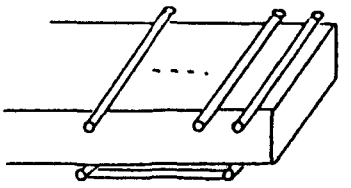


그림12. 위쪽 램프를 등간격으로 배열
Fig. 12. Equal arrangement of upside lamp intervals.

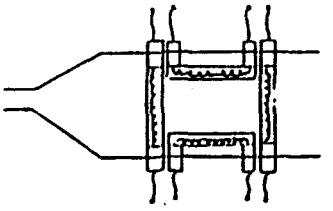


그림13. 아랫 램프를 4각이 되게 배열
Fig. 13. Rectangular arrangement of underside lamps.

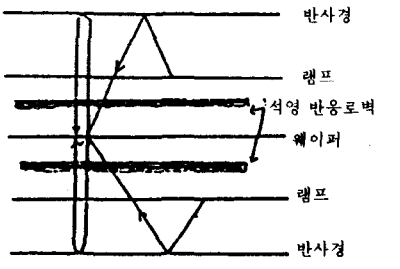


그림14. 웨이퍼 한 점은 여러방향에서 온 빛의 합
Fig. 14. Schematic diagram of the light combination at one point of a wafer.

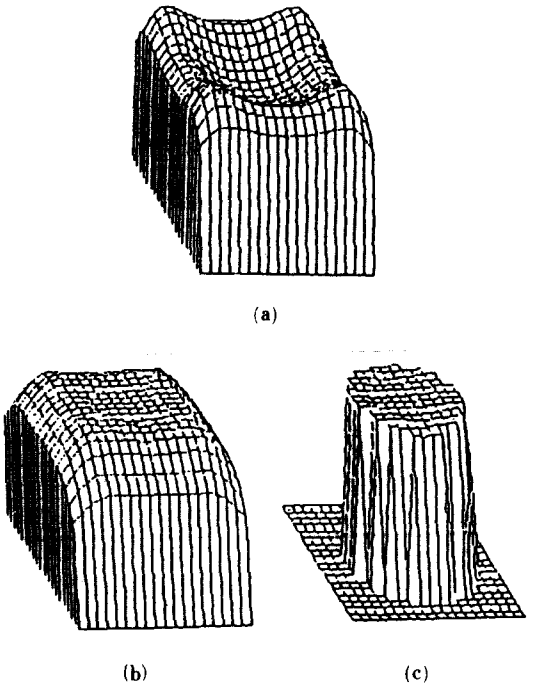


그림15. (a) 아랫쪽 램프만의 가장자리보상 에너지분포
(b) 상하복합 구조로 배열된 경우 에너지분포
(c) (b)의 경우 웨이퍼가 받는 에너지분포

Fig. 15. (a) Energy distribution of the edge compensation using only underside lamps.
(b) Energy distribution in case of arranging a combinated structure upside and undgerside of lamps.
(c) Receiving energy distribution in a waferside in case of (b).

그림16은 two-channel 가열방식을 실험한 램프배열과 측정된 웨이퍼온도를 나타내고 있다. 보유하고 있는 램프가 모두 같은 길이이므로 포개어서 배열하지 않고는 시뮬레이션한 하부 4각 램프 배열을 웨이퍼로 부터 같은 거리에 설치할 수 없어 서로 겹치지 않게 점선과 같이 2개의 하부 램프만 사용하고 상부 램프는 실선과 같은 배열을 하여 실험준비를 하였다.

이 실험의 경우 중심부의 온도가 1150°C인데 반하여 좌측 가장자리 및 상측 가장자리엔 각각 1165°C 및 1230°C가 측정되어 가장자리에서 15°C 및 80°C가 각각 높게 나타남을 알 수 있다. 정확한 램프크기 및 배열이 이루어지면 상하 양채널의 서로 독립적인 에너지 공급에 의하여 원하는 웨이퍼크기에 적

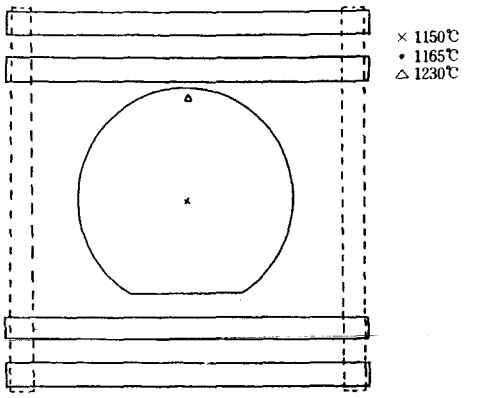


그림16. Two-channel 가열방식에 의해 측정된 온도
-상부 램프 4개
-하부 램프 2개

Fig. 16. Measured temperature by a two-channel heating.
-upside lamp 4EA.
-underside lamp 2EA.

합한 온도보상 및 그로 인한 슬립발생 제거 효과가 크게 개선되리라 생각된다.

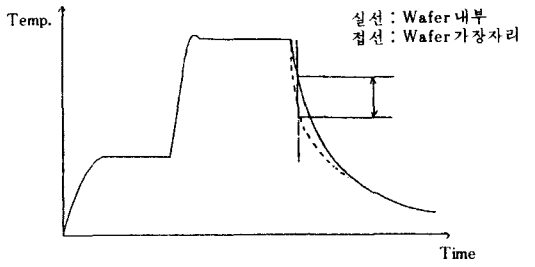
2) 가장자리에서의 고속냉각효과 제거를 위한 위상(pulse) 제어

지금까지 고려한 것은 RTA 반응로 내에서 안정상태에서의 에너지 불균일성으로 인하여 나타나는 온도편차가 슬립을 일으키는 주된 원인으로 생각하였다. 그러나 냉각싸이클(cycle)때에 가장자리는 중심부분에 비하여 냉각속도가 빨라 순간적으로 중심부와 큰 온도편차를 일으킬 수 있다. (그림17(a)) 따라서 냉각단계에서의 웨이퍼 전면적에 나타나는 온도편차를 최소화시키는 것도 슬립제거에 매우 중요한 역할을 하리라 생각된다.

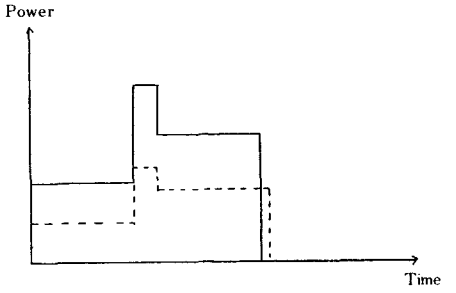
참고문헌[20]의 실험에 의하면 냉각시에 가장자리 온도가 중심부에 비하여 약간 높거나 같을 때 슬립이 일어나지 않는다고 한다. 따라서 two-channel로 RTA 제어를 할 경우 냉각단계에 동시에 상하 램프의 전력을 내리는 것보다 하부 램프의 전력을 트라이액(triac)에 가해지는 펄스의 위상을 약간 지연시키므로 냉각되는 온도를 같게 되도록 조절할 수 있으리라 생각된다. (그림17(b))

Ⅳ. 온도제어시스템 설계

RTA는 짧은 시간에 고온으로 온도변화가 이루어져야 하며 공정시간 동안 온도가 일정하게 유지되어



(a)



(b)

그림17. (a) 웨이퍼 내부와 가장자리의 냉각속도의 차이
(b) 냉각속도의 보상을 위한 two-channel의 독립적의 지연제어

Fig. 17. (a) Difference of a cooling rate between a center and an edge of a wafer.
(b) Two channel's independent delay control for compensbating a cooling rate.

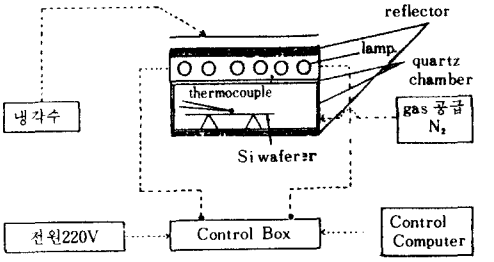


그림18. RTA 시스템
Fig. 18. RTA system.

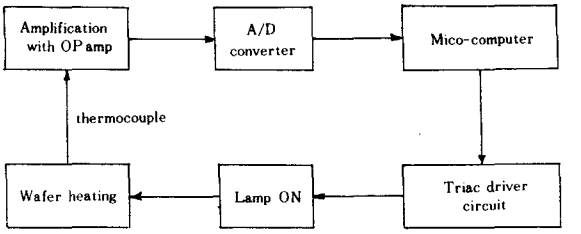


그림19. RTA 시스템의 블럭도
Fig. 19. Block diagram of RTA system.

야 할 필요성이 있어 정확한 온도제어가 요구된다. 그림18은 본 연구를 통하여 개발한 RTA 장비의 개략도이며 그림19는 RTA 시스템의 블럭도(block diagram)이다. 컴퓨터에 원하는 온도가 설정, 입력되면 트라이액을 통하여 전류가 흘려져서 램프가 가열된다. 웨이퍼의 온도가 램프의 빛에 의하여 상승되면 순시온도가 감지되어 A/D 변환기(A/D converter)를 거쳐 다시 컴퓨터에 입력되며 이 때 본 연구를 통하여 개발된 온도제어 알고리듬에 의하여 컴퓨터로부터 목표값에 해당하는 에너지를 공급하기 위하여 트라이액으로 위상정보를 가진 펄스가 가해진다. 온도응답(response)을 예측한 제어 알고리듬을 개발하여 그림20과 같은 흐름도에 의해 고정시간 및 온도를 제어하였다.

1. 온도제어 알고리듬

1) 온도제어에 관한 제반 흐름도

공정목표온도 및 시간을 공정시작시 입력하고 최대에너지 출력에 도달하기 위해 예열(preheating)을 하여 주고, 다음 최대출력이 걸리게 하여 순간적으로 높은 온도까지 상승시킨다. 공정온도 90~95%가 되면 수행되는 공정시간을 0으로 하여 실제적인 시작이 되게 한다. 그 다음에 공정목표해당에너지를 준다. 그러나 공정목표온도에 도달하지 않을 수 있는 경우를 위해 대기시간(wait time)을 주고 이 기간 동안 해당온도에 도달하는지 여부 판단을 한다. 측정온도<공정목표온도이면 공정목표에너지가 계속 가해지도록 한다.

대기시간 이후엔 수행된 시간과 목표시간을 비교하여 수행된 시간<목표시간이면 RTA 장치 응답을 고려한 대기시간을 갖게 하고 현재온도와 목표온도를 비교하여 목표온도만큼의 에너지를 증감하여 목표온도가 유지되게 한다. 수행시간이 목표시간을 넘어서면 전원을 차단시키고 끝나게 된다.

2) 고속가열을 위한 알고리듬

최대에너지출력을 걸어주고 공정목표온도 90~95%의 루프시에는 전력을 처음에는 최대로 가했다가 어느 원하는 온도가 되면 그 때 전력을 줄이는 방식을

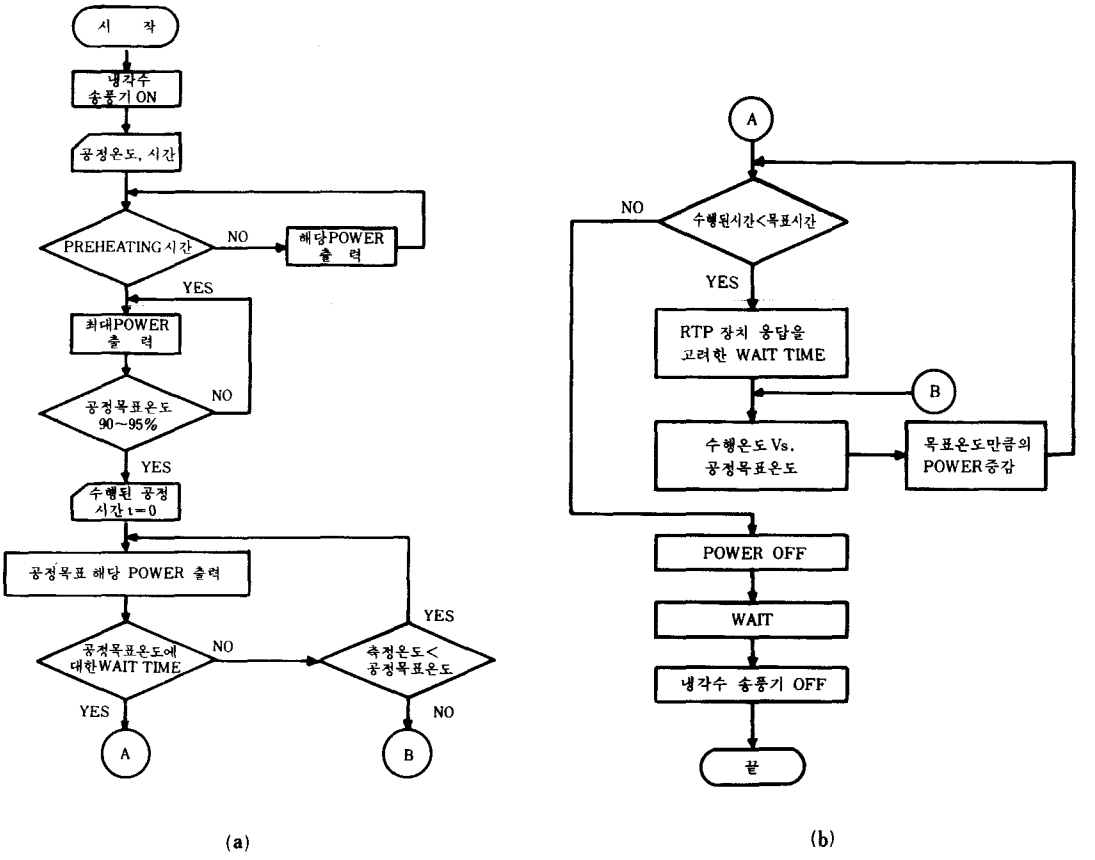


그림20. (a) 온도제어 알고리듬 흐름도
(b) 온도제어 알고리듬 흐름도(계속)

Fig. 20. (a) Flow chart of a temperature control algorithm.
(b) Flow chart of a temperature control algorithm (cont.).

채택하여 가능한한 빨리 가열되게 하는 방법이다.

이 방법은 그림21과 같이 Power max를 t_1까지 계속 공급했다가 t_1 이후에도 Ps를 가하게 된다. 이 때 램프의 반응과 텅스텐 필라맨트의 빛 복사(light radiation)계수, 빛 파장길이, 파장에 대한 웨이퍼 광흡수율, RTA 시스템의 구조적 효율성 및 공정, 석영 반응로의 주변온도 등을 고려하여 Ps를 결정해야 한다. 본 시스템에서는 흐름도에 표시한 것과 같이 해당목표온도의 90~95%에 도달하는 시간을 t_1으로 설정했다.

그림22(a)와 같은 펄스모양으로 램프에 전력을 가하면 그림22(b)와 같은 응답을 갖는데, 그 이유는 (1) 써머커플(thermocouple)의 반응특성 : 웨이퍼가 가열

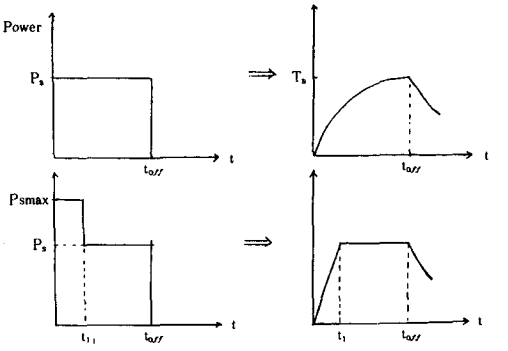


그림21. 고속 가열방법 도해

Fig. 21. Demonstration of a fast heating method.

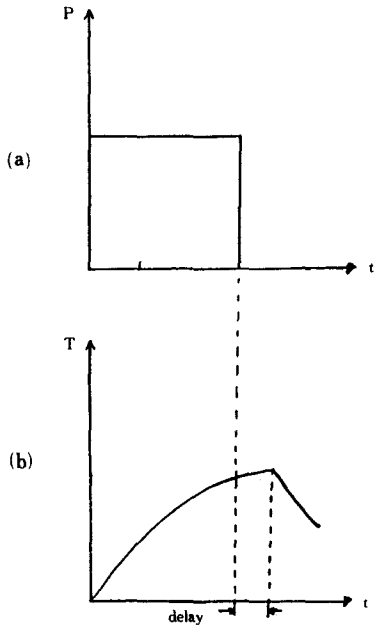


그림22. 써머커플 응답에 의한 지연
Fig. 22. Delay by a thermocouple response.

되어 써머커플에 열전도가 되어 웨이퍼온도와 써머커플 온도가 갈아지는데 시간이 걸린다. (2) 텅스텐 할로겐 램프의 발광반응 : 램프는 켜지는 순간에 정상발광이 되지 않고 0.1~0.5초 뒤에 정상상태가 되며 꺼진 순간에도 텅스텐 필라맨트는 열적질량(thermal mass)을 가지고 있으므로, 고온으로 가열된 필라맨트는 실온으로 급격하게 떨어지지 않아 제어에서 보다 큰 과잉응답(overshoot)을 생기게 한다.

3) 위상각을 이용한 트라이액 전력제어

SCR이나 트라이액은 대전력 소자로 잘 알려진 반도체 부품이다. 트랜지스터에 비해 손실이 적고 제어회로가 간단하나 제어정보인 위상각과 출력과의 관계가 비선형이다. 그림23에서와 같이 트리거(trigger) 위상에 따라 출력은 빗금친 부분이 되는데, 트리거한 곳에서 부터 v가 0이 되는 위상각 180°까지 적분한 것이 된다. 또 현재의 필라멘트의 온도에 따라 램프의 저항이 달라지게 된다.

이 저항값이 일정할 경우라도

$$P=\int_{\theta_1}^{180^\circ}\frac{v^2}{R}\ S\ \sin\theta\cdot d\theta \qquad (15)$$

가 된다. 공급되는 펄스에 의한 위상각이 0°에 가까울수록 트라이액의 출력은 증가하는 반면 180°에 가까울수록 감소하게 된다.

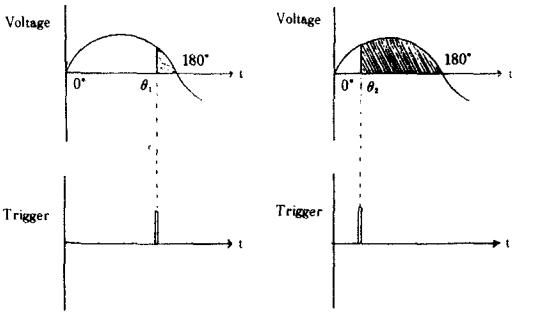


그림23. 트리거 위상에 따른 출력
Fig. 23. Output power according to a trigger phase

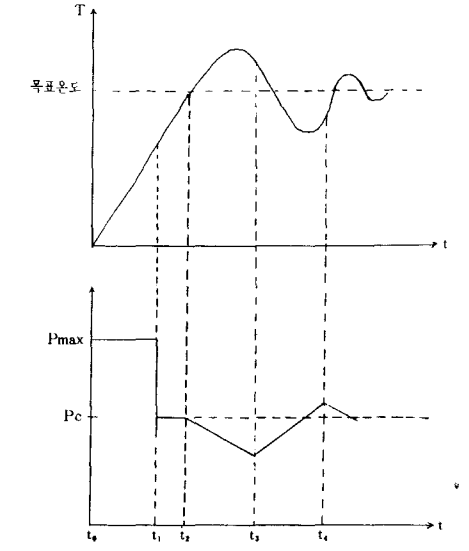
4) 응답을 예상한 제어

앞에서 열거했듯이 온도를 제어하기 위해서는 여러가지 변수에 의해 순간순간 온도특성방정식에 현재온도를 대입하고 연산하여 귀환 시스템(feed back system)으로 구성하기가 매우 어렵다는 것을 보였다. 그림24(a)에서 t_0에서 t_2까지는 실제 온도와 목표 값의 차이가 매우 크므로 대략적인 제어이며, t_2 이후에서는 목표값에 가까이 있으므로 적분과 응답을 예상한 세부적인 제어를 한다.

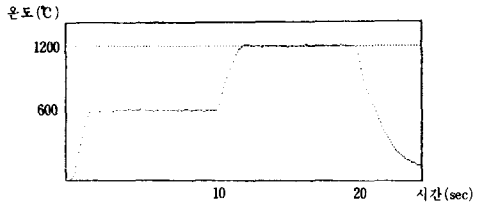
t_1까지는 전력을 최대로 하고 t_1에서 부터 t_2까지는 목표값에 상응하는 전력을 넣어준다. 이때 P_C 값은 써머커플 및 램프의 반응을 고려하여 실험 데이타에 의해 과잉 응답되는 양을 빼어준 온도에 해당하는 전력이며 t_1은 응답 온도가 목표값의 90~95%되는 점이다. 목표값이 낮은 온도 일수록 과잉 응답이 크므로 t_1이 결정되는 온도가 낮아진다. t_2에서 t_3까지는 과잉응답 부분이므로 적분에 의해 전력을 낮추며, t_3결정은 현재 온도가 목표 온도 이상이 지만 응답 특성상 내려가는 곡선이므로, 미리 예상하여 전력을 올리기 시작할 시간이다.

예상 전력은 온도의 시간에 따른 구배(gradient), dT/dt를 순간순간 계산하여 구배가 클 때는 많이, 반대로 작을 때는 적게 변화시켜 준다. 이때 dT/dt가 양(+)이면 전력의 감소, 음(−)이면 전력의 증가를 의미한다.

그림24(b)는 측정된 시간에 따른 온도 변화이다. 600℃에서 1200℃까지 상승할 때 약 2초 정도 경과되었으며, 과잉 응답(overshoot) 및 변동(fluctuation)은 ±3℃ 범위 내에서 안정된 제어가 가능하였다. 그림25는 입출력 포트(port) 및 온도제어 회로 블럭도이며, 그림26, 27은 각각 A/D변환기 및 트라이액 구동단의 블럭도 및 회로도이다. 그림28은 본 연구를 통하여 개발된 RTA 시스템이다.



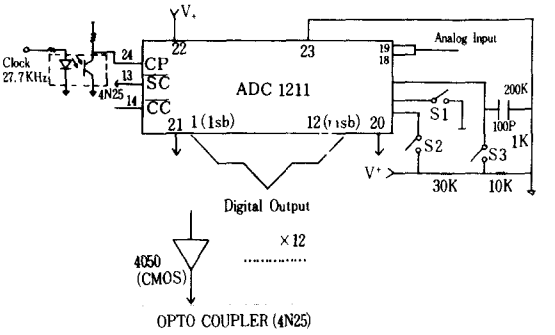
(a)



(b)

그림24. (a) 시간에 따른 전력제어
(b) 열처리 온도 싸이클

Fig. 24. (a) Power control according to a time.
(b) Temperature cycle of a annealing.



Switch / Range	S_1	S_2	S_3
Single (0~12V)	ON	ON	OFF
Bipolar (−6~+6)	OFF	OFF	ON

그림26. A/D 변환기의 블럭도

Fig. 26. Block diagram of a A/D-converter.

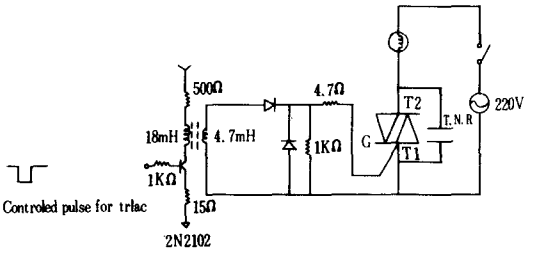


그림27. 트라이액 구동단의 회로도

Fig. 27. Circuit of a triac driver.

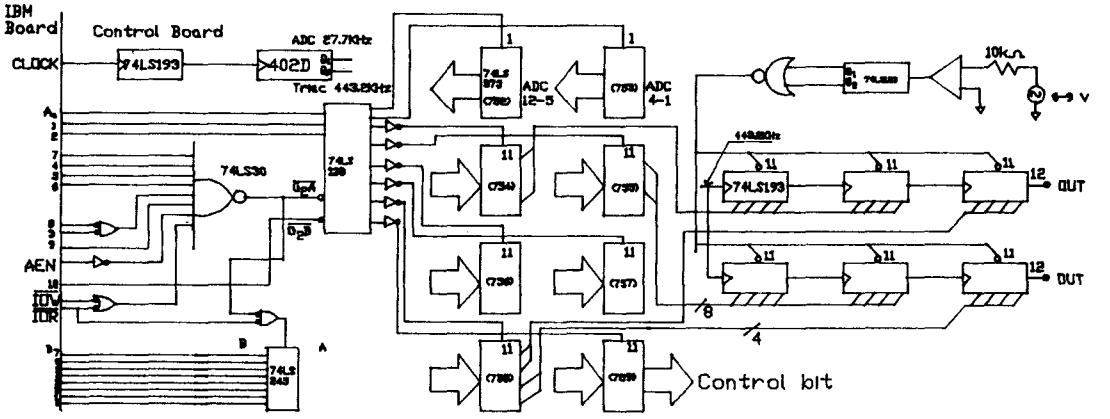


그림25. 입출력 포트 및 온도제어회로 블럭도

Fig. 25. Input and output port and a block diagram of a temperature control board.

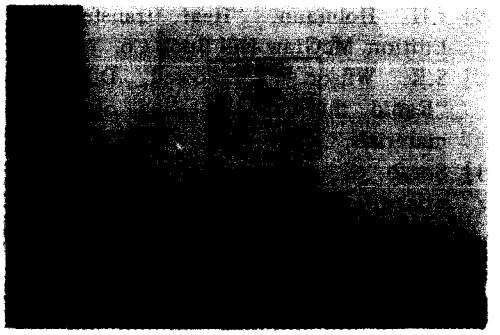


그림28. 전체 RTA 시스템 사진
Fig.28. Photograph of all the RTA system.

V. 결 론

반도체 제조 공정에서 기존 확산로의 모든 공정을 수행할 수 있으며 고속, 단시간공정, 최대 오염방지 효과등으로 인한 VLSI(or ULSI) 소자제작에 적합한 RTA가 슬립 문제해결의 불충분 함으로 인하여 아직 널리 사용되지 못하고 있다.

본 연구를 통하여 제안된 반사판의 조합을 이용할 경우 반사판의 조합이 없을 때(1300℃ 에서 8초간 가열) 130개 정도 발생하였던 슬립이 최적 반사판 조합시에 거의 무시할 정도(4개)로 감소되는 효과를 발견하였다. 뿐만 아니라 환 고리를 통한 온도 보상 방법 및 가열원을 반응실 상·하로 배치하되, 아랫부분을 4각으로 한 복합 구조를 갖는 RTA를 설계하고 two-channel 제어에 의해 가장자리 공급 에너지를 중심부 보다 많게하여 웨이퍼의 전체적인 온도 균일도를 향상시켜 슬립 제거 효과를 갖게하며, 불필요한 공정 소모 전력의 감소를 위한 새로운 RTA 설계 모형을 제시하였다.

또한 가장자리에서의 고속냉각 효과를 제거하기 위해 서로 독립적이면서도 상호 위상이 다른 펄스 제어법을 제안하였으며, 본 연구를 통하여 제작된 RTA 장비는 고온상승시간이 2초, 온도안정도가 ±3℃를 나타내었다.

參 考 文 獻

[1] Kazuo Nishiyama, "Radiation annealing of boron-implanted silicon with halogen lamp," *J. Appl., Phys.*, vol. 19, no. 10, pp. 560-55, 1980.

[2] J. Nulman, "Rapid thermal processing of thin gate dielectrics oxidation of silicon," *IEEE Elec. Dev. Lett.*, vol. EDL-6, no. 5, p. 205, 1985.

[3] J. Nulman, et als, "Electrical and structural characteristics of thin nitrided gate oxides by rapid thermal nitridation," *IEDM. Tech. Digest*, p. 169, 1984.

[4] 김충기, 김경태 "VLSI 제조공정에서의 고속 열처리 장치의 응용현황," 전기학회지 제36권 제2호 1987년 2월.

[5] R.A. Powell, et als, "Formation of titanium silicide films by rapid theraml processing," *IEEE Elec. Dev. Lett.*, vol. EDL-4, no. 10, p. 380, 1983.

[6] J.S. Mercier, et als, "Rapid isothermal fusion of PSG films," *J. Electrochem, Soc.*, vol. 132, no. 10, p. 2423, 1985.

[7] M. Tamura, et als, "Expitaxial transformation of tonimplanted polycrystalline Si films on (100) Si substrate by rapid thermal annealing," *Japan, J. Appl. Phys.*, vol. 24, no. 2, p. L151, 1985.

[8] G.S. Oelarlein, et als, "Diffusion of phosphorus during rapid thermal annealing of ion-implanted silicon," *Appl. Phys., Lett.*, vol. 45, no. 4, p. 417, 1984.

[9] S.R. Wilson, "Fast diffusion of As in polycrystalline silicon during rapid thermal annealing," *Appl. Phys., Lett.*, vol. 45, no. 4, p. 464, 1984.

[10] A. Nylsndsted Larsen, "Rapid thermal annealing of high concentration arsenic implanted silicon single crystals," *Appl. Phys., Lett.*, vol. 48, no. 26, p. 1805.

[11] B.R. Wison, et als, "Rapid annealing technology for Future VLSI," Solid State Technology, Jun, p. 185, 1985.

[12] T.O. Sedgwick, "Short time annealing," *J. Electrochem, Soc.* vol. 130, no. 2, p. 484, 1983.

[13] S.M. Hu, "Temperature distribution and stress in circular wafers in a row during radiative cooling," *J. Appl.*, vol. 40, no. 11, p. 4413, 1969.

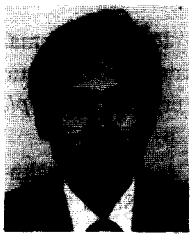
[14] G. Bentini, et als, "Defects introduced in silicon wafers during rapid isothermal annealing: thermoelastic and thermoplastic effects," *J. Appl, Phys.*, vol. 56, no. 10, p. 2922 1984.

[15] C.S. Pai, et als, "Rapid thermal annealing of Al-Si contacts," *Appl. Phys., Lett., M* vol. 46, no. 7, p. 652, 1985.

[16] Yoshiyuki Sato, "Oxidation of silicon using lamp light radiation," *J. Electrochem, Soc.*,

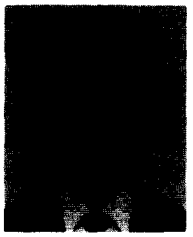
vol. 133, no. 3, p. 653 1986.
[17] Paul E. Riley, "Development of a highly uniform silicon dioxide etching process using response-surface methodology," *J. Electrochem. Soc., Tech., Notes*, Sep., p. 197, 1986.
[18] J. Weertman, J.R. Weertman, "Elementary dislocation theory," Mcmillan Co.
[19] J.H. Holmann, "Heat transfer," Fifth Edition, McGraw-Hill Book Co.
[20] S.R. Wilson, R. Powell, D.E. Davies, "Rapid thermal processing of electronic materials," MRS, 1987.
[21] Sorab K. Ghandhi, "VLSI fabrication principles silicon and gallium arsenide," A Wiley-Inter science Publication, 1983. *

著 者 紹 介



權 庚 燮(準會員)
1960年 3月 8日生. 1987年 2月 중앙대학교 전자공학과 졸업. 1989年 2月 중앙대학교 대학원 전자공학과 졸업. 공학석사학위 취득. 1989年 4月～현재 삼성전자 반도체부문 ASIC부 응용설계팀 근무. 주관심분야는 RTA를 이용한 공정 및 MOS 설계 등임.

●



張 鉉 龍(準會員)
1964年 8月 10日生. 1987年 2月 중앙대학교 전자공학과 졸업. 1989年 2月 중앙대학교 대학원 전자공학과 졸업. 공학석사학위 취득. 1989年 3月～현재 국제전자 부설 연구소 연구원 근무. 주관심분야는 RTA 장비 설계 및 전자회로, 제어 계측분야 등임.

黃 好 正(正會員)
1946年 11月 20日生. 1975年 한양대학교 전자공학과 졸업. 1979年 독일 Karlsruhe대학 대학원 전자공학과 졸업. 1982年 독일 München공대 박사학위 취득. 1985年～현재 중앙대학교 전자공학과 조교수·부교수