

다목적 공동설계(Multi Project Chip)

李文基

延世大學校 工科大學 電子工學科 教授

I. 서 론

회로설계 기술과 공정 기술의 복합체인 반도체 기술은 이들 두 분야의 상호 협동 및 상호 상승작용에 의해 발전되어 왔다. 그러나, 앞으로는 초 대규모(VLSI)급의 각종 특수목적용 집적회로(application specific IC)의 보편화 추세에 따라 시스템의 집적회로화 기술이 핵심기술로 부상하게 될 것이며 따라서, 고 부가가치 창출을 위한 집적회로 설계 기술의 중요성이 증대될 것으로 예상된다.^[1,2]

초 대규모 집적회로(VLSI) 설계 기술의 확립은 숙련된 고급 설계인력과 고성능 설계자동화(CAD)시스템의 확보를 통해서 가능하다. 설계자동화 시스템의 확보는 예산적인 뒷받침으로 쉽게 해결될 수 있지만, 숙련된 설계 기술자의 양성은 단시일내에 이루어질 수 없는 문제이며, 교육을 담당하고 있는 대학을 통해서 만이 효율적으로 이루어질 수 있다. 대학을 중심으로 한 체계적이고도 장기적인 전문 설계인력 양성의 방법으로 다목적 공동설계(multi project chip) 연구가 국내외에서 활발하게 진행되고 있다.

다목적 공동설계는 여러 종류의 집적회로들을 여러명의 설계자가 동일한 공정으로 설계하여 단일 칩 또는 여러 개의 칩으로 가공하는 방법을 말한다. 이 방법은 미국의 Caltech에서 LSI Systems Course의 일환으로 1976년에 진행된 OM(our machine)project가 그 효시라 할 수 있으며,^[3] 그 이후 영국, 호주, 캐나다, 벨기에 그리고 대만 등에서 수행되고 있다. 이들 각국에서는 연구계획의 원활한 수행을 위해 CAD tool을 설치하고 이들간의 상호 정보교환을 위한 CAD network을 구성하고 있다.

미국의 경우, 1979년에 9개 대학이 참가하여 82

개의 VLSI system 설계가 이루어졌다. 각 대학교에서 project별로 이루어진 design file들을 국방성의 Arpanet를 통해 Xerox 연구소로 전송하고, Hewlett Packard사에서 칩을 제조 가공하였다. 또한, 1980년에는 12개 대학이 참가하여 171개의 VLSI 설계가 500 \$/design의 저렴한 비용으로 수행되었고, 이와 유사한 연구 계획이 계속 수행되고 있다. 영국에서는 1981년부터 Science and Engineering Research Council(SERC)의 지원으로 집적회로 설계위주의 연구 계획이 시작되었으며, 캐나다에서도 1983년에 15개 대학이 참가하여 44개의 CMOS design과 19개의 NMOS design이 이루어졌다.^[4-6]

국내에서도 1985년 연세대학교가 주축이 되어 7개 대학이 공동으로 참가하여 3년 동안 19개의 집적회로 시스템을 설계, 제작한 바 있다.^[7-9]

본 고에서는 국내에서 최초로 수행된 대학간 공동설계 연구인 다목적 공동설계 연구(MPC)를 소개한다.

II. 연구 진행 과정

다목적 공동 설계(multi project chip) 연구는 과거 특정연구 과제로 1985년 8월부터 1988년 7월까지 3년 동안 진행된 집적회로 설계에 관한 대학 공동의 연구과제이다. 이 과제는 국내에서 최초로 시도된 공동연구로써, 연세대학교의 주관하에 7개 대학교가 참여하여, 각 대학별로 기본적인 설계자동화 도구(IBM-PC/XT, color monitor, digitizer, layout editor 및 각종 simulator 등)를 갖추고, 이를 이용한 회로설계 및 레이아웃 설계를 하였다. 설계된 회로의 CAD 검증은 각 대학의 시설 미비로 인해 기업체

의 시설을 이용하였으며, 검증결과의 수정 작업은 각 대학에서 하였다. 웨이퍼 가공은 기업의 시설을 이용하여 2 차례 실시하였고, 제작된 회로에 대한 테스트를 각 대학별로 수행한 후, 설계 결과를 평가하였다. (그림 1 참조).

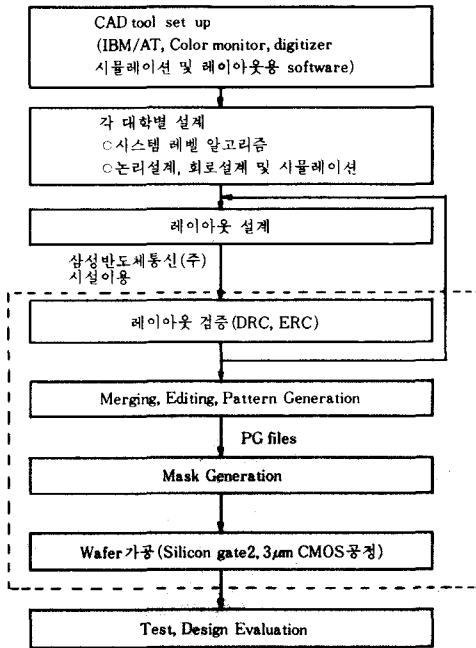


그림 1. 다목적 공동설계 연구 추진체계

다목적 공동설계 연구의 진행에 있어서 가장 문제가 되었던 것은 각 대학에서 설계된 회로의 레이아웃에 대한 CAD 검증(DRC, ERC)과 에러수정 작업이었다. 외국의 경우, 각 대학에서 자체적으로 CAD 검증 작업을 한 후 최종 데이터를 CAD network을 이용해 한 곳에 모은 후 mask 제작을 하는 것이 보통이지만, 우리나라의 경우, 각 대학에 CAD 검증을 자체적으로 수행할 수 있는 시설이 미비하였을 뿐만 아니라 기업의 시설을 이용하는 데도 제한을 받았기 때문에 CAD 검증 작업과 에러 수정작업이 다음과 같이 분리되어 이루어졌다. 각 대학의 레이아웃 데이터를 CIF(caltech intermediate format) 또는 GDS-II 형태로 변환한 후 magnetic tape에 담아 삼성반도체통신(주)에 옮겨 CAD 검증을 하였으며, 검증결과를 다시 magnetic tape에 담아 각 대학으로

옮겨 에러수정을 하였다.

이와 같은 CAD 검증작업이 각 대학별로 3~5번씩 반복 실시되었으며, 이 과정에서 각 대학과 CAD 검증작업을 하는 삼성반도체통신(주) 사이에 data format의 불일치, 레이아웃 데이터의 결함 등 정보교환상의 문제점과 각 대학의 경험부족 등으로 인해 불필요한 작업의 반복 및 시간낭비 등 연구 진행에 매우 비효율적인 문제점이 있었다. 다음의 표1은 다목적 공동설계의 CAD 검증 및 웨이퍼 제작작업에 소요된 시간을 정리한 것이며, 그림 2는 DRC 검증 및 수정작업 진행 상황을 일자별로 요약한 것이다. 그림 2와 표 1에서 보듯이, CAD 검증작업에 약 5~9개월이라는 긴 시간이 소요되었으며, 각 대학이 자체적으로 CAD 검증 및 에러 수정작업을 할 수 있

표 1. 다목적 공동설계의 CAD 검증 및 웨이퍼 제작 소요기간

웨이퍼제작횟수	작업 내용	소요 기간
2 차 웨이퍼제작	CAD 검증 및 에러수정	'87. 12~'88. 8 (9개월)
	Layer 및 P.G. 발생	9. 1~10. 5 (1개월)
	E-beam Mask 제작	10. 6~11. 21(1.5개월)
1 차 웨이퍼제작	웨이퍼 가공	'88. 12~'89. 1 (2개월)
	CAD 검증 및 에러수정	'86. 8~'87. 1 (5개월)
	Layer 및 P.G. 발생	'87. 2~'87. 8 (7개월)

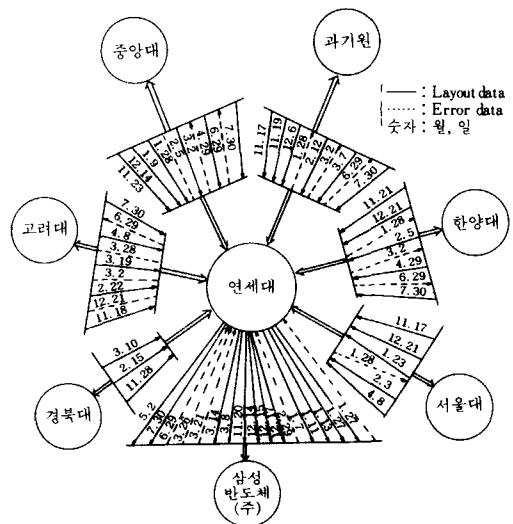


그림 2. DRC 검증 및 수정작업

있으면 보다 효율적인 연구진행이 가능했을 것이다.

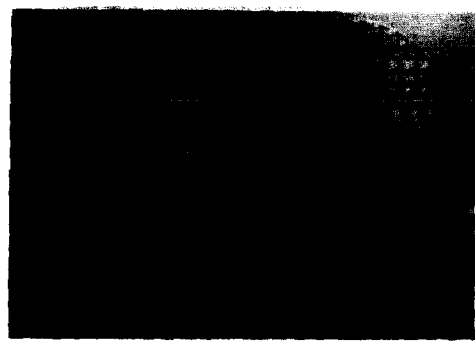
레이아웃 검증작업이 완료된 후 각 대학의 회로를 4 개의 칩으로 merging시킨 후 E-beam mask를 제작하여 웨이퍼 제작을 하였다. 다음의 표 2는 다목적 공동설계의 전체적인 요약이며, 웨이퍼 제작에 사용된 공정의 device parameter 및 design rule의 일부를 표 3에 나타내었다.

표 2. 다목적 공동설계 연구의 요약

연구기간 : 1985년 8월부터 1988년 7월 (3년)
참여대학 : 연세대학교, 경북대학교, 고려대학교, 과학기술원, 서울대학교, 중앙대학교, 한양대학교(7개 대학교)
연구비 지원기관 : 과학기술처
설계, 제작된 회로 : 19개
참여인원 : 38명/년, 연인원 117명
사용된 공정 : * 1차 웨이퍼 제작 : 3 μ m, single metal, P-Well CMOS * 2차 웨이퍼 제작 : 2 μ m, double metal, P-Well CMOS
(표 3 참조)
웨이퍼 제작 : 삼성반도체통신(주) - 위탁 수행

확정하였다. 이를 이용하여 마이크로 프로세서, 디지털 필터, 시스토크 FFT 프로세서 등 설계하고자 하는 시스템을 정의하고, 이들 시스템을 구성하는 연산기회로, 래지스터, 메모리 및 제어회로 등 기본블럭과 시스토크 sorter, OP Amp, PLA 등의 회로를 설계하고 레이아웃 하였다.

2차 년도에는 1차 년도에 설계된 회로들에 대한 설계규칙 검사(DRC) 및 전기규칙 검사(ERC) 등 CAD 검증과 수정작업을 하였으며, 이들 회로를 8mm \times 8mm 크기의 칩 4 개로 제작하였다. 다음의 사진 1, 2는 제작된 multi project chip의 웨이퍼 및 확대된 칩의 사진이다. 또한, 전체회로 설계를 위해 2 μ m, double metal, P-Well CMOS 공정을 선정하고, data 및 control path, 연산기회로, systolic FFT processor 등의 각 기능별 블럭회로와 ROM, PLA 및 graphic machine 등의 회로를 설계하고 레이아웃 하였다.



III. 연구 내용

1차 년도에는 각 대학별로 기본적인 설계자동화 도구를 도입, 설치하고, 설계에 사용될 3 μ m, single metal, P-Well CMOS 공정의 디바이스 파라미터를

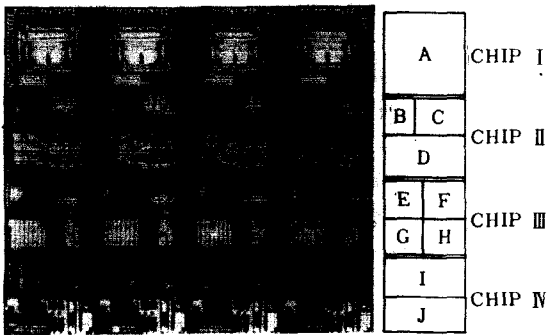
표 3. 웨이퍼 제작에 사용된 공정의 device parameter 및 design rule

Parameter	N-Channel		P-Channel		Unit
	1차제작	2차제작	1차제작	2차제작	
TOX	0.50E-7	0.38E-7	0.50E-7	0.38E-7	m
VTO	0.70	0.82	-0.74	-0.78	v
NSUB	0.15E17	2.0E16	0.70E15	6.50E15	cm ⁻³
XJ	0.89E-6	0.30E-6	0.11E-5	0.40E-6	m
LD	0.65E-6	0.20E-6	0.50E-6	0.28E-6	m
UO	603.9	580.0	231.5	200.0	cm ² /v·sec
GAMMA	0.59	0.82	0.63	0.75	\sqrt{v}

(a) Device parameter

Layer	1차제작	2차제작
active layer 최소 폭	4	2
active layer 최소 간격	4	2.5
poly layer 최소 폭	3	2
poly layer 최소 간격	5	2.5
metal 1 layer 최소 폭	3	3
metal 1 layer 최소 간격	5	2
metal 2 layer 최소 폭	X	4
metal 1 layer 최소 간격	X	3
active contact 최소 크기	4 \times 4	2 \times 2
poly contact 최소 크기	3 \times 3	2 \times 2

(b) Design rule

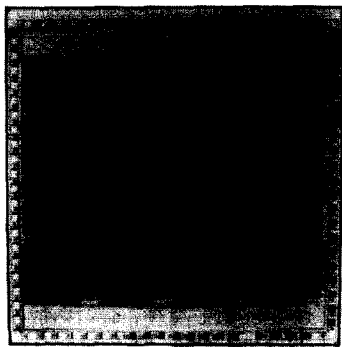


- * 회로A : FFT 연산을 위한 반쪽 버터플라이 연산회로 - 연세대학교
- * 회로B : 테스트가 용이한 PLA 회로 - 한양대학교
- * 회로C : RS Decoder용 CF 곱셈기 회로 - 연세대학교
- * 회로D : FFT 연산을 위한 데이터 배열회로 - 연세대학교
- * 회로E : 디지털 필터의 Sub-Block 회로 - 고려대학교
- * 회로F : Step Motor 제어용 PLA 회로 - 중앙대학교
- * 회로G : Systolic Sorter 회로 - 과학기술원
- * 회로H : A/D Converter 회로 - 과학기술원
- * 회로I : 8Bit Microprocessor의 기본 셀 - 경북대학교
- * 회로J : 교육용 Microprocessor의 기본 셀 - 서울대학교

사진 2. 다목적 공동설계 웨이퍼의 확대사진

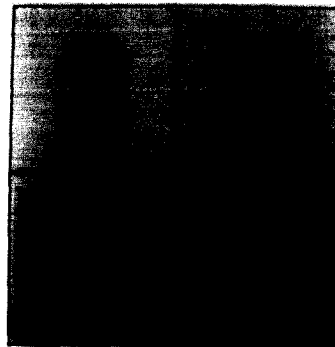
3차년도에는 디지털 필터, systolic FFT processor, microprocessor 등의 전체 시스템 레벨 평면 배치와 레이아웃 설계가 완성되었으며, PLA 회로, graphic processor, butterfly 연산회로 등이 설계되었다. 이들 회로를 사진 3과 같이 9mm×9mm 크기의 칩 4개로 제작하였다.

본 연구의 연도별 연구 내용과 설계된 회로의 대학별 요약은 표 4와 표 5에 정리하였다.



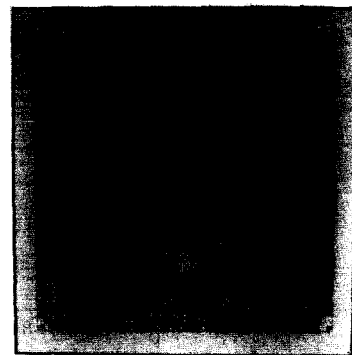
* Single Chip 16-point FFT Processor (YUSAF-16) 회로 - 연세대학교

(a) CHIP I



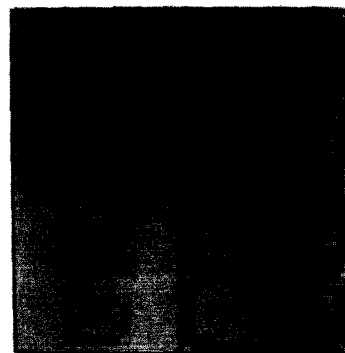
- * 회로A : 32 bit Microprocessor controller 회로 - 한양대학교
- * 회로B : Single Chip Digital Filter 회로 - 고려대학교
- * 회로C : 32 point FFT processor의 Butterfly ALU 회로 - 중앙대학교
- * 회로D : 확장성을 갖는 FFT Processor (YUSAF-1) 회로 - 연세대학교

(b) CHIP II



* 교육용 Microprocessor 회로 - 서울대학교

(c) CHIP III



- * 회로A : Edge Painting Machine 회로 - 과학기술원
- * 회로B : Switched Capacitor Filter 회로 - 과학기술원
- * 회로C : 8Bit Microprocessor의 Sub-Block 회로 - 경북대학교

(d) CHIP IV

사진 3. 다목적 공동설계의 레이아웃 사진 (2, 3차년도 설계 회로) - 계속

표 4. 다목적 공동설계의 연도별 연구 내용

연 도	연구 개발 내용
1 차 년 도 ('85. 8 ~ '86. 7)	<ul style="list-style-type: none"> ○ 설계자동화 도구 구입 · 응용 ○ 시스템레벨 알고리즘 ○ 디바이스 파라미터 설정 ○ 부분회로 설계, 시뮬레이션 ○ 레이아웃 설계, CAD 검증 및 수정
2 차 년 도 ('86. 8 ~ '87. 7)	<ul style="list-style-type: none"> ○ 설계자동화 도구 응용, 보완 ○ mask 제작 및 웨이퍼 가공 (1차년도 설계회로) ○ 테스트 및 설계평가(1차년도 설계회로) ○ 시스템레벨 재정의 ○ 기능별 회로 재설계 및 시뮬레이션 ○ 레이아웃 설계, CAD 검증 및 수정
3 차 년 도 ('87. 8 ~ '88. 7)	<ul style="list-style-type: none"> ○ 설계자동화 도구 응용, 보완화 ○ 시스템 레벨 평면 배치 ○ 시스템 전체의 레이아웃, CAD 검증, 수정 ○ mask 제작, 웨이퍼 가공 ○ 완성된 시스템의 테스트 및 설계평가 ○ 시스템의 실용화

IV. 결 론

다목적 공동 설계를 통해서 얻어진 가장 큰 성과는 집적회로 설계인력의 저변확대라 할 수 있다. 인력양성 기관인 대학교에 집적회로 설계 실습환경을 조성하고 이론교육과 설계실습을 병행함으로써 첨단 설계기술자의 양성 및 저변확대가 자연스럽게 이루어 질 수 있었다. 다음의 표 6에서 볼 수 있듯이, 총 117명의 집적회로 설계 기술자가 본 연구를 통하여 배출되었으며, 이들은 기업체 및 연구소 등에서 활동하고 있다. 대학에서 설계실습을 통해 습득한 경험과 지식이 곧바로 산업체에 전달될 수 있다는 것과 산업체와 연구소에서 필요로 하는 많은 전문 설계 인력을 매우 경제적인 비용으로 양성할 수 있다는 점이 본 연구의 높이 평가할 만한 성과이다. 둘째로, 집적회로 설계분야에 대한 대학간 및 대학과 기업체간의 바람직한 공동연구 체계의 확립을 위한 토대를 마련한 것이다. 반도체 산업을 국가의 전략산업으로 육성하기 위해서는 다목적 공동설계의 경험을 활용하여 정부와 기업체의 지원하에 보다 많은

표 5. 다목적 공동설계의 대학별 설계회로

대 학 교	기 간	연구 개발 내용
경북대학교	1 차 년 도 2 차 년 도 3 차 년 도	<ul style="list-style-type: none"> * CMOS 8bit microcomputer 개발 연산기회로, SRAM, EPROM 및 레지스터 설계 연산기회로, 레지스터 및 제어회로 설계 전체회로 레이아웃 및 측정장치 개발
고려대학교	1 차 년 도 2 차 년 도 3 차 년 도	<ul style="list-style-type: none"> * Digital filter one chip IC화 및 제작 ALU와 control unit 설계 Register와 Memory 회로 설계 및 PC용 CIF 발생 프로그램 개발 전체회로의 레이아웃 설계
과학기술원	1 차 년 도 2 차 년 도 3 차 년 도	<ul style="list-style-type: none"> Systolic sort processor 및 OP Amp 설계 Edge Painting Machine 및 SCF 회로의 설계 Graphic processor와 PCM 음성 CODEC 설계
서울대학교	1 차 년 도 2 차 년 도 3 차 년 도	<ul style="list-style-type: none"> * 교육용 Micro processor 설계 전체 시스템 정의, 기본회로 및 data path 설계 data path 및 control path 설계 각 system block control 및 전체 시스템 설계
연세대학교	1 차 년 도 2 차 년 도 3 차 년 도	<ul style="list-style-type: none"> * FFT 연산용 시스토크 어레이 설계 시스토크 FFT 연산 알고리즘 정립 및 각 시스템 블럭 설계 single chip FFT processor (YUSAF-16) 및 Expansible FFT processor (YUSAF-1) 설계 YUSAF-16 칩과 YUSAF-1 칩의 레이아웃 완성 및 PC를 이용한 자동 논리 테스트 장비 설계, 제작

대 학 교	기 간	연 구 개 발 내 용
중앙대학교	1 차년도	Step motor를 제어하는 PLA 설계
	2 차년도	삼각함수 연산이 가능한 ROM 설계
	3 차년도	shuffle-exchange graph를 적용한 single chip 32 point FFT 프로세서 설계
한양대학교	1 차년도	테스트가 용이한 PLA의 설계
	2 차년도	Testable CMOS sequential Programmable Logic Array의 설계
	3 차년도	32 bit Microprocessor controller의 설계 (ALU/data path controller)

표 6. 다목적 공동설계 연구의 전문 설계인력 배출 현황

1 차 년 도 ('85.8~'86.7)	2 차 년 도 ('86.8~'87.7)	3 차 년 도 ('87.8~'88.7)	총 인 원 (명)
38	38	41	117

대학이 공동 참여할 수 있도록 연구 계획의 확대 실시가 필요하다. 셋째로, 집적회로 설계분야에 대한 국내 대학의 관심을 불러 일으키고, 연구 활성화를 촉진하는 계기가 되었으며(표 7 참조) 또한, 집적회로 설계를 위한 CAD tool의 개발과 보편화에도 기여하였다. 그리고, systolic array와 같이 국내에서 아직 실용화되지 않았던 새로운 회로를 설계, 제작함으로써 이를 산업체에 이전하여 상품화 할 수 있는 가능성을 제시하였다는 점도 본 연구를 통하여 얻은 성과중의 하나이다.

표 7. 다목적 공동설계 연구와 관련된 논문 발표 현황

경북대	고려대	과기원	서울대	연세대	중앙대	한양대	총(편)
5	3	4	3	12	8	2	37

끝으로 다목적 공동설계 과제를 통하여 얻은 교훈 몇가지를 요약하면, 첫째, 현재 대학이 보유하고 있는 설계 자동화 도구가 매우 미약하여 효율적인 설계와 검증에 어려움이 있었다. 예를 들면, 레이아웃 검증 및 수정작업시 검증작업은 기업체의 컴퓨터와 검증용 패키지를 이용하였고, 검증 결과를 magnetic tape에 담아 각 대학에서 전달하여 오류 수정을 하였다. 이와 같은 작업이 각 대학별로 평균 3~5회씩 실시되었으며, 이 과정에서 불필요한 작업의 반복

및 시간 낭비등 연구진행에 매우 비효율적인 문제점이 있었다. 따라서, 앞으로 진행될 집적회로 설계에 관한 대학간 공동연구 계획에서는 최소한 집적회로 설계 전용 workstation과 각종 CAD software package를 공동으로 이용할 수 있는 CAD center를 설치하여 운용하는 것이 바람직할 것이다. 둘째, 설계된 회로들을 칩으로 제작하기 위한 웨이퍼 가공시설의 이용에 어려움이 있었다. 본 연구의 경우, 정부출연 연구소의 시설을 이용할 수 없었으므로 부득이하게 기업체(삼성반도체통신<주>)의 웨이퍼 가공 시설을 이용하였다. 이론 교육과 함께 설계실습을 통한 고급 설계기술자를 양성하기 위한 기본 목적을 보다 충실히 달성하기 위해서는 무엇보다도 웨이퍼 가공 시설의 이용이 보다 자유롭고, 또한 저렴한 비용으로 이루어져야 한다. 셋째, 제작된 회로를 테스트하기 위한 장비가 거의 전무한 상태였기 때문에 제작된 회로의 테스트를 통한 설계결과와 평가에 미흡한 점이 있었다. 앞으로는, 최소한 기본적인 테스트 장비만이라도 갖추어 줄 수 있도록 정부의 예산적인 뒷받침이 필요하다.


결국, 이상으로 언급한 문제점들을 보완, 개선한다면, 다목적 공동설계 연구는 전문 집적회로 설계인력을 가장 효율적으로 양성할 수 있는 방법이라 할 수 있겠다.

参 考 文 献

[1] 이문기, "ASIC 설계 연구센터(안)", 연세대학교, 1988. 12.
 [2] 한국공업진흥회, "주문형 IC 개발사업", 1988.9.
 [3] Mead and Conway, "Introduction to VLSI Systems", Addison-Wesley, 1980.
 [4] 이문기, "미국 대학에서의 VLSI 연구", 전자공학회지 제10권, 1호, pp. 19-22, 1983.

- [5] 이문기, "VLSI 설계와 CAD 기술개발 연구전략 - 다음세대 컴퓨터 개발을 위한", 전자공학회지 제11권 5호, pp. 42-50, 1984년 10월.
- [6] 이문기, "대학에서의 VLSI 교육 현황", 전자공학회지 제11권 4호, pp. 28-35.
- [7] 이문기, "'85 다목적 공동설계(MPC) 개발에 관한 최종연구 보고서", 과학기술처, 1986년 7월.
- [8] 이문기, "'86 다목적 공동설계(MPC) 개발에 관한 최종연구 보고서", 과학기술처, 1987년

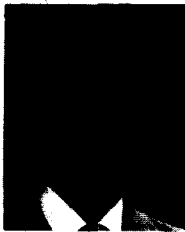
7월.

- [9] 이문기, "'87 다목적 공동설계(MPC) 개발에 관한 최종연구 보고서", 과학기술처, 1988년 7월. 

* 감사의 말씀 *

다목적 공동설계(MPC) 연구의 연구비를 지원해 준 과학기술처와 웨이퍼 제작을 위탁 수행하여 준 삼성반도체통신(주)에 감사드립니다.

筆者紹介



李文基(正會員)

1941年 8月 23日生

1965年 연세대학교 전기공학과 졸업

1973年 연세대학교 전자공학과 공학박사학위 취득

1980年 8月 Ph.D of Oklahoma Univ.

1976年 8月~1980年 7月 Oklahoma Univ. Microelectronics Research Lab. 연구원

1980年 9月~1982年 8月 한국전자통신연구소 반도체부 책임연구원

1982年~현재 연세대학교 전자공학과 교수

관심분야: VLSI Design 및 CAD, 실리콘 압력센서 등