特輯

소자 모델링 프로그램

朴 鍾 泰
仁川大學校 工大 電子工學科 助教授

Ⅰ. 머 리 말

반도체 소자의 전기적 특성을 해석하기 위한 소자의 모델링은 경험적 모델, 수치 해석적 모델 등이 있는데, 소자의 크기가 점차 축소되고 소자의 기하학적 구조가 다양해짐에 따라 변수들의 변화를 넓은 영역에서 임의로 행할 수 있게 되는 데는 한계가 있게 되었다. 이런 한계를 극복하고 보다 정확하게 소자의 특성을 해석하기 위하여 수치해석적 방법이 도입되었다. 회로 시뮬레이션 프로그램에서는 소자의 특성을 위하여 분석적 모델을 사용하고 있으나 모델의 변수들은 물리적인 의미가 없이 측정된 데이타로부터 구해지며 소자의 동작영역에 따라 다른 실험적 관계를 요구하게 되므로 소자의 특성이 한 영역에서 다른 영역으로 변할 때 소자의 특성을 정확히 matching 시키기는 어렵다.

수치해석적 모델은 1969년 Scharfetter와 Gummel[1]이 캐리어 전송방정식을 허용된 그리드에 맞게 절단(discretization)하므로 해를 구하는 알고리즘을 제시하여 소자를 1차원적으로 해석한 것이 시작이다. 그리고 같은 해에 Kennedy와 O'Brien[2]는 JFET를 Slotboom은 바이폴라 트랜지스터를 2차원적으로 해석하였다.

소자 해석을 위한 기본 방정식을 수치해석적 방법으로 해를 구하는 방법으로는 유한차등법(FDM)[2~3]과 유한요소법(FEM)[4]이 있다. FDM은 사각형 그리드와 규칙적인 그리드 구조에 가능하고 전류의 보존법칙이 만족되지 않는다. 이에 비해 FEM은 1974년 Hachtel[5]에 의하여 처음으로 이용된 것으로 삼각형 그리드 및 불규칙적인 그리드 구조에도 적용이 가능하며 전류의 보존법칙이 만족되는 장점이 있으나 프로그램이 복잡하고 연산시간이 많이 걸리며 기억용량이 많이 요구된다.

본 글에서는 2개의 캐리에에 대한 연속방정식을 풀므로 MOSFET, JFET, MESFET 뿐만 아니라 바이폴라와 CMOS의 latch-up 현상 해석도 가능하며 삼각형 그리드를 사용하므로 비평면 구조를 갖는 소자의 해석도 가능한 PISCES-Ⅱ[6~7]를 중심으로 반도체 소자의 특성을 수치해석적으로 분석하기 위한 소자 모델링 프로그램에 관하여 설명하고져 한다.

Ⅱ. 기본 방정식과 물리적 변수

1. 기본 방정식

반도체 소자의 전기적 특성 분석에 필요한 기본 방정식은 Poisson방정식 (1)과 전자와 홀에 대한 연속방정식(2), (3)이며 보조 방정식으로는 Boltzman 전송 방정식 (4), (5)가 있다.

$$E\nabla^2\phi = -q(p - n + N_D^+ - N_A^-) - \rho_F \qquad (1)$$

$$\frac{\partial n}{\partial t} = \frac{1}{q}\nabla \cdot J_n - U_n \qquad (2)$$

$$\frac{\partial p}{\partial t} = -\frac{1}{q}\nabla \cdot J_p - U_p \qquad (3)$$

$$J_n = -q\mu_n n \nabla \phi_n \qquad (4)$$

$$J_p = -q\mu_p p \nabla \phi_p \qquad (5)$$

식 (1)에서 ρ_F는 절연체에 존재할 수 있는 고정전하 밀도이며 식 (2), (3)의 U_n, U_p는 전자와 홀의 재결합률이고 식 (4), (5)의 ϕ_n 및 ϕ_p는 전자와 홀의 준 페르미레벨이다. 수치해석적 모델은 식 (1), (2), (3)의 3개의 편미분 방정식을 self-consistent하게 풀어서 전위 (φ), 전자의 농도 (n),

홀의 농도 (p)를 구하는 것이다. 전자와 홀의 전류 밀도 J_n과 J_P는 캐리어 drift와 확산에 의한 것이므로 φ, n, p의 함수로 나타낼 수 있다.

$$J_n = q\mu_n E_n n + q D_n \nabla n \quad (6)$$

$$J_P = q\mu_P E_P p - q D_P \nabla p \quad (7)$$

여기서 전계는 $E_n = E_P = E$로서 밴드갭 감소화 현상(band gap narrowing)을 무시하고 Boltzman 통계 분포를 가정하면 $E = -\nabla\varphi$가 된다.

2. 물리적 변수

1) 재결합률

전자와 홀의 재결합률은 같으며($U_n = U_P = U$) 일반적으로 모든 수치해석 모델은 Schockly-Read-Hall 및 Auger 재결합을 포함한다.

즉, $U = U_n = U_P = U_{SRH} + U_{Auger}$ (8)

$$U_{SRH} = \frac{p^n - n_i^2}{\tau_P\left[n + n_i \exp\left(\frac{E_t - E_i}{KT}\right)\right] + \tau_n\left[p + n_i \exp\left(\frac{E_i - E_t}{KT}\right)\right]} \quad (9)$$

$$U_{Auger} = C_n[pn^2 - n n_i^2] + C_P[np^2 - pn_i^2] \quad (10)$$

여기서 C_n과 C_P는 상수이고 E_i는 진성 페르미레벨, E_t는 트랩 에너지 레벨이며 τ_n과 τ_P는 전자와 홀의 수명 시간으로 다음과 같다.

$$\tau_n(x, y) = \frac{\tau_{no}}{1 + N(x, y)/N_{SRH-n}} \quad (11)$$

$$\tau_P(x, y) = \frac{\tau_{Po}}{1 + N(x, y)/N_{SRH-P}} \quad (12)$$

$N(x, y)$는 위치 (x, y)에서 총 불순물량이며 N_{SRH-n}, N_{SRH-P}, τ_{no}, τ_{Po}는 특정한 상수이다.

2) 캐리어 통계

반도체 내에서 전자와 홀의 농도는 Fermi-Dirac 분포함수에 의하여 다음 식과 같이 된다.

$$n = N_c F_{1/2}\left[\frac{1}{KT}(E_{Fn} - E_c)\right] \quad (13)$$

$$p = N_V F_{1/2}\left[\frac{1}{KT}(E_V - E_{FP})\right] \quad (14)$$

여기서 E_{Fn}과 E_{FP}는 전자와 홀의 페르미 레벨로써 $E_{Fn} = -q\phi_n$, $E_{FP} = -q\phi_P$이며 $F_{1/2}(\eta_F)$는 Fermi-Dirac 분포함수이다.

$$F_{1/2}(\eta_F) = \frac{2}{\sqrt{\pi}} \int_0^\infty \frac{\eta^{1/2}}{1 + \exp(\eta - \eta_F)}\, d\eta \quad (15)$$

그런데 대부분의 반도체 소자가 동작하는 영역에서는 $\eta - \eta_F \gg KT$라는 가정하에 Fermi-Driac 분포보다 Boltzman 분포를 이용한 다음식을 사용하여 전자와 홀의 농도를 구한다.

$$n \approx N_c \exp\left[\frac{1}{KT}(E_{Fn} - E_c)\right] = n_i \exp\left[\frac{q}{KT}(\varphi - \phi_n)\right] \quad (16)$$

$$p \simeq N_V \exp\left[\frac{1}{KT}(E_V - E_{FP})\right] = n_i \exp\left[\frac{q}{KT}(\phi_P - \varphi)\right] \quad (17)$$

에너지 밴드갭의 감소화 현상을 무시하면 온도에 따른 진성 반도체의 캐리어 농도는

$$n_i = \sqrt{N_c N_V}\, e^{-E_g/2KT} \quad (18)$$

이고 상태밀도 N_c, N_V와 에너지 밴드갭 E_g의 온도에 따른 변화는 다음과 같다.

$$E_g(T) = E_g(0) - \frac{\alpha T^2}{T + \beta} = E_g(300) + \alpha\left[\frac{300^2}{300 + \beta} - \frac{T^2}{T + \beta}\right] \quad (19)$$

$$N_c(T) = 2\left[\frac{2\pi m_{de} KT}{h^2}\right]^{3/2} = \left[\frac{T}{300}\right]^{3/2} N_c(300) \quad (20)$$

$$N_V(T) = 2\left[\frac{2\pi m_{dh} KT}{h^2}\right]^{3/2} = \left[\frac{T}{300}\right]^{3/2} N_V(300) \quad (21)$$

그리고 전위 φ는 에너지갭 E_g와 상태밀도 N_c, N_V의 값에 따라 다음과 같이 결정된다.

$$-q\varphi = E_c - \frac{E_g}{2} - \frac{KT}{q}\ell_n \frac{N_c}{N_V} \quad (22)$$

PISCES-Ⅱ에서는 불순물이 많이 도핑된 경우 밴드갭 감소화 현상을 고려하여 진성 캐리어 농도를 다음 식으로부터 구하게 된다.

$$n_i(x, y) = n_i \exp\left[\frac{9\times 10^{-3} q}{2KT}\left\{\ell_n \frac{N(x, y)}{10^{17}} + \sqrt{\left(\ell_n \frac{N(x, y)}{10^{17}}\right)^2 + \frac{1}{2}}\right\}\right] \quad (23)$$

식 (23)에서와 같이 n_i가 위치에 따라 값이 변하므로 식 (6), (7)의 전계는 다음과 같이 된다.

$$E_n = -\nabla\left(\varphi + \frac{KT}{q}\ell_n n_i\right) \quad (24)$$

$$E_P = -\nabla\left(\varphi - \frac{KT}{q}\ell_n n_i\right) \quad (25)$$

그리고 PISCES-Ⅱ에서 캐리어 농도는 Yu[8]의 통계 접근 방법에 따라 Fermi-Dirac 분포를 전자와 홀의 축퇴인자 r_n, r_P를 고려하여 Boltzman 통계 분포와 유사한 형태로 변조시켰다.

$$n=r_n n_i e^{\varphi-\phi_n} \tag{26}$$

$$p=r_P n_i e^{\phi_P-\varphi} \tag{27}$$

단,

$$r_n=F_{1/2}\left[\frac{1}{KT}(E_{Fn}-E_c)\right]\exp\left[\frac{-1}{KT}(E_{Fn}-E_c)\right] \tag{28}$$

$$r_P=F_{1/2}\left[\frac{1}{KT}(E_v-E_{FP})\right]\exp\left[\frac{-1}{KT}(E_v-E_{FP})\right] \tag{29}$$

만일 $r_n=r_P=1$이면 식 (26), (27)은 Boltzman 분포를 만족하게 되는 것이고 r_n과 r_P가 1보다 작으면 Fermi-Dirac 분포를 만족하는 것이 된다.

이동도와 확산계수 관계식인 Einstein 관계식으로부터 전자와 홀의 확산계수 D_n과 D_P는 Boltzman 분포를 사용하면

$$D_n=\frac{KT}{q}\mu_n \tag{30}$$

$$D_P=\frac{KT}{q}\mu_P \tag{31}$$

이며 Fermi-Dirac 분포를 사용하면 다음과 같다.

$$D_n=\left[\frac{KT}{q}\mu_n\right]F_{1/2}\left[\frac{q}{KT}(E_{Fn}-E_c)\right]\Big/ F_{-1/2}\left[\frac{q}{KT}(E_{Fn}-E_c)\right] \tag{32}$$

$$D_P=\left[\frac{KT}{q}\mu_P\right]F_{1/2}\left[\frac{q}{KT}(E_v-E_{FP})\right]\Big/ F_{-1/2}\left[\frac{q}{KT}(E_v-E_{FP})\right] \tag{33}$$

이온화된 불순물의 농도 N_A^-, N_D^+를 구하기 위하여 PISCES-Ⅱ에서는 불순물이 freeze-out되었을 경우 축퇴인자 g_c와 g_v를 고려하여 Fermi-Dirac분포를 사용하여 다음과 같이 구한다.

$$N_D^+=\frac{N_D}{1+g_c\exp\left[-\frac{q\phi_n+E_D}{KT}\right]} \tag{34}$$

$$N_A^-=\frac{N_A}{1+g_v\exp\left[\frac{q\phi_P+E_A}{KT}\right]} \tag{35}$$

여기서 E_D 및 E_A는 도너 및 억셉터의 에너지 레벨이다.

3) 이동도 모델

캐리어의 이동도는 캐리어의 농도의 함수이므로 PISCES-Ⅱ에서 Si과 GaAs를 위한 low-field 이동도는 300°K일 경우는 총 전자와 홀의 수에 대한 이동도의 테이블을 만들어서 계산하게 되어 있으며 300°K 이외의 온도에서는 실험적인 함수로부터 구하게 된다. MOS 구조에서 반도체 표면에서의 이동도는 산화층과 반도체의 경계층에서 표면산란 때문에 반도체의 벌크에서의 이동도 보다 작게 된다. PISCES-Ⅱ에서는 이런 이동도 감소 현상을 고려하기 위하여 감소인자 g_{surf}를 고려하므로 표면에서의 low-field 이동도를 다음과 같이 구하게 된다.

$$\mu_0(\text{surface})=g_{surf}\,\mu_0(\text{bulk}) \tag{36}$$

여기서 g_{surf}는 0보다 크며 1보다 작은 값을 갖게된다.

또 이동도는 drift 속도의 함수($\mu(E)=V_d(E)/E$)이므로 Si에 대하여서는[9]

$$\mu(E)=\left[\frac{1}{1+\left(\frac{\mu_0 E}{V_{sat}}\right)^{\beta}}\right]^{1/\beta}\mu_0 \tag{37}$$

이고 GaAs에 대하여서는 다음 식과 같다.[10]

$$\mu(E)=\frac{\mu_0+\frac{V_{sat}}{E}\left(\frac{E}{E_0}\right)^4}{1+\left(\frac{E}{E_0}\right)^4} \tag{38}$$

여기서 β는 1 또는 2의 값을 갖는 상수이고 V_{sat}는 포화속도로써 온도에 따라 변하는데 Si의 경우는

$$V_{sat}(T)=\frac{2.4\times10^7}{1+0.8(T/600)} \tag{39}$$

이고 GaAs인 경우는 다음과 같다.

$$V_{sat}(T)=11.3\times10^{-6}-1.2\times10^4 T \tag{40}$$

Ⅲ. 경계조건

1. 옴 접촉(Ohm contact)

옴 접촉은 표면에서 전위와 전자 및 홀의 농도(φ_s, n_s, p_s)가 고정된 값을 갖는다는 Dirichlet 경계조건을 이용한다. 그리고 다수 및 소수 반송자의 준 페르미 레벨은 전극에 인가된 전위와 같다는 즉 $\phi_n=\phi_P=V_{applied}$ 관계를 적용하여 표면 전위 φ_s는 양의 전하와 음의 전하의 합이 0이라는 공간전하 조건을 이용한다.

$$n_s+N_A^-=p_s+N_D^+ \quad (41)$$

Boltzman 분포를 이용하면 즉 식 (16), (17)을 식 (41)에 대입하면 n_s, p_s, φ_s는 다음과 같게 된다.

$$n_S=\frac{1}{2}\{(N_D^+-N_A^-)+\sqrt{(N_D^+-N_A^-)^2+4n_i^2}\} \quad (42)$$

$$p_s=n_i^2/n_s \quad (43)$$

$$\varphi_s=\phi_n+\frac{KT}{q}\ell_n\frac{n_s}{n_i}=\phi_P-\frac{KT}{q}\ell_n\frac{p_s}{n_i} \quad (44)$$

2. Schottky 접촉

Schottky 접촉은 전극 금속의 일함수와 표면 재결합 속도로 정의되어 지는데 Schotty 접촉에서 표면 전위는 다음과 같이 된다.

$$\varphi_s=\chi+\frac{E_g}{2q}+\frac{KT}{2q}\ell_n\frac{N_c}{N_v}-\phi_m+V_{applied} \quad (45)$$

여기서 χ는 전자의 친화력이며 ϕ_m은 금속의 일함수이다. 만일 표면에서 일정한 재결합 속도를 고려한다면 ϕ_n과 ϕ_P는 $V_{applied}$와 같지 않을 것이며 접촉 표면에서 전자와 홀의 전류 밀도 J_{sn}, J_{sp}는 다음과 같게 된다.[11]

$$J_{sn}=qV_{sn}(n_s-n_{eq}) \quad (46)$$

$$J_{sp}=qV_{sp}(p_s-p_{eq}) \quad (47)$$

여기서 n_{eq} 및 p_{eq}는 무한대의 재결합 속도를 가정한 (즉 $\phi_n=\phi_P=V_{applied}$) 평형상태에서의 전자와 홀의 농도이며 V_{sn}과 V_{sp}는 전자와 홀의 재결합 속도로써 다음과 같다.

$$V_{sn}=\frac{A_n^{**}T^2}{qN_c} \quad (48)$$

$$V_{sp}=\frac{A_P^{**}T^2}{qN_v} \quad (49)$$

단 A_n^{**}과 A_P^{**}는 전자와 홀에 대한 Richardson 상수이다.

3. 절연체 접촉과 Neuman 접촉

절연체와 반도체의 접촉에서는 $n_s=p_s=0$이 되며 식 (44)로부터 $\varphi_s=\phi_n=\phi_P$가 된다. 그리고 소자에서 접촉이 없는 다른 가장자리에서는 전류가 밖으로 유출되지 않으며 전류 성분이 반사되는 것으로 가정한 Neuman 경계조건을 이용한다. 이런 가장자리에서 표면 전하가 없다고 가정하면 이 지점에서 전계의 법선 성분은 0이 되고 (즉 $n\cdot D\varphi=0$) 서로 다른 재료가 이종 접합되었을 때의 표면 전하를 ρ_s라고 하면 양 재료에서 전계의 법선 성분은 다음식과 같게 된다.

$$n\cdot\varepsilon_1 D\varphi_1-n\cdot\varepsilon_2 D\varphi_2=\rho_s \quad (50)$$

Ⅳ. 그 리 드

2차원 소자 simulator의 실행시간과 기억용량은 그리드 수에 따라 결정되는데 해를 구하기 위한 연산의 수는 그리드 수가 N이라면 N^α에 비례한다. 이때 α는 1.5~2의 값을 갖는 상수이다. 특히 반도체 소자의 크기가 작아지고 구조가 복잡해지므로 그리드의 모양과 수는 소자의 특성을 정확히 해석하는데 중요한 요소가 된다.

1. 그리드 모양

그리드는 4각형과 3각형 모양이 있는데 이 모양에 따라 노드의 수와 해를 구하는 방법이 다르게 된다. 그림 1은 여러가지의 그리드 구조를 나타낸 것으로 그림 1-(a)는 그리드 간격이 일정하고 규칙적인 4각형 모양으로 기억용량이 가장 적게 필요로 하는 것으로 초기에 많이 사용되었다. 그런데 소자의 어떤 부분의 전기적 특성이 다른 부분과 다르게 되어

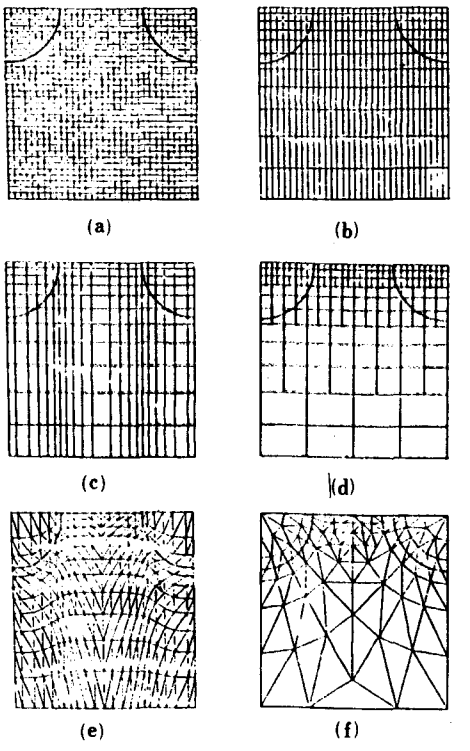


그림 1. 여러가지의 그리드 구조

그리드의 간격이 좁은 것이 요구되므로 소자 내의 위치에 따라 그리드의 간격을 다르게 하는 것이 필요하게 되었다. 그림 1-(b)는 수평 방향으로는 그리드 간격이 동일하나 수직 방향으로는 간격이 다른 것을 나타낸 것이다. 그림 1-(c)는 가장 많이 이용되는 그리드 모양으로 수직 및 수평 방향으로 그리드의 간격이 다르며 m×n 그리드를 위한 기억 용량은 m+n 크기의 정도가 요구된다. 그림 1-(d)는 그리드 모양이 특별한 경우로 thyristor를 해석하기 위해서 많이 사용된다. 그림 1-(e)는 4각형 모양의 그리드에서 각 노드에 대각선을 연결하므로 하나의 4각형이 2개의 3각형으로 나누어진 구조이다. 이 그리드 모양은 사용자가 4각형 모양의 그리드를 쉽게 정의하므로 4각형이 3각형으로 변형되어 원하는 구조에 잘 맞게 된다. 그리고 기본적인 구조는 4각형이므로 해를 쉽게 구할 수 있으나 각 노드는 고유의 절단계수(discretization coefficient)를 가지게 되므로 m×n 그리드에서는 mn개의 즉 노드 수에 상응하는 기억용량이 필요하게 된다. 또 어떤 부분에서 그리드의 모양을 크게 변형시켜야 될 경우 둔각 삼각형 모양의 그리드가 만들어 질 수 있는데 이것은 가급적 피해야 한다. 그림 1-(f)는 가장 효과적인 그리드 할당 방법으로 그리드 간격이 어떤 부분은 좁게 또 어떤 부분은 넓게 되어 있다. 기억용량은 mn의 크기가 필요하며 해를 구하기 위한 방법이 조금 복잡하다. PISCES-Ⅱ의 그리드 모양은 그림 1-(f)와 같다.

2. PISCES-Ⅱ의 그리드 생성

PISCES-Ⅱ에서는 다음과 같은 입력문을 사용하므로 그리드를 생성하게 된다.

- -MESH statement
- -X.MESH statement
- -Y.MESH statement
- -SPREAD statement
- -ELIMINATE statement (optional)
- -REGION statement (optional)
- -ELECTRODE statement

MESH 문은 4각형의 그리드를 생성하거나 생성된 그리드를 외부로부터 읽어 들이는 기능을 하며 X.MESH 및 Y.MESH는 수평 및 수직방향으로 노드의 위치 및 수를 결정하는 것이다. 그리고 SPREAD는 4각형 그리드를 수직 방향으로 변형을 시키므로 비평면인 표면이나 접합 부위 등과 같이 어떤 특정한 영역에 노드를 조밀하게 하고 싶은 경우에 사용되며 ELIMINATE는 어떤 특정한 영역에서 4각형 그리드 내에 있는 불필요한 노드를 없애고져 할 때 사용되는 구문이다. REGION은 4각형의 그리드 내에 재료에 따라 각 영역의 경계를 결정하기 위하여 사용되는데 8개의 영역까지 정의할 수 있으며 ELECTRODE는 전극의 위치를 결정하게 된다.

PISCES-Ⅱ는 REGRID라는 구문으로 프로그램 자체 내에서 자동적으로 하나의 3각형이 4개의 3각형으로 재생성되어 원하는 영역 내의 그리드 간격을 좁게 할 수 있다. 그런데 그리드 재생성 과정 중에 둔각 삼각형 모양의 그리드가 만들어 질 수 있는데 이것은 수치해석적 방법으로 해를 구할 때 해가 수렴하지 않고 발산하는 결과를 초래하게 되므로 피해야 된다. 이런 둔각 삼각형 모양의 그리드가 생성되는 것을 피하기 위하여 node smothing 방법과 triangle smothing 방법을 사용한다.

V. 절 단 (Discretization)

1. Poisson 방정식

그림 2는 한 변의 길이가 t_1-t_5로 표시된 5개의 3각형으로 구성된 어떤 가상 그리드를 나타낸 것이다. 그림 2에서 i는 노드를 나타내고 t_m의 m은 3각형의 번호를 나타낸다. 절단하는 과정에서는 각 노드를 설정할 때의 면적과 노드쌍 사이의 결합계수가 중요한 변수가 된다. 그림 2에서 노드 i와 이웃하는 노드를 수직으로 이등분하는 점선 ℓ_i로 경계된 노드 i의 면적을 Ai이라고 하고 Gauss법칙을 식 (1)의 Poisson 방정식에 적용하면 다음과 같이 쓸 수 있다.

$$\oint_{l1} \vec{D}\cdot d\vec{\ell} = \int_{A_i} \rho\, dA \tag{51}$$

즉, $$\oint_{l11} \varepsilon \vec{E}\cdot d\vec{\ell} + \oint_{l12} \varepsilon \vec{E}\cdot d\vec{\ell} + \cdots + \oint_{l15} \varepsilon \vec{E}\cdot d\vec{\ell} = \int_{A1} \rho\, dA + \int_{A_{i1}} \rho\, dA + \cdots + \int_{A15} \rho\, dA \tag{52}$$

재료의 경계가 3각형 경계와 일치되고 3각형 내의 전계가 일정하다고 가정하면 선적분을 dot product로 나타낼 수 있다.

$$\varepsilon_1 \vec{E}\cdot(\vec{\ell}_{i1j1}+\vec{\ell}_{1k1}) + \varepsilon_2 \vec{E}\cdot(\vec{\ell}_{i2j2}+\vec{\ell}_{2k2}) + \cdots + \varepsilon_5 \cdot \vec{E}(\vec{\ell}_{i5j5}+\vec{\ell}_{5k5}) = \rho_i A_i \tag{53}$$

여기서 벡터 $\vec{\ell}_{imjm}$의 방향은 ij선에 법선 방향이며 크기는 경계선분(boundary segment)이다. 하나의 3각형에 대하여 그림 3과 같이 편의상 라벨을 정의하고 벡터 $\vec{u}_j$와 $\vec{u}_k$는 ij 및 ik 방향인 단위 벡터, d는 노

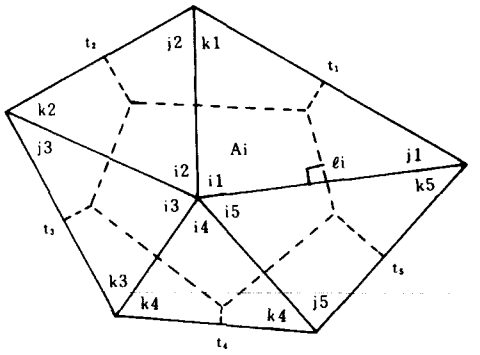


그림 2. 5개의 3각형으로 구성된 가상 그리드

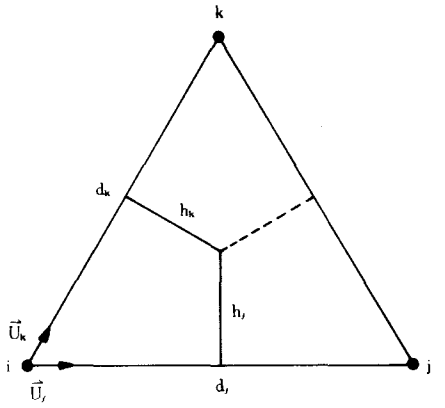


그림 3. 하나의 3각형에 대한 라벨 정의

드 사이의 거리, h는 경계선분의 높이라고 명명하면 식 (53)은 다음과 같이 간단히 쓸 수 있다.

$$\sum_{1\le m\le M} \varepsilon_m \vec{E}_m \cdot (h_{jm}\vec{u}_{jm}+h_{km}\vec{u}_{km})=\rho_i A_i \qquad (54)$$

그런데 $\vec{E}\cdot\vec{u}_j$는 ij방향의 전계성분을 나타내는 것이므로 3각형 내에서 전계가 일정하다는 가정을 하면 다음과 같이 쓸 수 있다.

$$\vec{E}\cdot\vec{u}_j=-\frac{\varphi_j-\varphi_i}{d_j} \qquad (55)$$

식 (55)를 식 (54)에 대입하면 다음과 같이 절단된 Poisson 방정식이 얻어진다.

$$\sum_{1\le m\le M} \varepsilon_m\left[(\varphi_i-\varphi_{jm})\frac{h_{jm}}{d_{jm}}+(\varphi_i-\varphi_{km})\frac{h_{km}}{d_{km}}\right]=\rho_i A_i \qquad (56)$$

이때 $\varepsilon_m h_{jm}/d_{jm}$은 3각형 m내에서 노드 i와 j사이의 결합계수로 정의한다. 그리고 전하량 ρ_i는 각 노드 i에 대하여 다음과 같이 쓸 수 있다.

$$\rho_i=q(n_i e^{q(\phi_{Pi}-\varphi_i)/KT}-n_i e^{q(\varphi_i-\phi_{ni})/KT} +N_D^+-N_A^-) \qquad (57)$$

식 (56)과 (57)에서 φ_i는 비선형이므로 φ대신 $\varphi+\triangle\varphi$를 대입하여 Taylor 공식을 이용하여 선형화시킨다.[12]

2. 연속방정식

연속방정식을 준 페르미 레벨을 변수로하는 Gummel 알고리즘[13]을 이용하는 방법과 stream함수[14]를 도입하여 전류의 발산을 정의하는 방법이 있다. 여기서는 1차원의 Gummel 알고리듬의 설명과 이를 2차원으로 확장시키는 방법에 대하여 간단히 소개하고져 한다.

전자와 홀에 대한 연속방정식은 부호만 다를뿐 유사하므로 식 (4)로부터 1차원 전자의 전송방정식은 다음과 같다.

$$J_n=q\mu_n\left(nE_n+V_T\frac{\partial n}{\partial x}\right) \qquad (58)$$

단, $V_T=\dfrac{KT}{q}$

식 (58)을 다시 정리하면 다음과 같이 된다.

$$\frac{\partial n}{\partial x}+\frac{E_n}{V_T}n=\frac{J_n}{q\mu_n V_T} \qquad (59)$$

그림 4와 같이 i와 j 노드 사이의 거리가 d이고 두 노드 사이에 J_n, μ_n과 E_n이 같다고 가정하면 j노드에서 식 (59)의 해는 다음과 같다.

$$n_j=\left(n_i-\frac{J_n}{q\mu_n E_n}\right)e^{-E_n d/V_T}+\frac{J_n}{q\mu_n E_n} \qquad (60)$$

그런데 $E_n d=\varphi_i-\varphi_j$이므로 이를 식 (60)에 대입하여 정리하면 식 (61)과 같이 되는데 이를 Scharfetter-Gummel식이라고 한다.

$$J_n=q\mu_n\frac{(\varphi_i-\varphi_j)}{d}\left[\frac{n_j}{1-e^{-(\varphi_i-\varphi_j)/V_T}}+\frac{n_i}{1-e^{(\varphi_i-\varphi_j)/V_T}}\right] \qquad (61)$$

그리고 2차원으로 확장시키기 위해서 Poisson 방정식을 절단할 때와 같이 그림 4로부터 정상 상태에서 식 (2)에 Gauss 법칙을 적용시키면 다음과 같이 된다.

$$\oint_{ll} \vec{J}_n \cdot d\vec{\ell} = \int_{A_i} q\,\mu_n dA \qquad (62)$$

식 (62)의 절단은 식 (54)와 유사한 다음과 같다.

$$\sum_{i\le m\le M} [\,\vec{J}_{nlm}\cdot(h_{lm}\,\vec{u}_{lm}) + \vec{J}_{nkm}\cdot(h_{km}\,\vec{u}_{km})] = q\,\mu_n A_i \qquad (63)$$

여기서 $\vec{J}_{nlm}$은 3각형 m내에서 ij모서리를 따라 흐르는 전자 전류밀도이며 $\vec{J}_{nkm}$은 ik 모서리를 따라 흐르는 전자 전류밀도이다. 또 $\vec{J}_{nlm}$과 $\vec{J}_{nkm}$은 $\vec{u}_{lm}$과 $\vec{u}_{km}$ 방향을 갖는 1차원 전류 밀도 벡터로 서로 같지 않으므로 다음과 같이 간단히 쓸 수 있다.

$$\sum_{i\le m\le M} (J_{nlm}\,h_{lm} + J_{nkm}\,u_{km}) = q\,\mu_n A_i \qquad (64)$$

결국 식 (61)에서 구한 J_n을 식 (64)에 대입하므로 2차원으로 확장된 절단된 형태의 전자 전송방정식이 얻어진다.

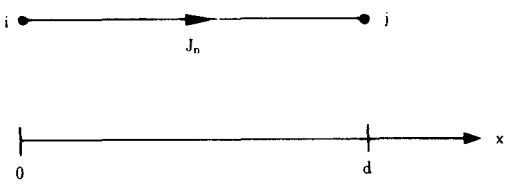


그림 4. 1차원의 전류 전송 방정식을 위한 라벨 정의

Ⅵ. 해를 구하는 방법

반도체 소자의 특성을 결정하는 기본 방정식을 절단하면 3개의 변수(φ, n, p)로 결합된 비선형 대수 방정식이 만들어 진다. 이 비선형 방정식의 해를 구하기 위하여는 절단된 Poisson 방정식과 연속방정식을 Mx=y의 형태로 나타내어 행렬식의 해를 구하는 측면과 결합된 두 방정식의 해를 동시에 구하는 측 consistent solution을 구하는 측면을 고려할 수 있다.

1. 행렬식의 해를 구하는 방법

행렬의 요소는 노드 사이의 결합계수에 따라 0이 될 수도 있으므로 행렬은 sparse matrix가 된다. 이런 행렬식의 해는 직접 구하는 방법과 반복법으로 구하는 방법이 있는데 직접 구하는 방법은 연산 수가 반복법으로 구하는 방법 보다 훨씬 많으므로 반복법이 효과적이다. 직접 구하는 방법으로는 sparse LU decomposition 방법과 FFT 방법이 있는데 전자의 장점은 어떤 그리드나 절단 방법에 관계없이 안정된 해를 구할 수 있다는 것이고 단점으로는 많은 기억량이 필요하다. 후자는 그리드나 소자의 구조에는 융통성이 있으며 필요한 기억량도 적다. 반복법으로는 SOR, SBOR, SLOR, SIP, ICCG 방법 등이 있는데 SOR, SBOR, SLOR, SIP는 4각형 그리드에 적합한 방법이고 SIP, ICCG 방법은 LU decomposition을 변형한 방법이며 ICCG는 4각형 뿐만 아니라 3각형 그리드에도 가능하다.[15] TWIST는 SOR 방법[16]을, GEMINI는 SLOR 방법을,[17] CADDET와[18] MINIMOS는[19] SIP 방법을, PISCES는 ICCG 방법을 이용하였다.

2. 결합된 방정식의 해를 구하는 방법

비선형 방정식의 해를 구하는 방법으로는 Gummel 방법과 Newton 방법이 있는데 두가지 방법 모두 다 그리드 수의 1~3배 정도 차수의 선형 방정식의 해를 구해야 한다.

Gummel 방법을 2개의 방정식의 해를 순차적으로 구하는 것으로 준 페르미 레벨을 고정시키고 비선형인 Poisson 방정식의 해 (φ)를 구한다. 그리고 새로운 φ를 선형인 연속방정식에 대입하는 과정을 원하는 정확도까지 반복한다.

Newton 방법은 가장 많이 사용되는 방법으로 반복연산을 하는 과정중에 변수 값이 변하는 것이 가능하며 가장 안정되고 연산 시간은 바이어스 전압에 독립적이다. 그런데 그리드 수의 3배를 갖는 Jacobian 행렬의 역행렬을 구하게 되므로 그리드 수가 많은 경우는 많은 연산과 기억용량이 요구된다.

그리고 각 반복 횟수 당 오차의 범위를 줄이기 위하여 Gummel 방법에서는 선형률(linear rate)을 사용하고 Newton 방법에서는 제곱률(square rate)를 사용한다. 대부분 Newton 방법을 많이 사용하고 있으나 MOSFET의 subthreshold 영역과 같이 낮은 전류 레벨에서는 Gummel 방법이 효과적이다. PISCES Ⅱ에서는 Gummel과 Newton 2가지의 방법을 다 사용한다.

Ⅶ. 맺 음 말

본 글에서는 반도체 소자의 전기적 특성을 분석하기 위한 수치해석 방법에 대하여 설명하였다. 특히 PISCES-Ⅱ를 모델로 하고 수치해석 방법에 필요한 기본방정식, 물리적 변수, 그리드 구조, 절단 및 해를 구하기 위한 방법 등을 개략적으로 서술하였다.

앞으로 더욱 더 소자의 크기가 작아지고 구조가 복잡해짐에 따라 많고 복잡한 그리드가 요구될 것이며 이로 인하여 많은 연산시간과 기억용량이 필요하게 될 것이다. 그리고 PISCES-Ⅱ에서 이동도를 계산할 때 실험적 데이타 테이블을 이용한 것처럼 회로 simulator에서도 분석적 모델보다는 공정 simulation의 결과로 소자의 특성을 결정짓는 변수들의 값이 데이타 테이블로 직접 이용될 것이다.

參 考 文 獻

[1] D. Scharfetter and H. Gummel, "Large-signal analysis of a silion read diode oscillator," *IEEE Trans. Electron Devices* vol. ED-16, pp. 64-77, 1969.

[2] D.P. Kennedy and R.R. O'Brien, "Computer aided two-dimensional analysis of the junction field effect transistor," *IBM J. Research and Develop.*, vol. 14, pp. 95-116, 1970.

[3] J.W. Slotboom, "Computer aided two dimensional analysis of bipolar transistors," *IEEE Trans. Electron Devices,* vol. ED-20, pp. 669-679, Aug. 1973.

[4] J.J. Barness and R.J. Lomax, "Finite-element methods in semiconductor device simulation," *IEEE Trans. Electron,* vol. ED-24, pp. 1082-1089, Aug. 1977.

[5] G.D. Hachtel, et. al. "Semiconductor device analysis via finite elements," in Conference Record, Eighth Asilomar Conference on Circuits, Systems and Computers, pp 332-338, Dec. 1974.

[6] PISCES-2A, Two-Dimensional Device Analysis Program, Version 2-1. Technology Modeling Associates, Inc. Sept. 1985.

[7] Conor S. Reatterty, et. al, "Iterative methods in semiconductor device simulation," *IEEE Trans. Electron Derices,* vol. ED-32, pp. 2018-2027, Oct. 1985.

[8] Z. Yu, Ph. D dissertation, Stanford Electronics Laboratories, 1986.

[9] D.M. Caughey and R.E. Thomas," Carrier mobilities in silicon empirically related to doping and field," *Proc. IEEE* vol. 55, pp. 2192-2193, 1967.

[10] S. Selberherr, "Process and device modeling for VLSI," *Microelectronic Reliab.* vol. 24, no. 2. pp. 225-257, 1984.

[11] C.R. Crowell and S.M. Sze, "Current transport in metal-semiconductor barriers," *Solid State* Electronics, vol. 9, pp. 1035-1048, 1966.

[12] C.H. Price, "Two-Dimensional Numerical Simulation of semiconductor Devices," Technical Report, Standford University, May, 1982.

[13] Gumel, H.K, "Self-consistent iterative scheme for one-dimensional steady state transistor calculation," *IEEE Trans Electron Devices,* vol. ED-11, pp. 455-465, 1964.

[14] W.L. Engl, Process and Device Modeling, Advances in CAD for VLSI, vol. 1. North-Holland, pp. 159-194, 1986.

[15] D.S. Kershaw, "The Incomplete cholesky-conjugate gradient method for the iterative solution of systems of linear equations," J. Computational Physics, vol. 26, p. 43. 1978.

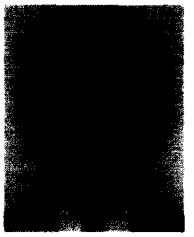
[16] S. Liu, et al, "Interactive two-dimensional design of barrier controlled MOS transistors," *IEEE J. Solid-State Circuits,* vol. SC-15, p. 615, 1980.

[17] J.A. Greenfield and R.W. Dutton, "Non-planar VLSI device analysis using the solution of poisson's equation," *IEEE J. Solid-State Circuits,* vol. SC-15, p. 585, 1980.

[18] M.S. Mock, "A two-dimensional mathematic model of the insulated field effect transistor," Solid State Electronics, vol. 16, p. 601, 1973.

[19] S. Selberherr, et. al, "A two-dimensional MOS transistor analyzer," *IEEE Trans Electron Devices* vol. ED-27, p. 1540, 1980.

筆者紹介



朴 鍾 泰(正會員)
1958年 5月 20日生
1981年 경북대학교 전자공학과 졸업
1983年 연세대학교 대학원 전자공학과 졸업(석사)
1987年 연세대학교 대학원 전자공학과 (박사)

1983年～1985年 금성반도체 연구소 근무
1987年～현재 인천대학교 전자공학과 조교수

1989年度 電子工學會誌 特輯 案內

卷 號	特 輯 名
'89年 2月 (第 16 卷 第 1 號)	CAD
'89年 4月 (第 16 卷 第 2 號)	VAN
'89年 6月 (第 16 卷 第 3 號)	ISDN 시범
'89年 8月 (第 16 卷 第 4 號)	Workstation
'89年 10月 (第 16 卷 第 5 號)	무선/ 위성/ 이동통신
'89年 12月 (第 16 卷 第 6 號)	CATV/HDTV
'90年 2月 (第 17 卷 第, 1 號)	'90년대의 전자기술