

n/p⁺/p 구조를 이용한 FIPOS-SOI의 제조

(Fabrication of FIPOS-SOI Using n/p⁺/p Structure)

梁 天 淳*, 李 鍾 玄*

(Cheon Soon Yang and Jong Hyun Lee)

要 約

n/p⁺/p 실리콘 구조를 이용하여 FIPOS-SOI를 제조하였다. 두께 3 μ m, 폭 100 μ m의 실리콘 island을 제조하고 van der Pauw소자를 이용하여 저항율, Hall이동도 그리고 절연파괴전압 및 island간의 누설전류를 측정하였다. SOI의 Hall이동도는 300-500cm²/V.sec, 절연파괴전계는 1-2MV/cm로 나타났다. 또 SEM과 광학현미경으로 그 구조를 조사하였다.

Abstract

A SOI was fabricated by the FIPOS technique using n/p⁺/p silicon structure. Fabricated silicon island which has 3 μ m thickness and 100 μ m width was investigated by measuring van der Pauw resistivity, Hall mobility, dielectric breakdown voltage and leakage current. Hall mobility of the SOI was measured to be 300-500 cm²/V.sec and its breakdown field was 1-2 MV/cm. The cross-sectional geometries of the SOI island were examined by SEM and optical microscope.

I. 서 론

대단위 집적회로 기술의 발전으로 칩의 집적도가 증가하게 됨에 따라 기생용량이나 기생 Transistor, CMOS에서의 latch up, α 입자에 의한 soft error, 전력소비, 고전계에 의한 hot carrier effect, 동작속도, 그리고 잡음등이 회로의 성능에 심각한 장애요인으로 나타난다.^[1] 이러한 이유로 소자간의 절연에 대한 연구가 크게 주목되고 있으며 그 중 SOI(Silicon On Insulator)기술은 소자간의 완전절연과 3차원 구조 집적회로^[2]에의 응용등 여러가지 장점을 가지고 있어 많은 관심이 모이게 되었다. SOI구조를 얻는

기술 가운데 하나인 FIPOS(Full Isolation by Porous Oxidized Silicon)기술은, 다공질 실리콘(porous silicon)형성기술이 그 기본이 된다.^[3] 이 FIPOS기술은 다른 SOI기술에 비하여 그 제조 방법이 간단하고, 저렴한 가격에 양질의 SOI구조를 얻을 수 있다는 장점이 있다. 본 연구에서는 이미 본 연구실에서 발표한 바 있는 PSL(Porous Silicon Layer)의 형성기술^[4]을 기초로, n/p⁺/p다층구조^[5]의 기판을 이용하여 FIPOS-SOI를 제조하고 그 구조와 특성을 조사하였다.

II. FIPOS-SOI의 제조

단결정 실리콘기판을 고농도의 HF(20-50%)속에 넣고, 백금전극을 통하여 전류를 흘리면서 양극 반응시키면, 기판표면에 수십-수백Å 정도의 미세기공(pore)을 포함하는 다공질 실리콘층(PSL: Porous Silicon Layer)을 형성시킬 수 있다.^[4]

얇은 두께의 균질한 PSL을 형성시켜 열산화함으

*正會員, 慶北大學校 電子工學科
(Dept. of Elec. Eng., Kyungpook Nat'l Univ.)

接受日字: 1989年 10月 10日

(※ 본 연구는 서울대학교 반도체공동연구소의 연구비 지원에 의해 수행한 것임)

로서, SOI island에 가해지는 열적인 stress를 크게 줄일 수 있다. 이를 위해 p형의 실리콘보다 양극반응 속도가 빠른 p⁺형의 실리콘층을 이용하여 n/p⁺/p형의 3층구조 FIPOS-SOI를 제조하였다. p(100), 저항율이 25-50Ω·cm인 실리콘 기판위에 Boron을 1200°C에서 40분간 확산하여 5μm 두께의 p⁺층을 형성시키고, n실리콘 epi. 층을 3-4μm가량 성장시킨다. 이때 n실리콘층의 저항율은 11-12Ω·cm이다. 그리고 n층을 사진 식각법에 의하여 그림 1과 같이 KOH 수용액에 식각하고, 노출된 p⁺층을 다공질 실리콘으로 만든다. 이때 식각은 80°C에서 12분동안하여 5μm 깊이로 하였다. 그리고 48% HF, 50mA/cm²의 전류 밀도로 15분간 양극반응시키고, 950°C에서 60분간 열산화 하였다. 절연과피 및 van der Pauw소자의 특성측정을 위하여 SOI위에 알루미늄을 증착한 후, 450°C에서 30분간 annealing하였으며 전체공정은 표 1 및 그림 1과 같다.

그림 2는 n/p⁺/p구조 실리콘 기판을 이용하여 제조된 FIPOS-SOI를 45°경사로 단면연마한 단면의 400배 현미경 사진이며, 제조된 SOI island는 100μm의 폭과 3μm의 두께를 가진다. 그림 (a), (b), (c)는 반응의 진행과정을 나타낸다. (a)는 p⁺층이 완전히 반응되지않고 SOI층과 기판이 연결되어 있는 모양이고, (b)는 SOI층과 기판이 분리되는 모양이며, 중심부분에는 cusp가 남아있는 상태에서 아직 반응이 되지 않은 부위가 남아 있음을 알 수 있다. (c)는 p⁺층이 완전히 반응하여 산화층이 되고 균일한 두께의

표 1. n/p⁺/p구조 시료의 FIPOS-SOI제조공정
Table 1. FIPOS-SOI process of the n/p⁺/p sample.

Sample Proc.	n/p ⁺ /p
Sub.	p(100), ρ = 25-50Ω·cm
p ⁺ dif.	1200°C, 40min. R _s = 11.0 Ω/□, t = 4.9μm
n epi.	ρ = 11-12Ω·cm, t = 3-3.5μm
n etch.	depth : 5μm KOH, 80°C, 12min.
PSL	48% HF, 50mA/cm ² 15min.
PSL oxi.	135°C, 30min. dry in air 950°C, 60min. dry O ₂
Al metal.	Thermal evapor., t = 5000Å, 450°C, 30min.

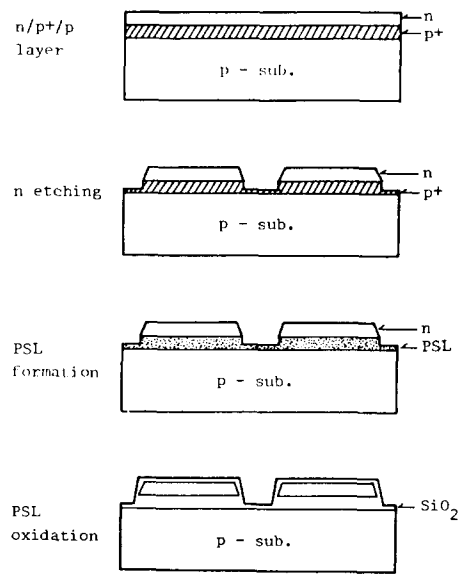


그림 1. n/p⁺/p구조 시료의 FIPOS-SOI 제조공정
Fig 1. FIPOS-SOI process of the n/p⁺/p sample.

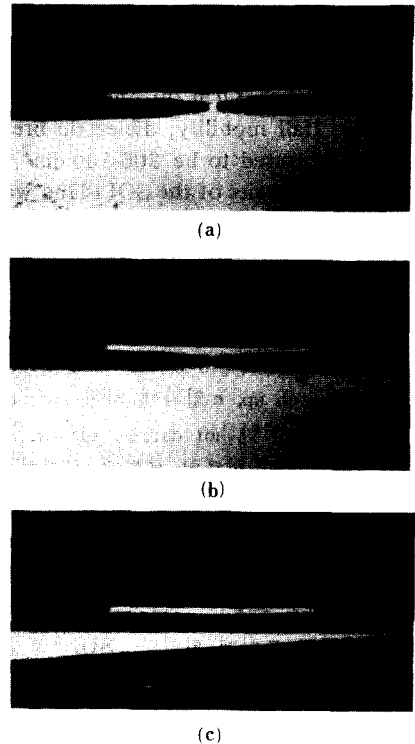


그림 2. n/p⁺/p구조의 현미경사진
(45° angle-lapped, ×400, w=100μm)
Fig. 2. Optical micrograph of the n/p⁺/p sample.
(45° angle-lapped, ×400, w=100μm)

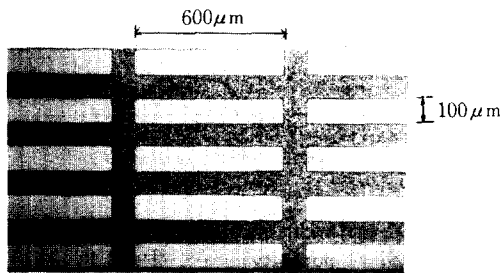
실리콘 산화층을 갖는 SOI로 변화된 모양이다. 아래에 밝게 나타나는 부분이 p형의 실리콘 기판이고, 검게 나타나는 부분이 실리콘 산화층이며, 그 위에 밝게 나타나는 부분이 n형의 island이다.

그림 3은 제조된 FIPOS-SOI의 표면사진이다. SOI의 크기는 두께 3μm, 폭 100μm 그리고 길이 600μm이며 Hall소자와 van der Pauw소자를 포함하고 있다.

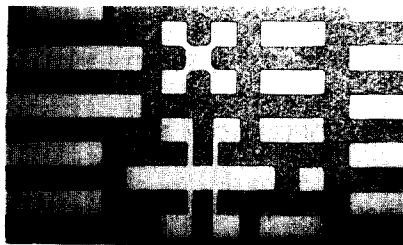
그림 4는 시편을 45°로 단면 연마하여 경사지게 촬영한 420배 SEM사진이다. 5μm두께의 실리콘 산화층 위에 n형의 SOI가 형성되어 있는 것이 보인다.

III. FIPOS-SOI의 균질성 개선

실리콘 표면이 다공질화하는 현상은 반응초기에 표면의 결함을 통하여 etching이 시작되어 전류통로가 형성되므로 넓은 웨이퍼 전면을 양극반응시킬때, 표면결함이 균질하게 분포되어 있지않은 경우에는 균질한 PSL을 얻기가 어렵다. 이러한 문제를 제거하기 위하여 웨이퍼 표면을 sputtering시켜 의도적으로 기관 표면에 수 백 Å 크기의 pits를 형성시킨 후, 양극반응 시키는 방법을 시도하였다. 그림5는 sputtering하여 pits를 형성시킨 웨이퍼의 표면 SEM사진이다. 이때 sputtering조건은 Ar, 300mtorr, 140W, 1min.이다.



(a)



(b)

그림 3. FIPOS-SOI의 사진(×400)
Fig. 3. Optical micrograph of FIPOS-SOI.(×400)

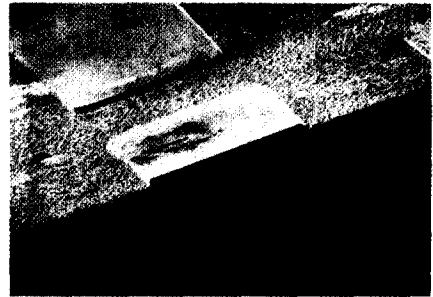


그림 4. n/p⁺/p구조 FIPOS-SOI의 SEM사진 (45° angle-lapped, ×420)
Fig. 4. SEM micrograph of the n/p⁺/p structure FIPOS-SOI. (45° angle-lapped, ×420)

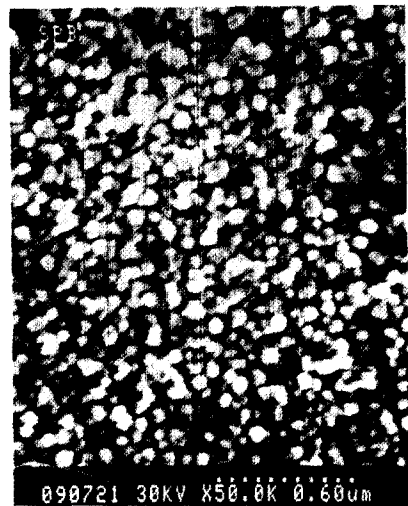
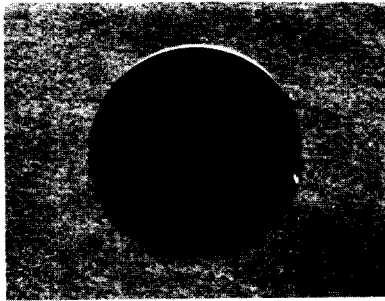


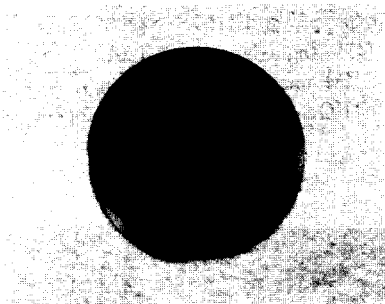
그림 5. Ar sputtering된 웨이퍼의 표면 SEM사진
Fig. 5. SEM micrograph of Ar sputtered samples.

그림6은 PSL이 형성된 웨이퍼의 표면사진이다. (a)는 sputtering하지 않은 경면 시편의 경우이고, (b)는 sputtering된 시편의 경우이다. 이때 PSL의 형성 조건은 HF농도 48%, 정전류밀도 50mA/cm², 반응 시간 4분이다. sputtering 한 시편의 경우 육안에 의해서도 표면 균질성이 현저히 개선된 것을 확인할 수 있었으며 단면 조사에서도 PSL의 두께가 균질해짐을 알 수 있었다.

그림 7은 그림 6의 시편표면을 확대 촬영한 SEM 사진이다. 경면 시편의 경우 (a)와 같이 PSL화 되지



(a)



(b)

그림 6. PSL이 형성된 웨이퍼의 표면사진

- (a) 경면 시편
- (b) 스퍼터링한 시편

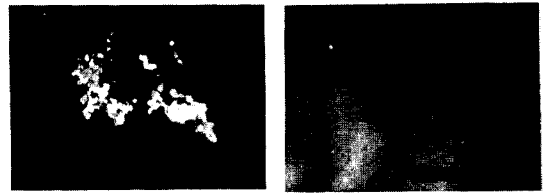
Fig. 6. Surface photograph of fabricated PSL.

- (a) mirror surface sample.
- (b) sputtered sample.

얇고 남아있는 실리콘 덩어리가 산재해 있는 것이 발견되었고, sputtering한 시편의 경우는 그림 (b)와같이 실리콘 덩어리의 크기가 훨씬 작아짐을 볼 수 있다. 이렇게 PSL화 되지않고 남아있는 실리콘 덩어리는 PSL을 산화시킬때 stress를 일으키는 요인이 된다.

웨이퍼의 표면을 sputtering하고 PSL을 형성하는 경우에, 경면 시편에 비해 그 반응속도와 기공도에 차이가 있음을 발견하였다. 그림 8은 반응전류밀도에 따른 기공도를 측정할 결과이며, sputtering한 시편의 경우(—)와 경면 시편의 경우(---)를 대비해 본 것이다. sputtering한 시편의 경우, 경면 시편에 비해 전체적으로 약 25% 가량의 기공도가 있음을 알 수 있다.

이 방법을 이용하면 불순물 농도가 낮은 p형 실리콘을 이용하여 FIPOS-SOI를 만들때, 최적 기공도인 56%까지 기공도를 높이는 문제를 동시에 해결할 수 있다.



(a)

(b)

그림 7. PSL이 형성된 웨이퍼의 표면 SEM사진 ($\times 5,000$)

- (a) 경면 시편
- (b) 스퍼터링한 시편

Fig. 7. SEM micrograph of fabricated PSL.

($\times 5,000$)

- (a) mirror surface sample.
- (b) sputtered sample.

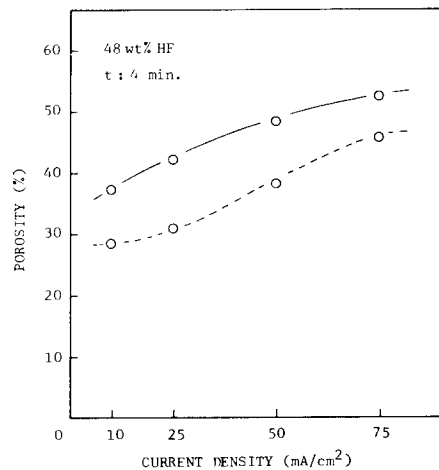


그림 8. Ar sputtering한 시편의 전류밀도에 대한 PSL의 porosity(--- : 경면시편, — : 스퍼터링한 시편)

Fig. 8. Porosity of the sputtered sample compared to the mirror surface. (--- : mirror surface sample, — : sputtered sample)

IV. FIPOS-SOI의 특성

1. 항복전압 및 누설전류

n/p⁺/p구조의 실리콘 웨이퍼를 이용하여 제조된 SOI 시편을 사용하여, 매물 절연층의 절연 특성을 조사하였다. SOI의 n실리콘층과 기판사이에 고전압을 인가하여, 산화된 PSL인 OPSL(Oxidized Porous Silicon Layer)의 항복전압을 측정하였다. n형 실리콘

island의 두께는 3 μm 이고, 실리콘 산화층의 두께는 5 μm 이다. 증착된 알루미늄전극과의 접촉은 microprobe를 사용하였으며 그때의 항복전압은 Kokuyo Ms-3F 절연파괴 측정기를 사용하여 측정하였다. 그림 9는 20개의 SOI시료에 대해 측정된 항복전계 분포를 도시한 것이다. 측정 전계는 1-2 MV/cm범위에 존재하며, 1.6MV/cm정도의 평균값을 갖는다. 이는 bulk실리콘 열산화막의 절연강도(6-9 MV/cm)에 비해 1/4정도의 값이다.

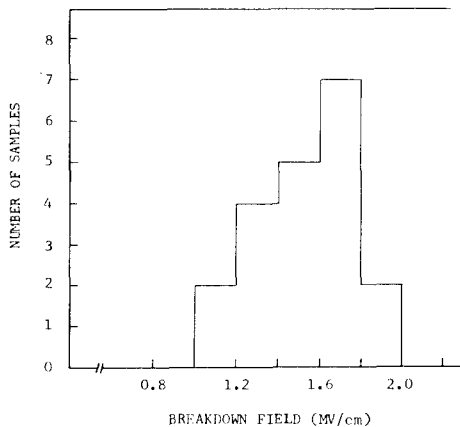


그림 9. SOI의 항복전계
Fig. 9. Breakdown field of SOI island.

간격이 100 μm 이고, 길이가 600 μm 인 인접한 두 SOI island 사이의 누설전류를 측정하였다. 0-50V 전압 범위에서 수십 pA정도의 표면누설전류를 나타내었으며 이 표면누설전류는 측정분위기의 습도 및 시편의 오염상태에 크게 의존하는 것으로 판단된다. 측정에 사용된 기기는 HP 4145 semiconductor parameter analyzer와 microprobe station이다.

2. van der Pauw 측정

그림 3의 FIPOS-SOI 시편의 van der Pauw 소자를 이용하여 SOI층의 저항율을 측정하였다. 측정된 van der Pauw소자의 저항율은 11.1-11.8 $\Omega\cdot\text{cm}$ 로, 초기시료의 제조과정에서 측정된 n epi. 층 저항율은 11-12 $\Omega\cdot\text{cm}$ 와 아주 잘 일치하여 특성이 원래의 실리콘 epi. 층과 거의 동일함을 알 수 있다.

van der Pauw소자에 자장을 인가하여 줌으로써, Hall효과에 의한 Hall이동도를 구할 수 있다. 측정된 전자의 Hall이동도는 400 $\text{cm}^2/\text{V}\cdot\text{sec}$ 정도의 평균값을 가지며, 시편에 따라 300-500 $\text{cm}^2/\text{V}\cdot\text{sec}$ 정도의 이동도를 나타내었다.

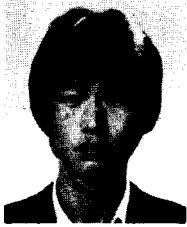
V. 결 론

n/p⁺/p다층구조의 실리콘을 이용하여, 수 μm 정도의 얇은 매몰 산화층을 갖는 FIPOS-SOI를 제조하였다. 제조된 SOI의 폭은 100 μm 이고, 두께는 3 μm , 길이는 600 μm 이다. 제조된 시편의 항복전계는 1-2 MV/cm정도로, 실리콘 산화막의 1/4정도 나타나지만, 소자간의 절연에는 좋은 특성을 나타낸다. 그리고, 전자의 Hall이동도가 300-500 $\text{cm}^2/\text{V}\cdot\text{sec}$ 로 측정되었으며, 저항율은 제조전의 n형 실리콘 저항율과 일치하였다. 또 island간의 누설전류도 10-50pA로 양호한 결과를 얻었다. 웨이퍼의 전면을 PSL화 할때 나타나는 비균질성 문제를 해결하기 위해 웨이퍼의 표면을 Ar sputtering시켜 양극반응시켰다. 양극반응 후 PSL 균질성의 현저한 개선과 25%의 기공도 증가를 얻을 수 있었다.

參 考 文 獻

- [1] Hon Wai Lam, "Silicon on insulating substrates-recent advances," IEDM 83, pp. 384-351, 1983.
- [2] Yoichi Akasaka, "Three-dimensional IC trends," *Proceeding of the IEEE*, vol. 74, no. 12, pp. 1703-1714, 1986.
- [3] Y. Watanabe, Y. Arita, T. Yoksyama, Y. Igarashi, "Formation and properties of porous silicon and its application," *J. Electrochem. Soc.*, vol. 122, no. 10, pp. 1351-1355, 1975.
- [4] Jong-ug Shin, Kwang-don Choi, Jong-Hyun Lee, Byung-Ki Shon, "The influence of HF concentration, current density, reaction time and initial surface condition on the formation of porous silicon," *Proceeding of KIEE Fall Conference 87*, vol. 10, no. 1, pp. 436-439, 1987.
- [5] L.A. Nesbit, "Advances in oxidized porous silicon for SOI," *IEEE, IEDM 84*, pp. 800-803, 1984.

 著 者 紹 介



梁 天 淳 (正會員)

1959년 1월 5일생, 1985년 2월 경북대학교 전자공학과 졸업. 1987년 2월 경북대학교 대학원 전자공학과 공학석사학위 취득.

1987년 3월~현재 경북대학교 대학원 박사과정 재학중. 주관심분

야는 반도체 공정기술 및 SOI 등임.

李 鍾 玄 (正會員) 第25卷 第11號 參照

현재 경북대학교 전자공학과 부교수