복합 BiCMOS 트랜지스터의 회로 분석 및 그로 구성된 차동 증폭기의 설계기법에 관한 연구

(A Study on the Circuit Analysis of Composite BiCMOS Transistor and the Design Methodology of BiCMOS Differential Amplifier)

宋 敏 圭,* 金 旻 奎,** 朴 成 晙,** 金 元 燦*
(Min Kyu Song, Min Kyu Kim, Sung Jun Park, and Won Chan Kim)

要 約

바이폴라 트랜지스터와 MOS 트랜지스터를 캐스케이드(cascade) 형태로 결합한 복합 BiCMOS 트랜지스터의 전류-전압 특성 및 소신호 등가 회로를 분석하고 그 특징을 고찰한다. 그 결과 MOS로 전류를 구동할 때보다 구동능력이 월등히 커지며 바이폴라에 비해 입구 전압의 변화 범위를 넓힐 수 있다. 그리고 제안한 방법을 이용, 차동 증폭기(differential amplifier)를 설계하고 CMOS만으로 회로를 설계할 때와 바이폴라만으로 회로를 설계할 때를 비교, 검토한다. 복합 BiCMOS트랜지스터를 사용함으로써 CMOS 트랜지스터만으로 회로를 설계할 때보다 구동 능력이 좋아지며 바이폴라 트랜지터만으로 회로를 설계할 때보다 선형 영역이 커진다.

Abstract

In this paper, the composite BiCMOS transistor which combines a bipolar transistor and a MOS transistor in a cascade type, is analyzed in terms of I-V characteristics and small signal equivalent circuit. As a result, it has a larger driving capability than MOS transistor and a more extended range of input voltage than bipolar transistor. Next, a BiCMOS differential amplifier as its application example is designed and compared with the CMOS one and the bipolar one. It increases the driving capability of the CMOS differential amp and improves the linear operation region of the bipolar differential amp.

I. 서 론

집적 회로 기술의 발전으로 MOS 트랜지스터와 바이폴라 트랜지스터를 결합하여 만든 BiCMOS가 출현하게 되었으며 그 고집적화 및 고성능화로 BiCMOS로 만든 시스템이 널리 쓰이게 되었다.[1]-[5]

BiCMOS는 CMOS 트랜지스터와 바이폴라 트랜지스터를 어떤 식으로 배치하느냐에 따라 그 형태가 다양하게 나타날 수 있어 어떤 시스템내에서 MOS와 바이폴라를 완전 분리시켜 subcircuit을 만든 후 결합시킬 수도 있으며 필요한 곳마다 적절하게 혼합하여 시스템을 설계할 수도 있다. 이것은 BiCMOS

**準會員, *正會員, 서울大學校 電子工學科
(Dept. of Elec. Eng., Seoul Nat'l Univ.)
接受日字 : 1989年 5月 4日

를 다양하게 쓸 수 있다는 장점이기도 하지만 정형화된 BiCMOS의 회로 설계기법을 세우기에는 어렵다는 단점이기도 하다. 그러나 BiCMOS 회로중에서 가장 많이 쓰이고 있는 형태는 MOS 트랜지스터와 바이폴라 트랜지스터를 캐스캐이드 형태로 연결하여 만든 그림 1과 같은 복합 트랜지스터로서의 성격을 갖는 BiCMOS 트랜지스터이다.[6] MOS 트랜지스터는 게이트 전류가 없고 높은 집적도를 가지며 공정이 단순하다는 장점을 지닌 반면 구동능력이 바이폴라에 비해 뒤떨어진다는 단점을 갖는다. 바이폴라 트랜지스터는 구동 능력은 크지만 항상 준비 상태의 전류가 있음으로 해서 전력 소모가 크고 집적도가 MOS에 비해 낮다는 단점을 지닌다. 따라서 이런 장-단점을 잘 이용한 것이 즉, MOS의 드레인 전류를 바이폴라 트랜지스터로 증폭시킴으로서 큰 구동능력을 갖게 하며 동시에 큰 전류, 전압 증폭도를 지니게 만든 것이 캐스캐이드 형태의 복합 BiCMOS 트랜지스터(composite BiCMOS transistor)이다. (이하 COBIC 트랜지스터로 표기) 따라서 그림 1과 같은 COBIC 트랜지스터의 전류-전압 특성 고찰 및 소신호 등가 회로 분석의 작업을 통해 정형화된 BiCMOS회로 설계 기법의 바탕을 제시할 수 있을 것으로 기대된다.

그리고 이를 토대로 하여 아날록 시스템의 기본적인 회로로서 이용 영역이 넓고 그 효용가치가 큰 COBIC 차동 증폭기를 설계한다. 본 논문에서는 COBIC으로 구성된 차동 증폭기를 설계하고 이를 기존의 CMOS 차동 증폭기 및 바이폴라 차동 증폭기와 비교함으로서 그 성능을 고찰하고자 한다.[7]

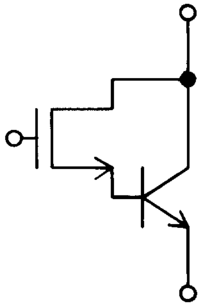


그림 1. 캐스캐이드 형태의 복합 BiCMOS 트랜지스터(COBIC)

Fig. 1. A cascade type composite BiCMOS transistor (COBIC)

II. COBIC 트랜지스터의 전류-전압 특성

세 개의 외부 단자를 갖는 COBIC 트랜지스터의 전류-전압 특성을 고찰한다. 논문의 간략화를 위해 pMOS 트랜지스터는 고려하지 않고 nMOS 트랜지스터에 제안하여 회로 분석을 한다. 그것은 pMOS 트랜지스터의 분석이 nMOS와 유사하므로 유추 해석이 가능하기 때문이다. 앞으로 쓰일 각 기호에 대한 정의는 다음과 같다.

$V_T(=\frac{k_B T}{q})$: 바이폴라 트랜지스터의 열 전압

β : 바이폴라 트랜지스터의 전류 증폭율

I_S : 바이폴라 트랜지스터의 포화 전류

$k(=k'\frac{W}{L})$: nMOS트랜지스터의 트랜스컨덕턴스

V_{T_n} : nMOS 트랜지스터의 문턱 전압

1. MOS가 포화 영역에서 동작할 때

MOS트랜지스터의 전류-전압 특성으로부터 게이트 전압이 드레인 전압과 문턱 전압을 합한 값보다 더 낮다면(즉, $V_{Tn} < V_{GS} < V_{DS} + V_{Tn}$) MOS는 포화 영역에서 동작한다. 이때의 전류식은

$$I_D = \frac{k}{2}(V_{GS} - V_{Tn})^2 \tag{1}$$

이다. 그리고 바이폴라 트랜지스터는 그림 2에서 보듯이 외부에서 강제적으로 전압을 인가하지 않는 이상 불포화 영역에서 동작하게 된다. 또 바이폴라 트랜지스터가 high level 영역에서 동작하지 않도록 한다면 그 때의 전류식은

$$I_C = I_S \exp(V_{BE}/V_T) \tag{2}$$

로 주어지게 되고 바이폴라 트랜지스터가 일정한 증폭율 β를 가질때 그림 2로부터 $I_B = I_D$ 이므로

$$I_{BIC} = I_C + I_D = \beta I_B + I_D = (\beta+1) I_D \tag{3}$$

을 얻게 된다. 따라서 입력 전압 V_{GE}에 대한 I_{BIC}의 변화를 살펴 볼 수가 있다. 식(3)에 식(1)을 대입하면

$$I_{BIC} = \frac{k}{2}(\beta+1)\ (V_{GS} - V_{Tn})^2 \tag{4}$$

이고 $V_{GS} = V_{GE} - V_{BE}$, $(\beta+1) \approx \beta$이므로

$$I_{BIC} = \frac{k}{2}\beta\,(V_{GE} - V_{BE} - V_{Tn})^2 \tag{5}$$

이다. 그림 2에서 $I_D = I_B = I_C/\beta$을 이용하면

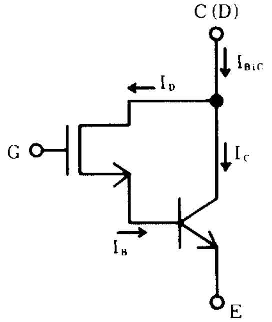


그림 2. COBIC 트랜지스터의 외부 단자 및 전류
Fig. 2. External nodes and currents of COBIC transistor

$$\frac{k}{2}(V_{GS}-V_{Tn})^2=\frac{I_S}{\beta}\exp(V_{BE}/V_T) \qquad (6)$$

에서

$$V_{BE}=V_T\ln\left[\frac{\beta k}{2I_s}(V_{GS}-V_{Tn})^2\right] \qquad (7)$$

을 얻는다. 식(7)을 식(5)에 대입하면

$$I_{BiC}=\frac{k}{2}(\beta+1)\left[V_{GE}-V_T\ln\left(\frac{\beta k}{2I_s}(V_{GE}-V_{BE}-V_{Tn})^2\right)-V_{Tn}\right]^2 \qquad (8)$$

이다. 이 때 식(8) logarithm안의 각 변수들의 일반적인 수치를 고찰해 보면

$$\frac{\beta k}{2I_s} \gg (V_{GE}-V_{BE}-V_{Tn})^2$$

이기 때문에 $V_{GE}-V_{BE}-V_{Tn}\approx V_{GE}$의 근사치를 이용해도 전체적인 값에는 큰 변화가 없다. 따라서 식(8)은 입력 전압V_{GE}에 대해 결과적으로 다음과 같이 나타난다.

$$I_{BiC}=\frac{k}{2}(\beta+1)\left[V_{GE}-V_{Tn}-V_T\ln\left(\frac{\beta k}{2I_s}V_{GE}^2\right)\right]^2 \qquad (9)$$

그리고 식(9)로부터 구동 능력을 좌우하는 트랜스컨덕턴스를 구해보면

$$g_{m,BiC}=\frac{\partial I_{BiC}}{\partial V_{GE}}=\sqrt{2k(\beta+1)I_{BiC}} \qquad (10)$$

이다. MOS의 트랜스컨덕턴스가

$$g_{m,MOS}=\sqrt{2kI_D} \qquad (11)$$

으로 주어지는 것과 비교해 보았을때 전류 크기가 같다면 전체 트랜스컨덕턴스는 COBIC트랜지스터의 경우가 $\sqrt{\beta}$ 배 만큼 증가된 값을 보이고 있다. 즉, 전류를 공급하는 능력에 있어 COBIC 트랜지스터가 기존의 MOS트랜지스터에 비해 우수함을 알 수 있다.

2. MOS가 선형영역에서 동작할 때

MOS가 선형영역에서 동작할 때는 그림 2로부터

$$I_D=\frac{k}{2}(2(V_{GS}-V_{Tn})V_{DS}-V_{DS}^2) \qquad (12)$$

이 된다. 이때 $V_{DS}\ll V_{GS}-V_{Tn}$이므로

$$I_D\approx k(V_{GS}-V_{Tn})V_{DS} \qquad (13)$$

이라고 할 수 있으며 $V_{GS}=V_{GE}-V_{BE}$, $V_{DS}=V_{CE}-V_{BE}$에서 $V_{GE}-V_{Tn}\gg V_{BE}$가 성립하기 때문에 식(13)은

$$I_D=k(V_{GE}-V_{Tn})(V_{CE}-V_{BE}) \qquad (14)$$

로 쓸 수 있다. 바이폴라 트랜지스터는 계속 능동영역에서 동작하므로

$$k(V_{GE}-V_{Tn})(V_{CE}-V_{BE})=\frac{I_s}{\beta}\exp(V_{BE}/V_T) \qquad (15)$$

이다. 식(15)에서 V_{BE}에 관한 식을 얻기 위해 양변에 log를 취하면

$$V_{BE}=V_T\ln\left(\frac{\beta k}{I_s}(V_{GE}-V_{Tn})(V_{CE}-V_{BE})\right) \qquad (16)$$

을 얻으며 이 때 앞 절에서와 마찬가지로 $\beta k/I_s\gg(V_{GE}-V_{Tn})(V_{CE}-V_{BE})$이기 때문에

$$(V_{GE}-V_{Tn})(V_{CE}-V_{BE})\approx V_{GE}V_{CE} \qquad (17)$$

로 쓸 수 있다. 따라서 식(14)는 식(16), 식(17)을 이용할 때 다음과 같이 된다.

$$I_D\approx k(V_{GE}-V_{Tn})\left[V_{CE}-V_T\ln\left(\frac{\beta k}{I_s}V_{GE}V_{CE}\right)\right] \qquad (18)$$

그러므로 MOS가 선형영역에서 동작할 때 전체 전류I_{BiC}은 입력 전압 V_{CE}, V_{GE}에 대해 다음과 같이 나타난다.

$$I_{BiC}=(\beta+1)I_D\approx k(\beta+1))(V_{GE}-V_{Tn})\left[V_{CE}-V_T\ln\left(\frac{\beta k}{I_s}V_{GE}V_{CE}\right)\right] \qquad (19)$$

3. 전류-전압 특성 곡선

앞에서 유도한 식들을 통해 전류-전압 특성 곡선을 그릴 수 있다. MOS가 포화영역에서 동작할때 식 (9)로부터

$$I_{BiC}=\frac{k}{2}(\beta+1)\left[V_{GE}-V_{Tn}-V_T\ln\left(\frac{\beta k}{2I_s}V_{GE}^2\right)\right]^2 \tag{9}$$

이며 MOS가 선형영역에서 동작할 때 식(19)로부터

$$I_{BiC}=(\beta+1)I_D\approx k(\beta+1)\left[(V_{GE}-V_{Tn})\left(V_{CE}-V_T\ln\left(\frac{\beta k}{I_s}V_{GE}V_{CE}\right)\right)\right] \tag{19}$$

이다. 식(9)와 식(19)에서 $V_{GE}>V_{Tn}+V_T\ln\beta k/2I_sV_{GE}^2]$ 이어야 하므로 $V_{GE}\geq 2V$인 전압에 대해서만 V_{CE} 와 I_{BiC}의 함수로 전류-전압 특성 곡선을 도식하기로 하며 MOS트랜지스터와 바이폴라 트랜지스터가 최적화된 상태에서 동작한다는 조건하에 다음과 같은 공정 변수를 사용한다.

$\beta=100$, $I_s=3\times10^{-16}A$, $k=10.2\times10^{-6}\ A/V^2$, $V_{Tn}=0.7V$

그림 3에서 전류-전압 특성곡선의 도식은 C-언어를 이용한 프로그램으로 수행하였고(부록참조) 그 출력은 그래픽 에디터인 AUTOCAD로 나타내었다. 이 때의 특성 곡선은 부가적인 2차 효과를 무시한 이상적인 곡선이다. 그림 4에는 앞에서 쓰인 공정 변수와 똑같은 값을 갖는 MOS트랜지스터 및 바이폴라 트랜지스터 각각의 이상적인 전류전압 특성 곡선을 도식하였다. 그림3,4로부터 같은 입구 전압이 인가되었을때 COBIC트랜지스터가 MOS트랜지스터에 비해 5배이상의 전류 공급 능력을 가지며 바이폴라 트랜지스터의 전류 공급 능력에 거의 근접하고 있음을 알 수 있다. 따라서 $(V_{Tn}+0.7)V$에서 전체 공급 전압까지의 입구 전압 변화 범위를 갖는 COBIC 트랜지스터는 입구 전압이 0.7V에서 0.8V 일때만 증폭 특성을 갖는 바이폴라 트랜지스터의 단점을 보완하는 동시에 전류 구동 능력을 MOS 트랜지스터에 비해 월등히 높일 수 있다.

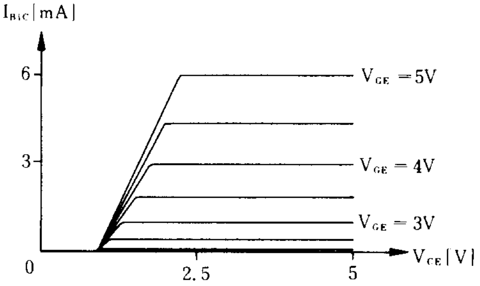


그림 3. COBIC 트랜지스터의 이상적인 전류-전압 특성

Fig. 3. Ideal I-V characteristics of COBIC transistor

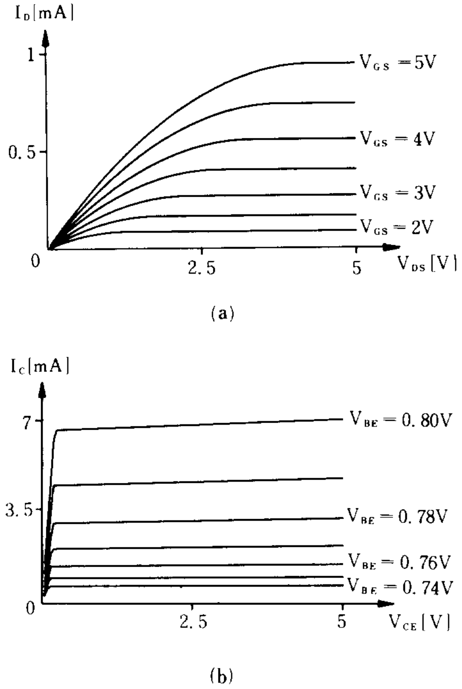


그림 4. MOS 트랜지스터와 바이폴라 트랜지스터의 이상적인 전류-전압 특성
(a) MOS 트랜지스터
(b) 바이폴라 트랜지스터

Fig. 4. Ideal I-V characteristics of MOS transistor and bipoalar transistor.
(a) MOS transistor.
(b) bipolar transistor.

Ⅲ. 소신호 등가 회로

트랜지스터로 기본적인 회로를 만들었을때, 작은 입력 신호에 대한 소신호 모델링 작업은 중요하다. 특히 COBIC 트랜지스터 회로를 설계하는데 있어서 소신호 등가 모델이 어떤 형태로 나타나는지에 대한

지식은 회로 동작의 분석을 가능하게 해 준다. 소신호 등가 모델은 그 회로의 구성에 따라 각각 다르게 나타나기 때문에 본 논문에서는 그림 5 (a) 와 같은 주파수에 대해 무관하며 기생소자를 갖지 않는 이상적인 에미터 접지 회로에 대해서만 분석한다. 기존의 MOS와 바이폴라 트랜지스터의 소신호 등가 모델을 사용하여 그림 5 (b) 와 같은 등가 회로를 생각할 수 있다. 그림에서의 각 기호는 다음과 같이 정의한다.

g_{m1} : MOS트랜지스터의 트랜스컨덕턴스
g_{m2} : 바이폴라 트랜지스터의 트랜스컨덕턴스
r_d : MOS트랜지스터의 출구 임피던스
r_π : 바이폴라 트랜지스터의 입구 임피던스
r_o : 바이폴라 트랜지스터의 출구 임피던스
R_L : 부하 저항

일반적인 MOS의 소신호 등가모델은 트랜스컨덕턴스와 출구 임피던스만으로 표기한다. COBIC 트랜지스터는 MOS 트랜지스터와 같은 형태의 소신호 모델을 갖는다고 생각할 수 있으므로 그림 5 (b) 를 간략화 시킬 수 있으며 이 절에서는 그 방법을 연구한다. 먼저 전체적인 전압증폭도부터 구해 본다. 전압 증폭도 A_v는

$$A_v = \frac{V_o}{V_{GE}} = \frac{V_o}{V_1 + V_2} \tag{20}$$

이다. 그림 5 (b) 로부터

$$i_1 = \frac{V_o - V_2}{r_d} \tag{21}$$

$$i_2 = \frac{V_2}{r_\pi} = g_{m1}V_1 + i_1 \tag{22}$$

$$i_3 = \frac{V_o}{r_o // R_L} \tag{23}$$

$$i_4 = i_2 = -g_{m2}V_2 - i_3 \tag{24}$$

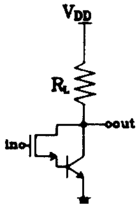
을 얻고 식 (21)를 식 (22)에, 식 (23)를 식 (24)에 각각 대입하여 정리하면

$$\begin{bmatrix} -g_{m1} & \frac{1}{r_\pi} + \frac{1}{r_d} \\ g_{m1} & g_{m2} - \frac{1}{r_d} \end{bmatrix} \begin{bmatrix} V_1 \\ V_2 \end{bmatrix} = \begin{bmatrix} \frac{1}{r_d} \\ -\frac{1}{r_o // R_L} - \frac{1}{r_d} \end{bmatrix} V_o \tag{25}$$

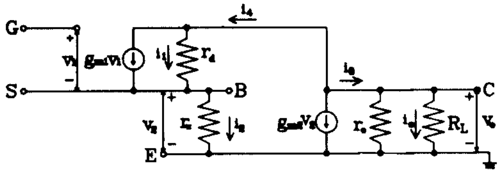
을 얻는다. 이 때

$$\frac{1}{r_\pi} = g_\pi,\ \frac{1}{r_d} = g_d,\ \frac{1}{r_o // R_L} = g_o \tag{26}$$

로 각각 정의하면 식 (25)는



(a)



(b)

그림 5. 에미터 접지 회로와 소신호 등가 회로
(a) 에미터 접지회로
(b) 소신호 등가 회로

Fig. 5. Common emitter circuit and its small signal equivalent circuit.
(a) common emitter circuit.
(b) small signal equivalent circuit.

$$\begin{bmatrix} -g_{m1} & g_\pi + g_d \\ g_{m1} & g_{m2} - g_d \end{bmatrix} \begin{bmatrix} V_1 \\ V_2 \end{bmatrix} = \begin{bmatrix} g_d \\ -g_o - g_d \end{bmatrix} V_o \tag{27}$$

으로 간략화되고 Cramer's Rule를 사용하면

$$V_1 = \frac{g_d(g_{m2} + g_\pi + g_o) + g_\pi g_o}{-g_{m1}(g_{m2} + g_\pi)} V_o \tag{28}$$

$$V_2 = \frac{g_{m1} g_o}{-g_{m1}(g_{m2} + g_\pi)} V_o \tag{29}$$

을 얻는다. 이제 A_v를 구하면

$$A_v = \frac{V_o}{V_1 + V_2} = \frac{-g_{m1}(g_{m2} + g_\pi)}{g_{m1}g_o + g_{m2}g_d + g_\pi g_d + g_o g_d + g_\pi g_o} \tag{30}$$

이다. 이때 $r_\pi \gg 10^3 \Omega$ 이므로 $g_\pi \ll g_{m2}$, $g_\pi \ll g_d$ 이다. 따라서 식 (30)은

$$A_v \approx \frac{-g_{m1}g_{m2}}{g_{m1}g_o + g_{m2}g_d + g_o g_d} \approx -\frac{r_o r_d R_L g_{m1} g_{m2}}{(r_o + R_L)(g_{m1} r_d + 1)\ g_{m2} r_o R_L} \tag{31}$$

을 얻을 수 있다.

지금부터는 소신호 등가 회로에 필요한 또 하나의 변수인 출구 임피던스를 구하고자 한다. 출구 임피던스는 입력 전압이 0일때 부하 저항 R_L에 흐르는 전류와 전압의 비로서 표현될 수 있다. 그림 5(b)에서 $V_1+V_2=0$이고 식 (24)를

$$i_4=i_2=-g_{m2}V_2+i_0-\frac{V_0}{r_0} \tag{32}$$

와 같이 표현하면 $V_1=-V_2$이므로

$$\begin{bmatrix} g_{m1}+\frac{1}{r_\pi}+\frac{1}{r_d} & 0 \\ -g_{m2}-\frac{1}{r_\pi} & 1 \end{bmatrix} \begin{bmatrix} V_2 \\ i_0 \end{bmatrix} = \begin{bmatrix} \frac{1}{r_d} \\ \frac{1}{r_0} \end{bmatrix} V_0 \tag{33}$$

와 같이 되고 식 (26)의 표현을 쓰면(단, $r_0=g_0'$) 식 (33)은

$$\begin{bmatrix} g_{m1}+g_\pi+g_d & 0 \\ -g_{m2}-g_\pi & 1 \end{bmatrix} \begin{bmatrix} V_2 \\ i_0 \end{bmatrix} = \begin{bmatrix} g_d \\ g_0' \end{bmatrix} V_0 \tag{34}$$

이 되고 Cramer's Rule을 이용하여 i_0를 구하면

$$i_0=\frac{(g_{m1}+g_\pi+g_d)g_0'+g_d(g_{m2}+g_\pi)}{g_{m1}+g_d+g_\pi}V_0 \tag{35}$$

이다. 식 (30)에서처럼 근사값을 쓰면 식 (35)는

$$i_0\approx\left(g_0'+\frac{g_dg_{m2}}{g_{m1}+g_d}\right)V_0 \tag{36}$$

이다. 따라서 출구 임피던스 r_{out}은

$$r_{out}=\frac{V_0}{i_0}\approx r_0\frac{g_{m1}r_d+1}{g_{m1}r_d+g_{m2}r_0+1} \tag{37}$$

을 얻을 수 있으며 이 값은 바이폴라 트랜지스터의 출구 임피던스보다 작은 크기이다. 식 (10)에서 구한 COBIC의 트랜스컨덕턴스와 식 (37)을 이용하여 소신호 등가 회로를 그림 6처럼 도식할 수 있다.

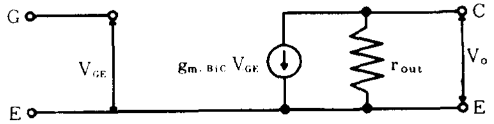


그림 6. COBIC의 소신호 등가 회로
Fig. 6. Small signal equivalent circuit of COBIC.

그림 6의 변수를 정리하면 다음과 같다.

$$g_{m,BIC}=\sqrt{2_k(\beta+1)I_{BIC}} \tag{10}$$

$$r_{out}=r_0\frac{g_{m1}r_d+1}{g_{m1}r_d+g_{m2}r_0+1} \tag{37}$$

$$A_v\approx-\frac{r_0r_dR_Lg_{m1}g_{m2}}{(r_0+R_L)(g_{m1}r_d+1)+g_{m2}r_0R_L} \tag{31}$$

일반적인 MOS의 전압 증폭도가 $A_v=-g_{m1}R_L$로나타나는데 비해 식 (31)의 A_v는 MOS의 전압 증폭도보다 크다. 또한 식 (37)의 출구 임피던스도 바이폴라 트랜지스터의 그것보다 작기 때문에 다음 단에 회로를 연결할 때 유리함을 알 수 있다.

Ⅳ. 차동 증폭기의 설계

아날로그회로중에서 널리 사용되고 있는 차동 증폭기를 COBIC 트랜지스터를 이용하여 설계한다. 그리고 같은 공정 변수를 갖는 CMOS 차동 증폭기와 바이폴라 차동 증폭기를 COBIC 차동 증폭기와 각각 비교, 검토함으로서 COBIC을 통한 회로 설계의 기법을 제시한다.

그림 7에 COBIC 트랜지스터를 이용한 차동 증폭기의 회로가 나타나 있다.

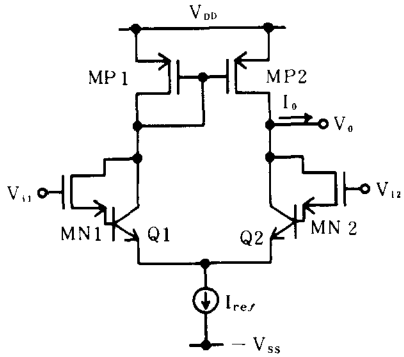


그림 7. COBIC 트랜지스터를 이용한 차동 증폭기
Fig. 7. Differential Amplifier using COBIC transistor

MOS 트랜지스터로 차동 증폭기를 설계할 때는 일반적으로 MOS 트랜지스터가 포화 영역에서 동작하도록 설계한다. 따라서 그림7의 MP1, MP2, MN1 MN2가 모두 포화 영역에서 동작하므로

$$I_{DP1}=\frac{k_{P1}}{2}(V_{SG1}-V_{TP1})^2 \tag{38}$$

$$I_{DP2}=\frac{k_{P2}}{2}(V_{SG2}-V_{TP2})^2 \tag{39}$$

$$I_{BiC1}=\frac{k_{n1}}{2}(\beta_1+1)\left[V_{GE1}-V_{Tn1}-V_T\ln\left(\frac{\beta_1 k_{n1}}{2I_{S1}}V_{GE1}^2\right)\right]^2 \tag{40}$$

$$I_{BiC2}=\frac{k_{n2}}{2}(\beta_2+1)\left[V_{GE2}-V_{Tn2}-V_T\ln\left(\frac{\beta_2 k_{n2}}{2I_{S2}}V_{GE2}^2\right)\right]^2 \tag{41}$$

가 된다. 이 때 MP1과 MP2, Q1과 Q2, MN1과 MN2가 각각 같은 트랜지스터라면 $k_{P1}=k_{P2}=k_P$, $k_{n1}=k_{n2}=k_n$, $V_{TP2}=V_{TP2}=V_{TP}$, $V_{Tn1}=V_{Tn2}=V_{Tn}$, $\beta_1=\beta_2=\beta$, $I_{S1}=I_{S2}=I_S$가 성립한다. 그리고 그림 7에서 MP1과 MP2가 전류 반복기이므로

$$I_o=\frac{k_n}{2}(\beta+1)\left[\left\{V_{GE1}-V_{Tn}-V_T\ln\left(\frac{\beta k_n}{2I_S}V_{GE1}^2\right)\right\}^2-\left\{V_{GE2}-V_{Tn}-V_T\ln\left(\frac{\beta k_n}{2I_S}V_{GE2}^2\right)\right\}^2\right] \tag{42}$$

이 성립한다. 여기서 $V_{GE1}=V_{i1}-V_{ref}$, $V_{GE2}=V_{i2}-V_{ref}$이고

$$\ln\left(\frac{\beta k_n}{2I_S}V_{GE1}^2\right)=\ln\left(\frac{\beta k_n}{2I_S}(V_{i1}-V_{ref})^2\right) \tag{43}$$

에서 $\beta k/2I_S \gg (V_{i1}-V_{ref})^2$이기 때문에 입력 전압에 대해 식(43)은 거의 영향을 받지 않는다. 즉, 식(43)은 일정 상수라고 보아도 무방하다. 따라서

$$\ln\left(\frac{\beta k}{2I_S}V_{GE1}^2\right)\approx\ln\left(\frac{\beta k}{2I_S}V_{ref}^2\right) \tag{44}$$

이 되고, 마찬가지로

$$\ln\left(\frac{\beta k}{2I_S}V_{GE2}^2\right)\approx\ln\left(\frac{\beta k}{2I_S}V_{ref}^2\right) \tag{45}$$

이 된다. 식(44)와 식(45)를 식(42)에 대입하면

$$I_o=\frac{k_n}{2}(\beta+1)\left[V_{i1}+V_{i2}-2V_{ref}-2V_{Tn}-2V_T\ln\left(\frac{\beta k_n}{2I_S}V_{ref}^2\right)\right](V_{i1}-V_{i2}) \tag{46}$$

을 얻는다. 이때 $I_{BiC1}+I_{BiC2}=I_{ref}$이므로

$$I_{ref}=\frac{k_n}{2}(\beta+1)\left\{V_{i1}-V_{ref}-V_T\ln\left(\frac{\beta k_n}{2I_S}V_{ref}^2\right)-V_{Tn}\right\}^2+\frac{k_n}{2}(\beta+1)\left\{V_{i2}-V_{ref}-V_T\ln\left(\frac{\beta k_n}{2I_S}V_{ref}^2\right)-V_{Tn}\right\}^2 \tag{47}$$

에서 V_{ref}에 대해 풀면

$$V_{ref}=\frac{1}{2}\left\{V_{i1}+V_{i2}-2V_T\ln\left(\frac{\beta k_n}{2I_S}V_{ref}^2\right)-2V_{Tn}\right\}-\frac{1}{2}\left\{\frac{4I_{ref}}{k_n(\beta+1)}-(V_{i1}-V_{i2})^2\right\}^{\frac{1}{2}} \tag{48}$$

의 값을 취할 수 있다. 식(48)을 식(46)에 대입하여 간단히 정리하면

$$I_o=\frac{k_n(\beta+1)}{2}\left\{\frac{4I_{ref}}{k_n(\beta+1)}-(V_{i1}-V_{i2})^2\right\}^{\frac{1}{2}}(V_{i1}-V_{i2}) \tag{49}$$

이 되고 $V_{i1}-V_{i2}=V_{id}$라 정의할 때 식(49)는

$$I_o=\frac{k_n(\beta+1)}{2}\left\{\frac{4I_{ref}}{k_n(\beta+1)}-V_{id}^2\right\}^{\frac{1}{2}}V_{id} \tag{50}$$

와 같이 된다. 이 때

$$-\left\{\frac{4I_{ref}}{k_n(\beta+1)}\right\}^{\frac{1}{2}}<V_{id}<\left\{\frac{4I_{ref}}{k_n(\beta+1)}\right\}^{\frac{1}{2}} \tag{51}$$

을 만족해야 되며 $4I_{ref}/k_n(\beta+1)\gg V_{id}^2$일 때

$$I_o\approx\sqrt{k_n(\beta+1)I_{ref}}\,V_{id} \tag{52}$$

를 얻는다. V_{id}에 대한 I_o의 그래프를 도식하면 다음과 같다.

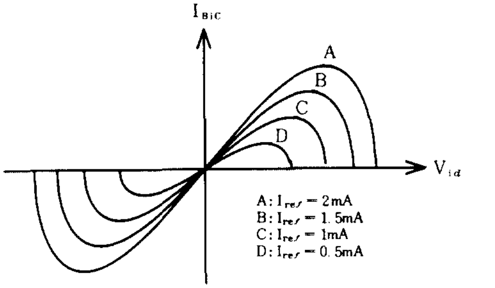
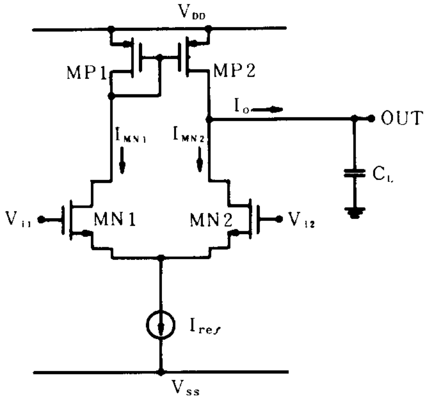


그림 8. 차동 증폭기의 전류-전압 특성
Fig. 8. I-V characteristics of Dfferential Amplifier

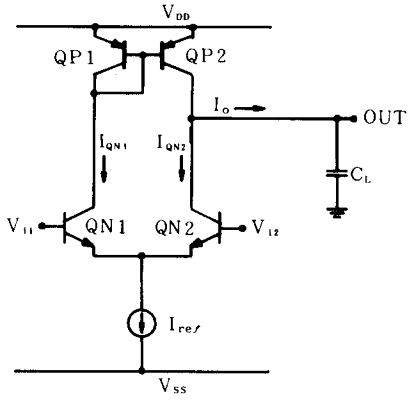
그림 9에는 CMOS 차동 증폭기와 바이폴라 차동 증폭기가 나타나 있다. 일반적으로 알려진 입구 전압에 대한 출구전류식은 다음과 같다.[8]

CMOS 차동 증폭기의 경우;

$$I_o=\frac{k_n}{2}\left[\frac{4I_{ref}}{k_n}-V_{id}^2\right]^{\frac{1}{2}}V_{id} \tag{53}$$



(a) CMOS로 구성된 차동 증폭기



(b) 바이폴라로 구성된 차동 증폭기

그림 9. 차동 증폭기
(a) CMOS로 구성된 차동 증폭기
(b) 바이폴라로 구성된 차동 증폭기

Fig. 9. Differential amplifier.
(a) CMOS differential amplifier.
(b) bipolar differential amplifier.

바이폴라 차동 증폭기의 경우;

$$I_o = \alpha_F I_{ref} \tanh(V_{id}/V_T) \quad (54)$$

식 (50), 식 (53), 식 (54)로부터 같은 I_{ref}을 취했을때 그림 10과 같은 특성 곡선을 얻을 수 있다.

그림 10으로부터 COBIC 차동 증폭기가 CMOS 차동 증폭기에 비해 구동능력면에 있어서 대략$\sqrt{\beta}$배 만큼 커지고 바이폴라 차동 증폭기보다는 선형영역을 2배이상 확장시킴을 보였다. 따라서 COBIC 차동 증폭기는 빠른 속도 및 넓은 선형영역을 필요로 하는 시스템에 적합하다.

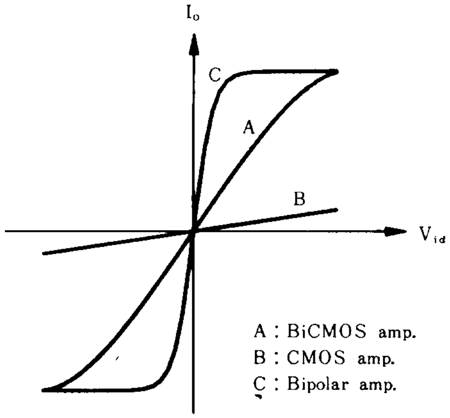


그림 10. 차동 증폭기의 입구 전압차에 따른 출구 전류식들의 비교

Fig. 10. The output currents as a function of input difference voltages.

V. 결 론

COBIC(composite BiCMOS) 트랜지스터의 전류-전압 특성 및 소신호 등가 회로 분석을 통해 그 특성을 고찰해 보았다. COBIC의 전류 구동 능력은 같은 입구 전압에 대해 MOS의 그것보다 5배 이상 우수하며 거의 바이폴라 트랜지스터의 수준에까지이른다. 또, MOS 트랜지스터에 쓰이는 넓은 입구 전압 변화 범위를 가질 수 있기 때문에 0.7V에서 0.8V의 입구 전압일 때만 동작하는 바이폴라 트랜지스터에 비해서도 유리한 점을 갖는다. COBIC 트랜지스터의 소신호 등가 회로의 장점으로는 MOS트랜지스터 보다 높은 트랜스컨덕턴스, 바이폴라 트랜지스터보다 낮은 출구 임피이던스를 들 수 있다. 그리고 COBIC 차동 증폭기가 CMOS 차동 증폭기의 구동능력을 $\sqrt{\beta}$배 만큼 증가시키고 바이폴라 차동 증폭기의 선형영역을 확장시킬 수 있어 고성능, 고속의 시스템에 유용하게 쓰일 수 있다.

그러나, COBIC 트랜지스터의 범용화를 위해서는 무엇보다도 간략화된 공정 기술의 개발이 선결 요건이라 할 수 있다. 따라서 회로 설계 기술의 개발과 더불어 공정 기술의 활발한 연구가 앞으로도 계속 수행되어야 할 것으로 믿는다.

부　　록

전류-전압 특성곡선 C-언어 프로그램

```
#include <stdio.h>
#include <math.h>

#define sqr(a) ((a)*(a))

#define max(a,b) ((a)>(b)) ? (a) : (b)
#define min(a,b) ((a)<(b)) ? (a) : (b)

#define Xscrn    50
#define Yscrn    30

#define VgeCount     7
#define VceCount     100

double B=100;
double Is=3E-18;
double k=10.2E-6;
double Vtn=0.7;
double Vt=0.026;
double Xfactor,Yfactor;
double  Vge,Vce,Ibic[VgeCount][VceCount];

CalcIbic()
{
        int i,j;
        double cross;
        double c;

        c=B*k/(2.0*Is);
        Vge=1.5;                /* initialization of Vge */
        for(i=0;i<VgeCount;i++){
                Vge+=0.5;
                Vce=0;          /* initialization of Vce */
                for(j=0;j<VceCount;j++){
                        Vce+=0.05;
                        Ibic[i][j]=(B+1)/2*k*sqr(Vge-Vtn-Vt*log(c*sqr(Vge)));
                        cross=(B+1)*k*(Vge-Vtn)*(Vce-Vt*log(c*Vce*Vge));
                        if (cross<Ibic[i][j])    Ibic[i][j]=cross;
                        if (Ibic[i][j]<0)        Ibic[i][j]=0;
                }
        }
}



WriteFile()
{
        FILE    *ofile;
        int     i,j;

        ofile=fopen("ivchar.scr","w");
        fprintf(ofile,"l \n");
        for(i=0;i<VgeCount;i++){
                Vce=0;          /* initialization of Vce */
                fprintf(ofile,"pline\n");
                for(j=0;j<VceCount;j++){
                        Vce+=0.05;
                        fprintf(ofile,"%lf,%lf\n",Xfactor*Vce,Yfactor*Ibic[i][j]);
                }
                fprintf(ofile,"\n");
        }
        fclose(ofile);
}

Normal()
{
        int i,j;
        double  IbicMax,IbicMin;

        IbicMax=IbicMin=Ibic[0][0];
        for(i=0;i<VgeCount;i++){
                for(j=0;j<VceCount;j++){
                        IbicMax=max(IbicMax,Ibic[i][j]);
                        IbicMin=min(IbicMin,Ibic[i][j]);
                }
        }
        Xfactor=(double)Xscrn/(double)5;
        Yfactor=(double)Yscrn/(IbicMax-IbicMin);
}

main()
{
        CalcIbic();
        Normal();
        WriteFile();

        exit(0);
}
```

參 考 文 獻

[1] K. Ogiue, M. Odaka, S. Miyaoka, I. Masuda, T. Ikeda, and K. Tonomur, "13-ns, 500-mW, 64kbit ECL RAM using HI-BiCMOS Technology," *IEEE J. Solid-State Circuits,* vol. SC-21, pp. 681-685, Oct., 1986.

[2] C. Kitsukawa, R. Hri, Y. Kawajiri, T. Watanabe, T. Kawahara, K Itoh, Y. Kobayashi, M. Oohayashi, K. Asayama, T. Ikeda, and H. Kawamoto, "An Experimental 1-Mbit BiCMOS RAM," *IEEE J. Solid-State Circuits,* vol. SC-22, pp. 657-662, Oct., 1987.

[3] J. Miyamoto, S. Saito, H. Momose, H. Shibata, K. Kanzaki, and T. Iizuka, "A High-Speed 64K CMOS RAM with Bipolar Sense Amplifiers," *IEEE J. Solid-State Circuits,* vol. SC-19, pp. 557-563, Oct., 1984.

[4] 송민규, 이병호, 김원찬, "새로운 형태의 Bi-CMOS구동회로," 대한전자공학회, vol. 26, pp. 102-111, 1989년 2월

[5] H.J. Santo and B. Hoefflinger, "Optimization and scaling of CMOS-bipolar drivers for VLSI interconnects," *IEEE Trans. Electron Devices,* vol. ED-33, pp. 1722-1730, Nov., 1986.

[6] M.S. Adler, "A comparison between Bi-CMOS device types," *IEEE Trans. Electron Devices,* vol. ED-33, pp. 286-293, Feb., 1986.

[7] 송민규, "연산 증폭기의 설계 기법에 관한 연구," 서울 대학교 대학원 전자공학과 석사 학위 논문, 1988년 2월

[8] P.R. Gray, R.G. Meyer, "Analysis and design of analog integrated circuits," Wiley, New York, pp. 255-257, pp. 705-707, 1984.

著 者 紹 介

宋 敏 圭(正會員)

1963년 12월 10일생. 1986년 서울대학교 전자공학과 졸업. 1988년 서울대학교 대학원 전자공학과 졸업. 공학 석사학위 취득. 1988년 3월부터 현재 서울대학교 전자공학과 박사과정. 주 관심 분야는 BiCMOS를 이용한 아날로그 및 디지탈 회로 설계 등임.

●

金 旻 奎(準會員)

1965년 7월 28일생. 1986년 서울대학교 전자공학과 졸업. 1988년 3월부터 현재 서울대학교 전자공학과 석사과정. 주 관심 분야는 PLL 관련 회로 및 MOS 모델링 등임.

朴 成 晙(準會員)

1966년 12월 28일생. 1989년 서울대학교 전자공학과 졸업. 1989년 3월부터 현재 서울대학교 전자공학과 석사과정. 주 관심 분야는 통신용 집접회로 설계 등임.

●

金 元 燦(正會員)

1944년 11월 7일생. 1972년 서울대학교 전자공학과 졸업. 1976년 독일 Aachen대학 전기공학과 석사학위 취득. 1981년 독일 Aachen 대학 전기공학과 박사학위 취득. 1986년부터 현재 서울대학교 전자공학과 부교수. 1989년 1월부터~현재 미국 MIT 교환교수. 주 관심분야는 BiCMOS 회로 설계 등임.