論文 89－26－11－27

T-게이트 통합 모듈에 의한 조합 MVL함수의 구성

(Construction of Combinational MVL Function Based on T-Gate Integrated Module)

朴 東 泳*, 崔 在 碩**, 金 興 壽*

(Dong Young Park, Jae Seok Choi, and Heung Soo Kim)

要 約

다치논리함수의 분해방법으로서 최적변수할당 알고리듬이 제시되었다. 주어진 3치 조합논리 함수는 함수종속적인 부분함수로 분해되었으며, 이때 각 부분함수에 대하여 필수출력원소를 추출하여 T-게이트에 할당하였다. 회로실현 매체로서 프로그램이 가능한 통합형 T-게이트 모듈을 제안하였으며 조합 MVL함수의 구성 절차를 단계별로 체계화하였다.

본 방법은 함수구성절차의 체계성, T-게이트 수의 절감 가능성, 모듈의 단일화 및 모듈구성의 융통성 면에서 효율적인 특성을 제공할 것으로 기대되며, 특히 변수분해 방법은 VLSI실현시 입출력 단자수 제한문제의 해결을 위한 한가지 시도로 지적될 수 있다.

Abstract

An optimal variable assignment algorithm is presented as a decomposition method of MVL functions. A given 3-valued combinational logic function is disintegrated into subfunction composed of the function dependant relation, then extracted implicant output elements from subfunctions are assigned to a T-gates. As a circuit implementation tool, a programmable integrated T-gate module is proposed, and the construction procedure of combinational MVL functions is systematized in each step.

This method is expected to give properties of the systematic procedure, possibility of T-gate number reduction, unification of module, and flexibility of module composition. Specially variable decomposition method can be pointed out as an approach to solving the limitation problem of the input and output terminal number in VLSI implementation.

I. 서 론

최근 여러가지 제약사항에도 불구하고 다치논리시스템에 대한 연구가 활발한 것은 2진 논리시스템의 VLSI실현시 급증하는 단자간 내부연결(interconnection)이 상대적으로 다치논리 시스템에서는 보다 적은 내부연결로 가능하기 때문이다. 실제로 2진 논리시스템의 VLSI실현시 칩면적의 70%가 단자간 내부연결에 사용되며 isolation에 20% 그리고 실제의 소자(device)에는 나머지 90%가 사용되고 있다는 통계적 수치가 이를 입증하고 있다.[1] 그러나 VLSI 칩 외부와의 연결에 사용되는 입출력의 단자수 제한문제는 2진논리와 다치논리 시스템의 공통적 제약 사

*正會員, **準會員, 仁荷大學校 電子工學科
(Dept. of Elec. Eng., Inha Univ.)

接受日字 : 1989年 8月 30日

항이다. VLSI설계를 위해서는 실현 대상회로가 여러가지 조건을 구비해야 하는데 그중의 한가지 조건이 modularity이다. 최근 다치논리 시스템의 모듈화 구조의 실현에 적합한 매체로서 PLA와 T-게이트 등이 많이 이용되어 왔는데, module processing은 집적도의 증가에 따라 이용 가능 모듈로의 접근경로(access path)와 모듈간 내부 연결의 복잡성 등이 제약사항으로 지적되고 있다.[1] 이와같이 2진 논리 시스템의 한계에 직면한 근원적인 문제를 다치논리 시스템의 상대적인 장점으로 해결하고자 하는 노력이 계속되어 왔다.[1-5]

Nam[4] 등은 다치논리함수를 분해한 후 Sasao[3]가 제안한 다치 PLA를 모듈로 하여 다치논리함수를 실현하는 방법을 제안하였으며, Fang[1]과 Choi[5]등은 T-게이트의 조합으로 정의된 모듈을 사용하여 다치논리 함수를 실현하는 방법을 제안하였다. 본 논문에서는 VLSI실현시 입출력 단자수 제한 문제를 극복하고 T-게이트 조합형 모듈 종류(class)의 증가 문제를 해결하기 위하여 함수분해에 의한 프로그램형 T-게이트 통합모듈(programmable integrated-module) 방식을 제안하며, 3치 n입력 m출력 다치논리 함수의 분해 및 재합성 절차를 단계별로 체계화하고 실제로 2변수와 3변수 분해의 경우를 타 논문 예에 적용하여 비교 검토하였다.

본 논문의 구성은 2장에서는 최적변수할당 알고리듬의 이론적 배경을 서술하였으며, 3장에서는 필수출력원소 추출 알고리듬, 통합형 T-게이트 모듈의 설계와 class계산법 및 조합 MVL함수의 회로구성 절차를 논하였다. 4장에서는 본 논문에서 제안한 방법을 2변수와 3변수 분해법에 의해 실행하고 그 결과를 타 논문과 비교검토하였다.

Ⅱ. 이론 배경

1. 출력분할

3치 n입력 m출력 변수의 조합다치논리 함수 $F_3(n, m)$은 식(1)과 같이 표시된다.

$$F_3(n, m) : \prod_{i=1}^{n} u_i \rightarrow E^m(k) \qquad (1)$$

단, 1) u_i, $k \in \{0, 1, 2\}$

2) $E(k)$는 k를 원소로 하는 출력함수

3) $u_i \in \{x_1, x_2, \cdots, x_n\}$, $1 \le i \le n$

식(1)에서 m출력 함수를 출력이 단일인 함수로 식(2)와 같이 분해한다.

$$F_3(n, 1) = f_j : \prod_{i=1}^{n} u_i \rightarrow E(k) \quad ; 1 \le j \le m \qquad (2)$$

그러면 $F_3(n, m)$은 식(3)과 같이 부분함수 f_j의 독립적인 합성으로 그 값이 보존된다.[6]

$$F_3(n, m) = F(f_1, f_2, \cdots, f_j, \cdots, f_m) \qquad (3)$$

따라서 함수 $F_3(n, m)$의 회로실현은 부분함수 f_j를 회로실현한 후 f_j의 독립적인 합성으로 구성할 수 있다.

2. 변수 분할

〔정의 1〕

V_n, V_p, V_r은 각각 n, p 및 r개 u_j로 조합된 변수집합이고 V_{cp}와 V_{cr}은 각각 c차 분할시 p개와 잔여 r개의 u_j로 조합된 변수집합을 의미하며,

$$V_n := V_p \cup V_r \quad ; n = p + r \qquad (4)$$

$$V_{cp} \cup V_{cr} := V_n - \sum_{j=1}^{c-1} V_{jp} \qquad (5)$$

인 관계를 갖는다.

〔정의 2〕

1) $SF \in f_j$ 및 $sf \in SF$

2) $SF(SF(\cdots(SF(V_p))\cdots)) := S^cF(V_p)$ (및 $sf(sf(\cdots(sf(V_p))\cdots)) := s^cf(V_p)$)

3) S^cF_{pi} (및 s^cf_{pi})와 S^cF_r(및 s^cf_r)은 c차 분할시의 p변수와 잔여 r변수로 구성된 부분함수(i는 부분함수의 수)

4) $d = [n/p]$ 및 $1 \le c \le d$.

함수 f_j를 정의 1과 2에 의해 p변수의 부분함수로 분할하면 식(6)과 같다.

$$\begin{aligned} f_j &= f(V_n) \\ &= f(SF(V_{1p}),\ SF(V_{1r})) \\ &= f(SF(V_{1p}),\ SF(SF(V_{2p}),\ SF(V_{2r}))) \\ &= f(SF(V_{1P}), S^2F(V_{2P}), S^2F(SF(V_{3P}), SF(V_{3r}))) \\ &\quad \cdots \\ &= f(SF(V_{1p}), S^2F(V_{2p}), S^3F(V_{3p}), \cdots, S^dF(V_{dp})) \end{aligned} \qquad (6)$$

식(6)에서 p변수 부분함수의 함수종속관계 조건은 다음과 같다.

〔부분함수의 함수종속관계 조건〕

조건 1 : $s^cf_p \in S^cF_p$

조건 2 : $s^{c-1}f_p \in s^cf_p$

조합다치논리 함수의 분해시 종속 조건을 만족하도록 부분함수를 구성하면 $s^{c-1}f_p \in S^cF_p$이므로 S^cF_p

$=f(s^{c-1}f_p)$가 되어 p변수로 분할된 부분함수들이 함수종속적인 관계를 유지할 수 있다.

따라서, 함수 f_j는 p변수로 d차 분할된 부분함수의 종속적 직렬합성(dependant series composition, 기호 $*$)으로 식(7)과 같이 구성할 수 있다.[7]

$$f_j = f(SF_p * S^2F_p * \cdots * S^dF_p) \qquad (7)$$

그림 1 은 식(7)의 종속합성 구성도이다.

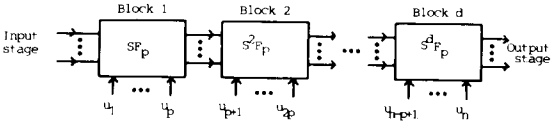


그림 1. 부분함수로 종속합성된 함수 f_j
Fig. 1. Dependant-composed function f_j with subfunctions.

그림 1 에서 각 블럭은 부분함수 진리표의 출력치를 입력으로 하고 이의 출력제어를 위해 p 개 제어변수 u_i를 사용하였으며 블럭 i의 출력이 블럭 i+1에 종속적으로 입력되었다.

〔정의 3〕

V_s의 각 변수를 상태변환시킬 때 3^p개의 출력원소로 구성된 $q=r^s$개의 V_p출력열을 집합 $\delta\{\beta_1, \beta_2, \cdots, \beta_j, \cdots, \beta_q\}$로 표기하며, 이때 ISF(c), N_{ISF} (c) 및 N_{VCP}를 각각 c차 분할시의 필수부분함수(ISF ; Implicant Subfunction), ISF수 및 V_{CP}수로 정의한다.

ISF (c)는 정리 1 에 의해 구할 수가 있다.

〔정리 1〕

c차 변수분할에서 $\delta^*=\delta\{\beta_1, \beta_2, \cdots, \beta_j, \cdots, \beta_q\}$, $\delta_j=\delta\{\beta_j\}$ 및 $\delta^*-\delta_j=\delta_k$ 일때, 만약 $\delta_j \cap \delta_k = \phi$ 또는 $\delta_j \cap \delta_k = \delta_r$이면 β_j=ISF (c) 이다. 단, $\delta^*, \delta_j, \delta_k, \delta_r \in \delta^*$.

〔증명〕

만약 $\delta_j \cap \delta_k = \phi$이면 δ_j는 고유하므로 β_j= ISF (c) 이며 $\delta_j \cap \delta_k = \delta_r$이면 $\delta_j \equiv \delta_r$이므로 β_j= ISF(c) 이다.

Q. E. D.

〔정리 2〕

$$N_{VCP} = {}_{n-(c-1)P}C_P ; n \geq cp \qquad (8)$$

〔증 명〕

c차 p변수분할시는 c−1차까지 할당된 (c−1) p개 변수를 제외한 나머지 변수(즉, n−(c−1)p)에 대하여 p변수분할이 행해지므로 이때 조합 가능한 V_{cp}수는 $N_{VCP} = {}_{n-(c-1)p}C_p$이다.

Q. E. D.

〔최적변수할당 알고리듬〕

각 부분함수에 대하여 MIN($N_{ISF(C)}$)인 V_{cp}를 블럭 c의 부분함수 제어변수로 할당한다.

단, 1) $N_{VCP} = {}_{n-(c-1)P}C_P$

2) $V_{cP} = V_n - (V_{1p} \cup V_{2p} \cup \cdots \cup V_{(c-1)P})$

3) $\delta^* \rightarrow \delta^* - (\delta_j \cup \delta_r)$. (9)

이상과 같이 조합다치논리함수의 분해시 부분함수가 최소로 발생하는 변수집합을 선택함으로써 최소 H/W에 의한 회로실현의 가능성이 예상되며, 아울러 부분함수가 상호종속적인 함수관계를 갖도록 함수를 분해함으로써 본래 함수의 특성을 유지하면서도 입력변수의 분산화 효과에 의해 VLSI실현시 입출력 단자수 제한 문제를 극복할 수 있는 특성이 기대된다.

Ⅲ. 조합다치논리 함수의 회로실현

각 블럭의 회로실현은 모듈구조가 가능한 다치PLA 또는 T-게이트 등으로 회로실현함이 유리하다. 그중 3치 T-게이트는 한 개의 변수로 3개 입력의 제어가 가능하므로 진리표의 출력치는 3원소씩 분할입력되어야 한다. 그런데 진리표의 출력치를 3원소씩 분할하게 되면 중복원소가 발생하게 되므로 최적회로실현을 위하여 c차 부분함수에 대하여 필수출력원소 (IOE, implicant output element)의 추출이 요구된다.

1. IOE(c)추출 알고리듬 및 제어함수 진리표작작성

필수출력원소의 추출은 T-게이트 입력의 공간적 할당을 고려하여 시행된다.

〔IOE(c) 추출 알고리듬〕

단계 1 : ISF(c) 추출

단계 2 : ISF(c)의 IOE(c) 행 추출

단계 3 : IOE(c) 행을 3행 1조로 분할

단계 4 : 조분할된 IOE(c) 행의 각 열로부터 k 개 필수 3원소 추출

선택된 필수 3원소의 T-게이트 입력할당 규칙은 아래와 같다.

〔IOE(c)의 T-게이트 입력할당 알고리듬〕

$S^cF_P = f(s^c f_{pi})$에 대하여,

1) c=1 또는 (i>3인) c≥2경우

필수 3원소를 k개 T-게이트의 입력으로 할당하며, 미분할 IOE(c)원소는 직접 입력

2) (i≤3인) c≥2경우

필수 3원소를 $s^c f_{pi} = f(s^{c-1} f_{pj})$ 인 부분함수의 입력으로 할당

다음에는, T-게이트에 할당된 IOE(c)를 본래의 진리표대로 출력시키기 위한 부분 함수의 제어함수 (C(SF) 또는 C(sf)) 진리표 작성이 요구된다.

〔제어함수 진리표 작성〕

단계 1 : p변수를 2변수씩 2단분할 (여기서, L=〔P/2〕)

단계 2 : $S^c F_2 = f(s^c f_{2i})$에서

1) c=1 또는 (i>3인) c≥2경우

분할된 2입력변수의 상태변환에 대응하는 IOE(c) 행을 출력하도록 T-게이트 내부상태치 진리표 작성

2) (i≤3인) c≥2경우

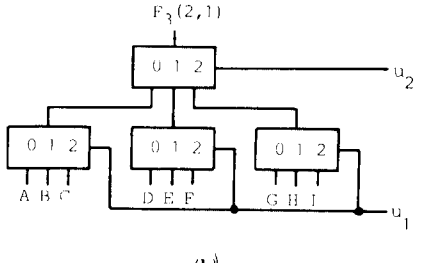
$s^c f_{2i} = f(s^{c-1} f_{2j})$ 인 진리표 작성

2. 통합형 T-게이트 모듈의 설계

3치 2변수 진리표는 3치 n변수 진리표의 2차원배열을 위한 최소단위이다. 따라서 3치 2변수함수 $F_3(2,1)$을 회로실현의 최소 모듈단위로 설정하며 이의 일반적 경우를 그림 2 에 도시하였다.

$F_3(2,1)$		u_1 0	1	2
	0	A	B	C
u_2	1	D	E	F
	2	G	H	I

(a)



(b)

그림 2. 일반적 3치 2변수함수
(a) 진리표　　(b) T-게이트 블럭도

Fig. 2. General 3-valued 2 variable function.
(a) truth table.　(b) T-gate block diagram.

그림 2 에서 진리표의 출력치 상태에 따라 기준 T-게이트 수는 절감이 가능하다.

〔기준 T-게이트 수 절감가능 조건〕

조건 1 : 한개 이상의 동일변수로 구성된 행(SVR, same variable row)을 포함

조건 2 : 두개 이상의 동일원소배열 구조의 행(SAR, same arrangement row)을 포함

이때 $i \in \{0,1,2,3\}$ 및 $j \in \{0,2,3\}$일때, i개 SVR과 j개의 SAR을 각각 SVR(i)와 SAR(j)로 표기한다. 본 논문에서는 $F_3(2,1)$의 회로실현시 모듈의 종류를 모듈 실현에 소요되는 T-게이트 수에 의해 분류하였으며 모듈종류 N과 SVR(i) 및 SAR(j)와의 관계를 나타낸 대표적 T-게이트 모듈이 표 1 에 도시되었다.

표 1. 대표적 T-게이트 모듈
Table 1. Representative T-gate modules.

모듈종류 N	T-게이트 수	3치2변수 진리표 상태
class 1	1	SVR(0) ∩ SAR(3)
class 2	2	SVR(1) ∩ SAR(2)
	2	SVR(2) ∩ SAR(0)
class 3	3	SVR(1) ∩ SAR(0)
	3	SVR(0) ∩ SAR(2)
class 4	4	SVR(0) ∩ SAR(0)

〔정리 3〕

$$N = 4 - [SVR(i) + SAR(j)/2 + 3\ E\ SVR(i) + 3\ E\ SAR(j)] \quad (10)$$

단, $a\ E\ b := 1$, iff $a \equiv b$
0, otherwise.

〔증 명〕

표 1 을 만족하는 기준 T-게이트 수 절감 조건은 $N \propto 4 - \{SVR(i) + 3\ E\ SVR(i)\}$과 $N \propto 4 - [SAR(j)/2 + 3\ E\ SAR(j)]$이며 두 조건은 논리합 관계이므로 $N = 4 - [SVR(i) + SAR(j)/2 + 3\ E\ SVR(i) + 3\ E\ SAR(j)]$를 만족한다.

Q. E. D.

정리 3 은 임의의 $F_3(2,1)$이표 1에서 정의된 모듈의 어떤 부류에 속하는가를 계산하는 식이며, 이때 함수의 출력 상태에 따라 인위적 조작으로 T-게이트 수를 줄일 수 있는 방법은 다음과 같다.

〔인위적 N 감소방법〕

1) 변수 대체[1]

임의 행의 3원소가 '출력=입력변수상태' 인 경우 출력 대신 변수직접대체

2) 변수 전위

임의 열의 3원소 출력치가 동일원소로 구성된 경우 변수를 치환함으로써 진리표의 출력치는 2차원적으로 90도 전위한 배열구조로 변환

3) 혼 용

변수대체법과 변수전위법을 혼합 사용

인위적 감소 방법에 대한 예가 아래에 제시되었다.

표 2. 변수대체의 예
Table 2. An example of variable substitution

u_2 \ u_1	0	1	2
0	2	0	1
1	0	1	2
2	1	2	0

$\Longrightarrow$

u_2 \ u_1	0	1	2
0	2	0	1
1	u_1	u_2	u_1
2	1	2	0

SVR(0) ∩ SAR(0) N = 4　　SVR(1) ∩ SAR(0) N = 3

표 3. 변수전위의 예
Table 3. An example of variable transposition.

u_2 \ u_1	0	1	2
0	B	A	D
1	A	A	C
2	A	A	B

$\Longrightarrow$

u_1 \ u_2	0	1	2
0	B	C	A
1	A	A	A
2	D	C	B

SVR(0) ∩ SAR(0) N = 4　　SVR(1) ∩ SAR(0) N = 3

표 4. 혼용의 예
Table 4. A mixed example.

x_2 \ x_1	0	1	2
0	0	2	1
1	1	1	2
2	2	1	0

$\Longrightarrow$

x_2 \ x_1	0	1	2
0	x_2	2	1
1	x_2	1	2
2	x_2	1	0

$\Longrightarrow$

x_1 \ x_2	0	1	2
0	x_2	x_2	x_2
1	2	1	1
2	1	2	0

SVR(0) ∩ SAR(0) N = 4　　SVR(0) ∩ SAR(0) N = 4　　SVR(1) ∩ SAR(0) N = 3

본 방법은 함수 $F_3(2,1)$을 용이하게 분석할 수 있으므로 CAD를 이용한 자동설계 시스템에 응용될 수 있다.

그런데 표 1 에서 정의된 $F_3(2,1)$의 대표적 모듈은 실제로 여러개의 종속적인 모듈집합을 내포하고 있다. 이때 동일 종류의 모듈은 T-게이트 수는 같으나 T-게이트간 내부연결 구조가 상이하므로 모듈에 프로그램이 가능한 내부연결회로를 삽입하여 연결점의 프로그램에 의해 종속모듈을 구성하는 방법을 제안하며, 이를 프로그램형 T-게이트 통합모듈(programmble T-gate integrated module)로 명칭한다. 제안된 모듈은 T-게이트 영역과 연결점 프로그램영역으로 구성되었으며, 각 종류의 통합 모듈을 그림 3 에 나타내었다.

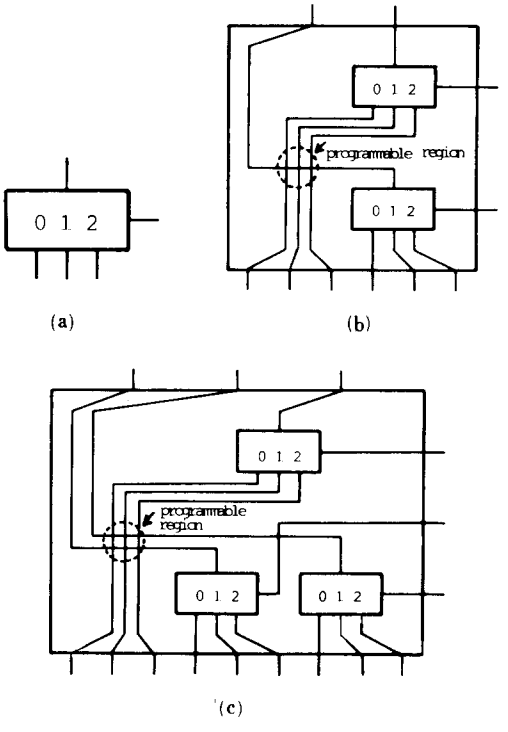


그림 3. 프로그램형 T-게이트 통합모듈 블럭도
(a) 종류 1 (b) 종류 2 (c) 종류 3
Fig. 3. Block diagram of programmable T-gate integrated module.
(a) class 1. (b) class 2. (c) class 3.

그림 3 에서 프로그램 영역은 종류 2 는 1행 3열이고 종류 3 은 2행 3열이며 각 행은 각 열과 교점수 만큼의 접점을 갖는다. 접점의 프로그램 상태를 나타내

기 위하여 각 행의 접점이 AND 접속되었을 때를 "1" 그리고 무접속 되었을 경우를 "0"으로 정의하면 3비트의 2진수에 의해 내부접점의 연결 상태를 표시할 수 있으며 이를 간략히 표현하기 위해 3비트 2진수를 10진수로 변환하여 $M_i(a, b)$로 기호화하였다. 여기서, a와 b는 각각 통합모듈 프로그램영역 접점의 1행과 2행의 내부접속 상태를 나타내는 10진수이며, i는 모듈번호이다. 예로써, $M_2(6, 0)$는 모듈2 의 내부접점이 1행에서 110로 접속되었음을 의미한다. 단 종류4 의 통합모듈은 하위 통합모듈의 조합에 의해 구성한다 (예 ; 종류1+종류3).

본 프로그램형 T-게이트 통합 모듈방식의 장점은 아래와 같다.

1) 내부 접점의 프로그램 가능

2) 모듈 종류의 최소화 가능

3) 동일종류 내의 종속모듈간 변환시 제어용 T-게이트 불필요

4) 미프로그램시는 모듈내의 모든 T-게이트를 단일 게이트로 사용가능한 융통성

5) 상위 종류의 모듈은 하위 종류의 모듈을 포함하는 high coverage

6) 모듈 종류의 계산 용이

3. 조합다치논리 함수의 분해 및 합성절차

조합다치논리함수의 분해 및 합성절차를 계통적으로 논하면 다음과 같다.

〔조합다치논리함수의 분해와 합성절차〕

단계 1 : 출력분할
단계 2 : 최적변수분할
단계 3 : IOE(c) 수출 추
단계 4 : IOE(c)의 T-게이트 입력할당
단계 5 : 제어함수진리표 작성 및 회로실현
단계 6 : 부분함수 종속합성
단계 7 : 상위모듈에 의한 회로 재구성

단계7은 회로를 변경하지 않고 인접한 동일 특성의 하위 모듈을 상위 모듈로 포함시킴으로써 모듈 종류의 수를 최소화하고 궁극적으로는 단일 모듈로 통일시키는 단계이다.

Ⅳ. 회로실현 및 검토

이 장에서는 본 논문에서 제안한 방법을 타 논문예에 적용하고 그 특성을 비교 검토하였다. 적용예로서, Fang[1]의 3치 5입력 1출력의 조합다치 논리함수를 인용하였으며, 본 방법이 $2 \leq p$에서도 일반성을 유지함을 입증하기 위하여 p=2, 3인 경우를 대상으로 하였다.

1. 적용 예1 : p=2

Fang이 인용한 함수 $F_3(5, 1)$의 진리표가 표5에 제시되었다.

표 5. 함수 $F_3(5, 1)$
Table 5. Function $F_3(5, 1)$

$x_2 x_1$ \ x_5 x_4 x_3	000000000 000111222 012012012	111111111 000111222 012012012	222222222 000111222 012012012
00	100001110	011110201	100001110
01	122221012	000000200	122221012
02	200002120	022220002	200002120
10	200002120	022220002	200002120
11	100001110	011110201	100001110
12	122221012	000000200	122221012
20	122221012	000000200	122221012
21	100001110	011110201	100001110
22	200002120	022220002	200002120

단계 1 : m=1이므로 $F_3(5, 1) = F(f_1)$
단계 2 : 최적변수할당(p=2)
2-1 : V_{2P}선택

V_{1P}	$N_{1SF(1)}$
$\{x_1, x_2\}$	$5^{(*)}$
$\{x_1, x_3\}$	18
$\{x_1, x_4\}$	18
$\{x_1, x_5\}$	9
$\{x_2, x_3\}$	18
$\{x_2, x_4\}$	18
$\{x_2, x_5\}$	9
$\{x_3, x_4\}$	6
$\{x_3, x_5\}$	9
$\{x_4, x_5\}$	9

주, (*)는 $MIN(N_{1SF(1)})$
따라서 $V_{1P} = \{x_1, x_2\}$

2-2 : V_{2P}선택
$V_{2F} = V_n - V_{1P} = \{x_3, x_4, x_5\}$

V_{2P}	$N_{1SF(2)}$
$\{x_3, x_4\}$	2 (*)
$\{x_3, x_5\}$	3
$\{x_4, x_5\}$	3

주 ; (*)는 $MIN(N_{1SF(2)})$
따라서 $V_{2P} = \{x_3, x_4\}$

2-3 : V_{3P}선택

$V_{3r}=V_n-(V_{1P} \cup V_{2P})=\{x_5\}$

따라서 $V_{3P}=x_5$

2-4 : 최적변수할당

$f_1=f(SF(V_{1P}), S^2F(V_{2P}), S^3F(V_{3P}))$

단계3 : IOE(c)추출

3-1 : ISF추출

1) SF_P ; $SF_P=f(sf_{Pi})$, $1\le i\le 5$

$ISF(1)=sf_{P1}$

$$SF_P = \begin{array}{c} \begin{matrix} sf_{P1} & sf_{P2} & sf_{P3} & sf_{P4} & sf_{P5} \end{matrix} \\ \begin{bmatrix} 1 & 0 & 1 & 1 & 2 \\ 1 & 2 & 0 & 0 & 2 \\ 2 & 0 & 1 & 2 & 0 \\ 2 & 0 & 1 & 2 & 0 \\ 1 & 0 & 1 & 1 & 2 \\ 1 & 2 & 0 & 0 & 2 \\ 1 & 2 & 0 & 0 & 2 \\ 1 & 0 & 1 & 1 & 2 \\ 2 & 0 & 1 & 2 & 0 \end{bmatrix} \end{array}$$

2) S^2F_P ; $S^2F_P=f(s^2f_{Pi})$, $1\le i\le 2$

$ISF(2)=s^2f_{Pi}$

$$s^2f_{P1} = \begin{bmatrix} sf_{P1} & sf_{P2} & sf_{P2} \\ sf_{P2} & sf_{P2} & sf_{P1} \\ sf_{P3} & sf_{P1} & sf_{P2} \end{bmatrix}$$

$$s^2f_{P2} = \begin{bmatrix} 0 & sf_{P4} & sf_{P4} \\ sf_{P4} & sf_{P4} & 0 \\ sf_{P5} & 0 & sf_{P4} \end{bmatrix}$$

3) S^3F_P ; $S^3F_P=f(s^3f_{P1})$, $i=1$

$ISF(3)=s^3f_{P1}$

$$s^3f_{P1} = [\, s^2f_{P1} \quad s^2f_{P2} \quad s^2f_{P1} \,]$$

3-2 : ISF(c)의 IOE(c) 행 추출

1) SF_P

$$SF_P = \begin{bmatrix} 1 & 0 & 1 & 1 & 2 \\ 1 & 2 & 0 & 0 & 2 \\ 2 & 0 & 1 & 2 & 0 \end{bmatrix}$$

2) S^2F_P

$$S^2F_P = \begin{bmatrix} sf_{P1} & 0 \\ sf_{P2} & sf_{P4} \\ sf_{P3} & sf_{P5} \end{bmatrix}$$

3) S^3F_P

$$S^3F_P = \begin{bmatrix} s^2f_{P1} \\ s^2f_{P2} \\ s^2f_{P1} \end{bmatrix}$$

3-3 : IOE(c)행 3행1조 분할

3-4 : 조분할된 IOE(c)행의 각열로부터 k개 필수 3원소 추출

1) SF_P

IOE(1)= {112, 020, 101, 102, 220}

2) S^2F_P

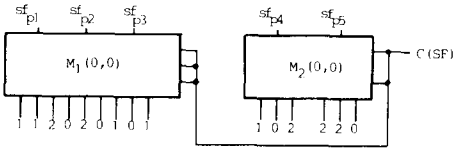
IOE(2)= $\{sf_{P1}\ sf_{P2}\ sf_{P3},\ 0\ sf_{P4}\ sf_{P5}\}$

3) S^3F_P

IOE(3)= $s^2f_{P1}\ s^2f_{P2}\ s^2f_{P1}$

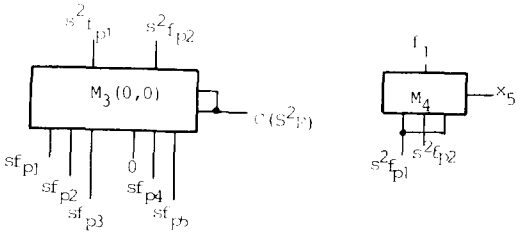
단계 : 필수3원소의 T-게이트 입력으로 할당

4-1 : SF_P (c = 1)



4-2 : S^2F_P (c= 2 및 j= 6)

4-3 : S^3F_P (c= 3 및 j= 3)



단계5 : 제어함수진리표 작성 및 회로실현

5-1 : 진리표 작성

1) C(SF) : c=1

	x_1		
	0	1	2
0	0	1	2
x_2 1	2	0	1
2	1	0	2

변수대체 ⟹

	x_1		
	0	1	2
0	x_1	x_1	x_1
x_2 1	2	0	1
2	1	0	2

SVR(0) ∩ SAR(0)
N = 4

SVR(1) ∩ SAR(0)
N = 3

2) C(S²F) : c= 2 및 j=6

	x_3		
	0	1	2
0	0	1	1
x_4 1	1	1	0
2	2	0	1

변수대체 ⟹

	x_3		
	0	1	2
0	x_4	1	1
x_4 1	x_4	1	0
2	x_4	0	1

SVR(0) ∩ SAR(0)　　SVR(0) ∩ SAR(0)

N = 4　　N = 4

	x_4		
	0	1	2
0	1	0	1
x_3 1	1	1	0
2	x_4	x_4	x_4

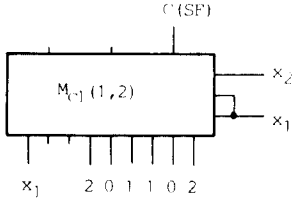
변수전위 ⟸

SVR(1) ∩ SAR(0)

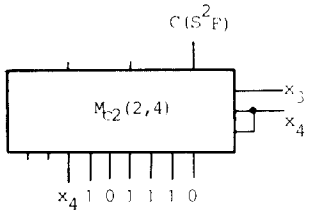
N = 3

5 - 2, 회로실현

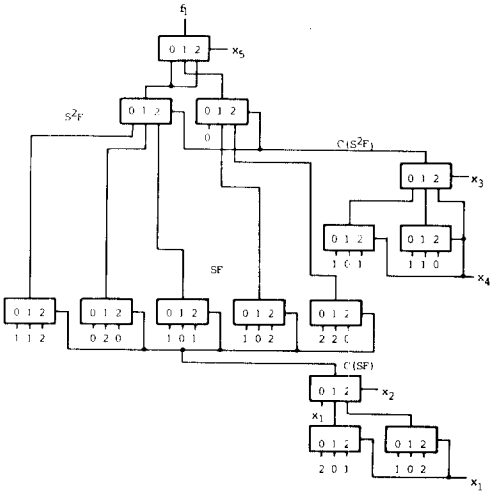
1) C(SF)



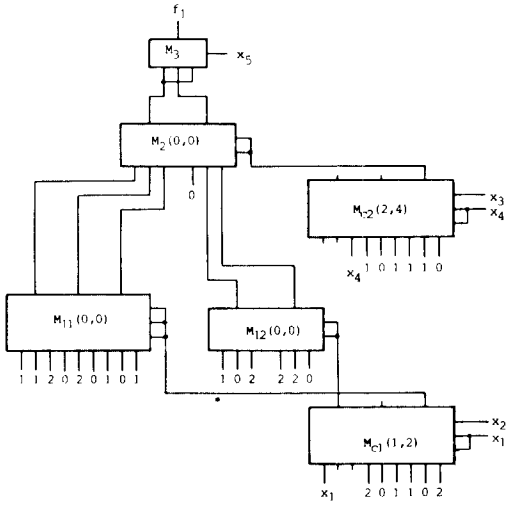
2) C(S²F)



6-1 : T-게이트 회로



6-2 : 통합모듈 회로



단계 6 : 부분함수 종속합성 → 함수 f_1 실현

구　분	통합모듈 수	T-게이트 수
class 1	1	1
class 2	2	4
class 3	3	9
class 4	—	—
합　계	6	14

(게이트 레벨 : 7 Level)

단계 7 : 상위모듈에 의한 회로 재구성

7-1 : 재구성 내역

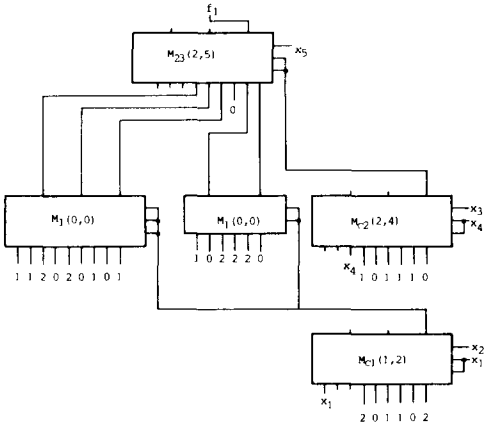
1) 모듈재구성 : $M_2 + M_3 \rightarrow M_{23}$

class : 2 + 1 → 3

2) 사용 모듈 : class 3 → 4(개)

class 2 → 1(개)

7 - 2 : 재구성 회로



2. 적용 예 : p= 3

단계 1 : 출력분할 : m= 1 이므로 $F_3(1, n) = F(f_1)$

단계 2 : 최적변수할당 (p= 3)

2 - 1 : V_{1P} 선택

V_{1P}	N_{ISF1}
$\{x_1, x_2, x_3\}$	6
$\{x_1, x_2, x_4\}$	4
$\{x_1, x_2, x_5\}$	3 (*)
$\{x_1, x_3, x_4\}$	6
$\{x_1, x_3, x_5\}$	9
$\{x_1, x_4, x_5\}$	9
$\{x_2, x_3, x_4\}$	6
$\{x_2, x_3, x_5\}$	9
$\{x_2, x_4, x_5\}$	9
$\{x_3, x_4, x_5\}$	3

주 : (*)는 $MIN(N_{ISF(1)})$

따라서, $V_{1P} = \{x_1, x_2, x_5\}$

2 - 2 : V_{2P} 선택

$V_{2r} = V_5 - V_{1P} = \{x_3, x_4\}$

이때, $N_{V_{2P}} = 2 < p$ 이므로 $V_{2P} = V_{2r} = \{x_3, x_4\}$

2 - 3 : 최적변수 할당

$f_1 = f(SF(V_{1P}), S^2F(V_{2P}))$

단계 3 : IOE(c)추출

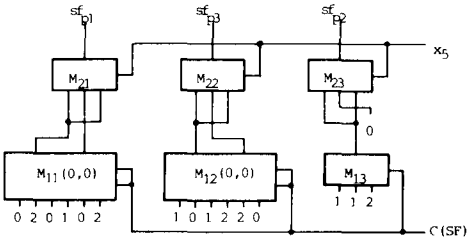
IOE(1) = {020, 112, 101, 102, 220}

IOE(2) = $\{sf_{P1}\ \ sf_{P2}\ \ sf_{P3}\}$

단계 4, 5 : IOE(c)의 T - 게이트 입력 할당 및 제어함수 진리표 작성

4, 5 - 1. SF_P (c= 1)

1) T - 게이트 입력할당



2) 제어함수 진리표

C(SF) \ x_1	0	1	2
0	0	1	2
x_2 1	2	0	1
2	1	0	2

SVR(0)∩SAR(0)

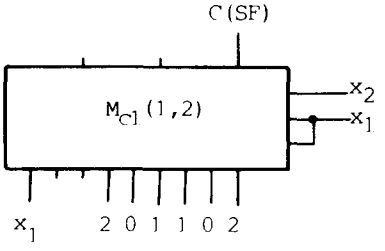
N= 4

⇒

C(SF) \ x_1	0	1	2
0	x_1	x_1	x_1
x_2 1	2	0	1
2	1	0	2

SVR(1)∩SAR(0)

N= 3



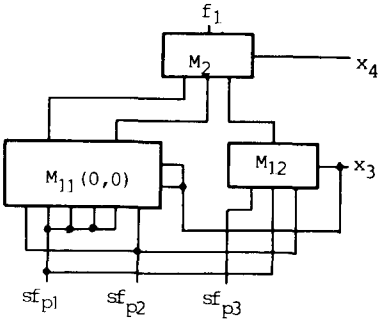
4, 5 - 2. S^2F_P (c= 2 및 j= 3)

필수 3 원소는 $S^2F = f(sf_{Pj})$ 부분함수 진리표 입력

S^2F \ x_3	0	1	2
0	sf_{12}	sf_{11}	sf_{11}
x_4 1	sf_{11}	sf_{11}	sf_{12}
2	sf_{13}	sf_{12}	sf_{11}

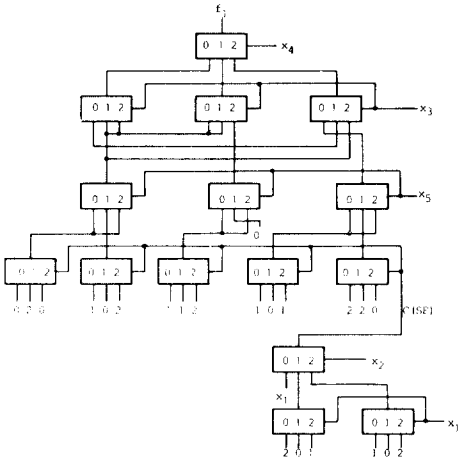
SVR(0)∩SAR(0)

N= 4

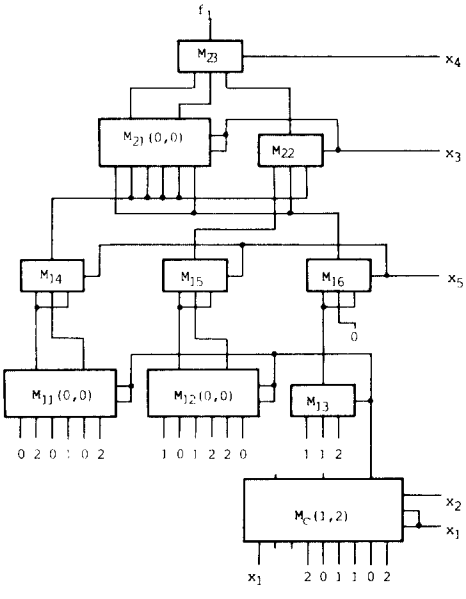


단계 6 : 종속합성

6 - 1 : T-게이트 회로



6 - 2 : T-게이트 통합모듈 합성



단계 7 : 상위모듈에 의한 회로 재구성

7 - 1 : 재구성 내역

$M_c(1,2) \rightarrow M_1(1,2)$

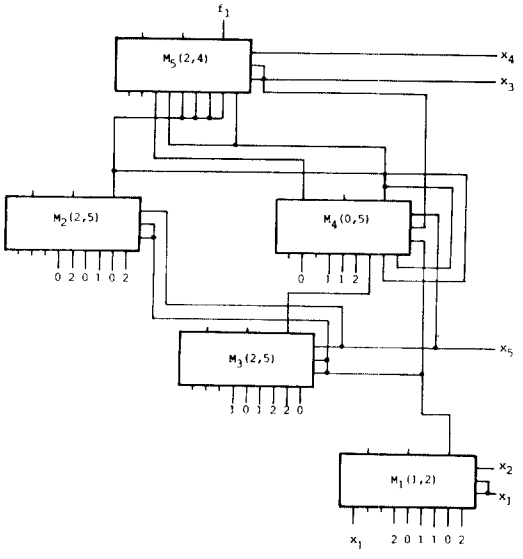
$M_{11}(0,0) + M_{14} \rightarrow M_2(2,5)$

$M_{12}(0,0) + M_{15} \rightarrow M_3(2,5)$

$M_{13} + M_{16} + M_{22} \rightarrow M_4(0,5)$

$M_{21}(0,0) + M_{23} \rightarrow M_5(2,4)$

7 - 2 : 회로 재구성



3. 비교 및 검토

본 논문과 Fang[11]의 조합다치논리함수 구성 방식을 비교하면 표 6 과 같다.

표 6. 구성방식 비교표

Table 6. Construction method comparision table

비 교 항 목	Fang[11]	본 논문
1. decomposition 방식	입력변수분할 (1출력 2변수분할)	입출력 최적변수분할 (m출력 p변수분할)
2. 회로설계 방식	T-게이트조합형 모듈구조	T-게이트조합형 모듈구조
3. 모듈방식	고정형 6종류	프로그램형 3종류
4. 모듈 종류 선택방법	테이블 조사방식	계산방식

또한 본 논문과 Fang 방법에 의한 적용예의 H/W 특성비교는 표 7 과 같다.

표 7. H/W 비교표

Table 7. H/W comparision table

단위 : (개)

비교항목		Fang[11]	본 논문	
		2변수분할	2변수분할	3변수분할
1. 소 자	T-게이트	17	14	15
	AND게이트	-	27*	30*
2. 게이트 레벨		8레벨	7레벨	6레벨
3. 모 듈	종 류	4종	2종	1종
	수	10	6	5

(주 : *표는 프로그램이 가능한 전체 AND접점 교점수임)

표 6과 7에서와 같이, 본 논문에서는 Fang 방식의 단점인 radix 증가에 따른 모듈종류의 증가문제를 제안된 프로그램형 통합모듈방식으로 해결하고자 시도하였으며, 본 방식은 단일 모듈에 의한 회로실현의 부가적 특성이 기대된다. 또한 프로그램형 통합모듈은 미 프로그래시는 모듈내의 T-게이트를 단일 게이트로 사용이 가능한 높은 가변성과 융통성을 제공한다. 그리고 분할변수를 증가할 경우에 게이트 레벨은 감소되나 T-게이트 입력 할당시 다단의 T-게이트에 의한 효율적인 공간 배치가 고려되어야만 한다. Fang방식에서는 주어진 3치 2변수 모듈의 종류를 Trial-and-error 방식의 테이블 조사에 의해 구했으나 본 논문에서는 이를 계산법에 의한 수식화 처리하였다. 본 논문에서 제안한 최적변수분할 알고리듬은 수산과 컴퓨터에 의한 계산이 모두 가능하며 2진 논리에도 적용이 가능하다. 따라서, 변수분할에 의한 모듈구조 설계방식은 궁극적으로 입출력 변수의 분산화 개념에 접근함으로써 2진논리나 다치논리시스템의 VLSI실현시 대두되는 단자수 제한 문제를 해결할 수 있는 효율적인 방식이라 사료된다.

V. 결 론

본 논문에서는 최적변수분할 알고리듬을 제안하였으며, Fang[1]의 1출력 2변수 분할법을 m출력 p변수 분할로 이론확장하고 Fang방법의 단점인 radix 증가에 따른 모듈 종류의 증가 문제를 프로그램이 가능한 통합형 모듈로 해결하였다. 최적변수분할 알고리듬과 필수출력원소 추출법을 적용한 결과 동일 예에서 Fang보다 가능성과 모듈 단일화의 부가적 특성을 제공할 수 있었다.

궁극적으로 변수분할에 의한 모듈화 설계방식은 변수의 분산화가 가능하므로 2진논리나 다치논리시스템의 VLSI실현시 대두되는 입출력 단자수 문제를 극복할 수 있는 한가지 접근 방법이며, 앞으로 이에 대한 보다 구체적인 연구가 필요하다고 사료된다.

參 考 文 獻

[1] K.Y. Fang and A.S. Wojick, "Modular decomposition of combinational multiple-valued circuits," IEEE Trans. Comput., vol. C-37, pp. 1293-1301, Oct. 1988.

[2] –, "Synthesis of multiple-valued logic functions based on a modular design approach," Proc. 13th Int. Symp. Multiple-valued Logic, Kyoto, Japan, May 1983, pp. 397-407.

[3] Tsutomu Sasao, "On the optimal design of multiple-valued PLA's, " IEEE Trans. Comput., vol. C-38, pp. 582-592, Apr. 1989.

[4] H.S. Nam, D.Y. Park, H.S. Kim etc., "Realization of combinational multiplevalued logic function using multiple-valued PLA," Proc. KITE Summer Conf., pp. 443-446, July 1989.

[5] J.S. Choi, S.S. Kang, H.S. Kim et al., "A study on MVL-function decomposition based on modular design approach," Proc. KITE Summer Conf., pp. 440-442, July 1989.

[6] H.S. Kim, S.S. Kang and D.Y. Park, "A constructing theory of combinational multiple-valued logic functions by output-bit partition technique," Inha University R.I.S.T., pp. 139-146, April 1988.

[7] Rudolf Lidl and Günter Pilz, Applied Abstract Algebra. New York: Springer Verlag, 1984, pp. 361-370.

著 者 紹 介

金 興 壽 (正會員) 第26卷 第4號 參照
현재 인하대학교 전자공학과 교수

●

朴 東 泳 (正會員) 第25卷 第5號 參照
현재 인하대학교 전자공학과 박사과정 재학중

崔 在 碩 (準會員)
1964年 6月 8日生. 1988年 2月 인하대학교 전자공학과졸업. 1988年 3月~현재 인하대학교 대학원 전자공학과 재학 중. 주 관심 분야는 계산기 구조, 회로설계 등임.