

HEMT의 2 차원 수치 해석

(Two Dimensional Numerical Analysis of HEMT's)

金 炯 來*, 朴 長 雨*, 金 漢 求*, 奇 鉉 哲*, 郭 桂 達*

(Hyeong Rae Kim, Jang Woo Park, Han Gu Kim, Hyeon Cheol Ki, and Kae Dal Kwack)

要 約

본 논문에는 0.6 μ m의 게이트 길이를 갖는 HEMT(High Electron Mobility Transistor)를 2차원적으로 수치 해석하였다. 수치 해석 방법으로는 열역학 분야의 해석에 많이 사용하던 Control Volume Formulation 방법을 응용하였다. 또한 이동도 모델로서는 종래에 사용하던 Two-Piece 이동도 모델 대신에 Velocity Overshoot 현상까지 포함하는 Empirical Formula를 이용하였다.

이러한 수치해석을 통하여 채널이 형성되는 영역, 채널에서의 전계의 세기, 포텐셜의 분포 및 전자 농도의 분포 등을 알 수 있으며, 이는 종래의 해석적인 모델에서 제시한 바와 잘 일치하였다. 또한 게이트에 인가되는 전압이 커지는 경우에는 AlGaAs층을 통한 기생적인 MESFET동작이 일어날 수 있음을 입증하였다.

Abstract

In this paper, a two-dimensional numerical analysis of HEMT's with gate length of 0.6 μ m is performed. In this case, Control Volume Formulation method which has been used in the analysis of heat transfer and fluid flow is used as a numerical method. As a mobility model, empirical formula including the velocity overshoot phenomena is used instead of two-piece mobility model.

The results obtained from this numerical analysis (i.e., the region in which channel is formed, the strength of electric field in the channel, the distribution of potential, and the distribution of electron concentration etc.) are in good agreement with the previous analytic results. And our results also show the parasitic MESFET's operation in the range of the high gate voltage.

I. 서 론

최근 반도체 분야에 있어서는 고속화, 고집적화가 관건이 되고 있다. HEMT는 1978년 R. Dingle 등^[1]이 고진공기술을 응용한 MBE(Molecular Beam Epitaxy)를 사용하여 FET구조를 제작한 이후, 고속용

micro파 소자등의 응용 분야에서 많은 주목을 받고 있다^[2]

HEMT는 n형으로 매우 높게 도핑된 AlGaAs 층과 불순물이 주입되지 않은 GaAs층을 접합시킨 변조도핑 구조(modulation doped structure)를 기본으로 하여 제작된다. 이때 AlGaAs층에 있는 전자는 GaAs층의 전도대보다 높은 에너지를 가지고 있으며, 이로 인해 그들의 공급원인 donor로부터 천이하여 GaAs층의 이종접합(heterojunction)계면에 축적된다. 따라서, GaAs층 내의 이종접합 계면에 축적되는 이전

*正會員, 漢陽大學校 電子工學科
(Dept. of Elec. Eng., Hanyang Univ.)
接受日字: 1989年 6月 30日

자층이 주된 채널로서 작용하게 되며, 계면에 형성되는 전위 우물(potential well)내에서 양자화하여 2DEG(Two-Dimensional Electron Gas)를 형성한다. 채널내의 2DEG는 donor와 공간적으로 분리되어 있기 때문에 이온화된 불순물 산란(Ionized Impurity Scattering)을 겪지 않고 따라서 매우 빠른 속도를 얻을 수 있다^[3].

지금까지 HEMT에 대한 연구는 주로 해석적인 모델에 기초를 두고 수행하였다^[4,5]. 해석적인 모델은 회로 시뮬레이터에 탑재한다는 면에서 상당한 의미를 가지지만, 이 방법은 게이트에 수직인 전계 영향에 대한 상황만을 고려하여 시뮬레이션하기 때문에 각 개별 소자에 대한 전체적인 물리 현상을 알아내기에 부적합하다. 특히, 게이트 길이가 짧아지는 short channel 소자의 경우, 캐리어의 2차원적인 동작이 발생하게 되어 수치 해석 방법의 중요성을 더욱 증가하게 된다.

II. 드리프트-확산 전류이론과 수치해석 방법

1. 드리프트-확산 전류이론

주어진 동작 조건하에서 임의의 반도체 소자를 수치 해석하기 위해서는 전달 방정식을 풀어야 한다. 드리프트-확산 전류 이론의 경우 전달 방정식은 반도체 내의 전위 분포를 구하기 위한 Poisson방정식과 전자와 정공의 움직임에 기술하는 전류 연속 방정식이다.

HEMT의 경우 소자내에 이중 접합이 존재하기 때문에 여러 물질 파라미터가 위치에 따라 변화하게 된다. 따라서 보다 근본적인 형태의 수식으로부터 전달 방정식을 유도하여야 한다^[6,7].

여기에서는 정공 전류항과 생성-재결합항을 무시한다는 가정하에 최종 결과식을 정리하였다.

Poisson 방정식 :

$$\nabla \cdot (\epsilon \nabla \Psi) = S \tag{1}$$

여기서,

$$S = \begin{cases} -q(N_D - n) & \text{for n-AlGaAs} \\ -q(-n) & \text{for i-AlGaAs} \\ & \text{i-GaAs} \end{cases}$$

전자전류 연속 방정식

$$\nabla \cdot J_n = 0 \tag{2}$$

전자전류 방정식

$$J_n = -nq\mu_n \nabla \Psi + qD_n \nabla n \tag{3}$$

여기서,

$$\Psi_1 = \Psi + \frac{X_c}{q} + \frac{kT}{q} \cdot \ln\left(\frac{N_c}{n_i}\right) - \Psi_0 \tag{4}$$

식(4)에서, Ψ_1 은 전자의 Quasi-Fermi 포텐셜, Ψ 는 정전 포텐셜, 그리고 Ψ_0 는 reference포텐셜을 나타낸다. 또한 이들 식에서 사용한 각종 변수의 설명은 표 1에 나타내었다.

표 1. 본 논문에서 사용한 변수 설명
Table 1. The model parameters used in this paper.

| 변 수 | 기 호 |
|----------|------------|
| 포텐셜 | Ψ |
| 전자농도 | n |
| Donor농도 | N_D |
| 전자 전류 밀도 | J_n |
| 이동도 | μ_n |
| 확산계수 | D_n |
| 전하량 | q |
| 유전율 | ϵ |
| 전자 친화력 | X_c |
| 상태밀도 | N_c |

한편, 반도체 소자를 수치 해석함에 있어 어려운 점은 연속의 방정식을 푸는 것이다. 그 이유는 위치와 가해진 전압에 따라 변화하는 전자농도는 게이트 밑의 채널 영역에서 특히 심하게 변화하며 이로 인해 전류 연속 방정식은 수렴하기가 어렵기 때문이다. 이와 같은 어려움을 극복하기 위하여 연속 방정식을 푸는 방법으로서 사용되고 있는 방법으로는 전자 농도를 직접 변수로 잡는 방법과 Quasi-Fermi potential을 변수로 사용하는 방법이 많이 이용되고 있다.

본 논문에서는 위에서 설명한 방법중에서 전자 농도를 직접 변수로 사용하는 방법을 택하였다. 전자 농도를 직접 변수로 취하는 방법은 Quasi-Fermi potential을 변수로 사용하는 방법보다 Iteration 회수는 조금 증가하였지만, 안정된 전류값을 구할 수 있고, 생성-재결합 항을 고려하거나 전이 상태 등을 고려하는 경우에 쉽게 확장할 수 있다는 장점이 있어 적절한 방법이라 생각된다.

2. 경계조건

본 논문의 시뮬레이션에 사용된 HEMT의 구조는

그림 1 과 같다. 일반적으로 불순물이 도핑되지 않은 층에서도 비의도적인 불순물이 $10^{13} - 10^{14} / \text{cm}^3$ 정도 주입된다고 보고되고 있지만^{3),8)}, 본 논문에서는 이상적인 상황으로 가정하여 무시하였다.

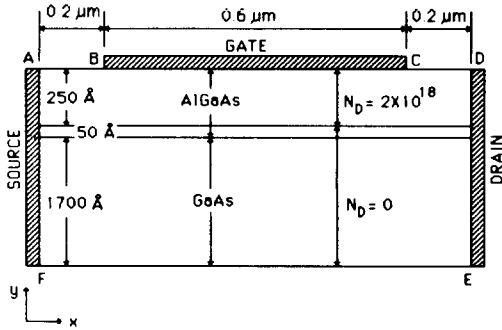


그림 1. 본 논문에서 사용한 HEMT의 구조
Fig. 1. Structure of HEMT used in this paper.

수치 해석을 수행함에 있어서 경계조건은 수렴해의 정확성 여부를 전적으로 좌우하기 때문에 중요하다.

HEMT를 수치해석할 때 필요한 경계조건은 크게 네 부분으로 나눌 수 있다. 즉, 소오스와 드레인 영역의 Ohmic contact, Schottky 게이트 영역, Free surface 영역 및 이중접합 영역이다.

이중 소오스와 드레인 영역의 Ohmic contact 에서는 변수인 포텐셜과 전자농도의 값이 고정되는 fixed-boundary condition을 사용하고, Free Surface 영역에서는 전류의 출입이 일어날 수 없는 Neumann boundary condition을 사용한다(그림 2). 또한, 게이트의 금속-반도체 Schottky contact에서는 mixed boundary condition을 사용하였다.⁹⁾

3. 이동도 모델

반도체 소자의 수치 해석에 있어서 이동도 모델(mobility model)은 전류 연속 방정식을 푸는 과정에서 매우 중요한 변수로 작용한다.

드리프트-확산 전류 이론으로 HEMT를 수치 해석할 때 종래에는 two-piece이동도 모델을 사용하였다^{17),18)}. 이 모델은 이동도를 저전계 영역과 포화영역의 두 부분으로 나누어 해석하는 방식으로 이동도를 정확히 묘사할 수 없으므로 정확한 해를 구하기에는 다소 문제점이 있다. 특히, 집적도의 증대와 더불어 채널

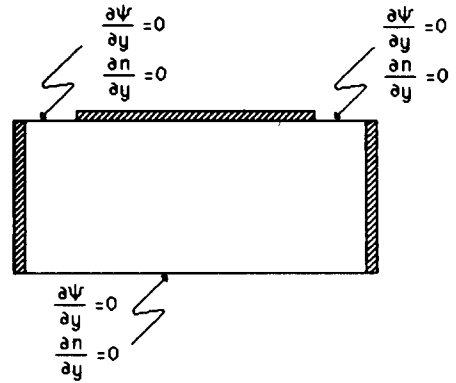


그림 2. Free boundary의 경계조건
Fig. 2. Boundary condition of free boundary.

널 영역이 submicron으로 되는 short channel 소자인 경우, 작은 전압을 가해 주더라도 쉽게 포화값 이상의 강전계가 형성된다. 따라서, 본 논문에서는 채널 영역인 GaAs층에서 velocity overshoot 현상을 고려할 수 있도록 Ruch와 Kino¹⁰⁾의 파라미터를 바탕으로 하여 Kramer가 제안한 empirical식을 사용하였다.

한편, AlGaAs층에서는 흐르는 전류의 양이 적고 저전계 이동도가 매우 작으며 포화되는 전계의 값이 매우 크기 때문에 Codella⁸⁾의 two-piece 모델을 그대로 이용하였다. 이를 정리하면 그림3과 같다.

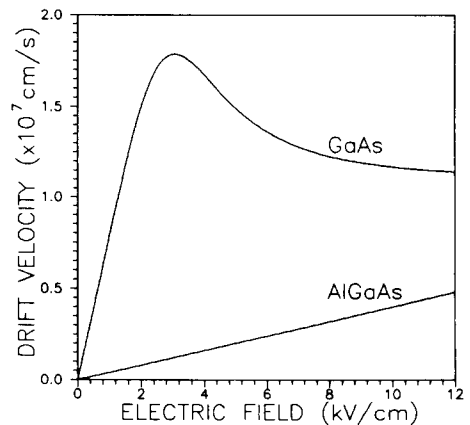


그림 3. 드리프트 속도-전계 특성 곡선
Fig. 3. Drift velocity-electric field curve.

4. 수치 해석 방법

본 논문에서는 기본 방정식인 Poisson방정식과 전자 전류 연속 방정식을 이산화하기 위하여 Control Volume Formulation방법^{[1][12]}을 사용하였다. 이 방법은 유체의 흐름과 열 전달을 해석하기 위하여 많이 사용되어온 방법이다. 여기에서는 이방법의 개념만을 간단히 설명하겠다.

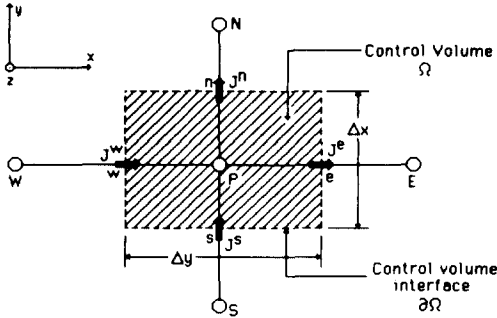


그림 4. Control volume과 그에 관련된 좌표
Fig. 4. Control volume and its related coordinate.

Control volume과 그에 관련된 좌표는 그림4와 같다. 식 (1)과 (2)는 다음과 같이 포괄적으로 나타낼 수 있다.

$$\nabla \cdot \mathbf{J} = S \tag{5}$$

이때 Poisson방정식은 $\mathbf{J} = \epsilon \cdot \nabla \psi$, $S = -q(N-n)$ 으로, 전자 전류 연속 방정식은 $\mathbf{J} = \mathbf{J}_n$, $S = 0$ 으로 나타낼 수 있다.

식 (5)를 그림4의 control volume 상에서 적분하면,

$$\iiint \nabla \cdot \mathbf{J} d\Omega = \iiint S d\Omega \tag{6}$$

과 같이 된다. 이때 식(6)의 좌변에 Gauss의 발산 정리를 사용하면 아래와 같이 쓸 수 있다.

$$\iint_{\partial\Omega} \mathbf{J} \cdot \hat{\mathbf{n}} d(\partial\Omega) = \iiint S d\Omega \tag{7}$$

본 논문에서는 2차원 상황에 대해 고려하므로 z-방향의 두께는 단위 길이가 된다. 그림4의 control volume 상에서 식 (7)의 좌변을 적분하면,

$$(J^e - J^w)\Delta y + (J^n - J^s)\Delta x = \iiint S d\Omega \tag{8}$$

을 얻을 수 있다.

식(5)~(8)에서 알 수 있는 바와 같이 Control Volume Formulation 방법은 FDM (finite difference method) 처럼 각 grid point에서 Taylor series expansion을 이용하여 이산화하는 것이 아니라 FEM (finite element method)의 특징인 적분을 통하여 이산화한다. 따라서 FEM의 장점인 flux의 보존 법칙이 성립한다. 그리고, 가장 간단한 1을 weighting factor로 사용함으로써 매우 간단히 이산화할 수 있다.

III. 시뮬레이션 결과 및 검토

본 장에서 소자의 크기와 불순물 농도를 고정시켜둔 상황에서 게이트와 드레인에 가해주는 전압을 변화시킬 때 나타나는 소자의 특성에 관하여 논한다.

그림5에서는 2차원 수치 해석을 그림1에 나타낸 구조 및 세원을 갖는 HEMT에 적용하여 구한 드레인 전류-전압 특성을 나타내고 있다. 여기서 보면 해석적인 이론에서 제시된 바^[13]와 같이 normally on형으로 동작함을 보여주고 있다.

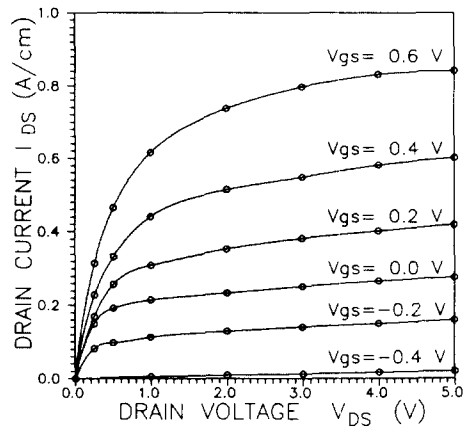


그림 5. 드레인 전류-전압 특성
Fig. 5. Drain current-voltage characteristics.

그림6은 $V_{gs} = 0.4V$ 로 고정시켜둔 상황에서 V를 변화시킬 때 포텐셜 분포의 변화를 나타낸다. 여기서 보면 이중 정합의 계면에서 포텐셜이 불연속을 이루며, 드레인 전압이 증가하더라도 소오스나 드레인 경계 근처에서는 포텐셜이 큰 변화를 보이지 않으며, 게이트의 드레인 단에 포텐셜이 집중적으로 걸리고 있음을 알 수 있다.

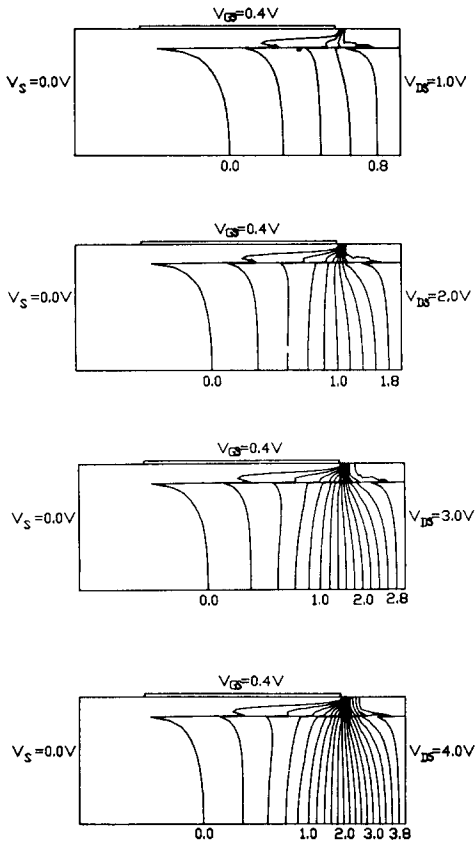


그림 6. $V_{GS}=0.4V$ 이고 V_{DS} 가 변할 때 포텐셜 분포의 변화
 Fig. 6. The variation of potential distribution with V_{DS} , at $V_{GS}=0.4V$.

한편 전계는 등전위면에 수직으로 나타나며, 위 그림 6에서 유추해 볼 때 게이트 드레인 단에 강한 전계가 형성될 것이라 예상되며, 그림 7은 이를 증명해 주고 있다. 즉, 그림 7은 $V_{GS}=0.4V$ 로 고정시키고 V_{DS} 를 변화시킬 때 게이트 밀부분의 채널 영역에 형성되는 x-방향의 전계를 나타내고 있다. 여기서 $x=0$ 인 부분은 게이트의 소오스 단을 의미하며, 게이트 길이가 $0.6\mu m$ 이므로 $x=0.6\mu m$ 인 지점은 게이트의 드레인 단을 의미한다. 이 결과는 게이트의 드레인단 부분에서는 드리프트 속도가 포화되는 전계보다 더 높은 전계가 채널 영역에 형성됨을 보여주며, 따라서 velocity overshoot 현상을 제대로 고려해 주는 이동도 모델이 필수적임을 알수 있다.

그림 8은 $V_{GS}=0.4V$ 로 고정시켜둔 상황에서 V_{DS} 를 변화시킬 때 등 전자농도면 분포의 변화를 나타낸 것

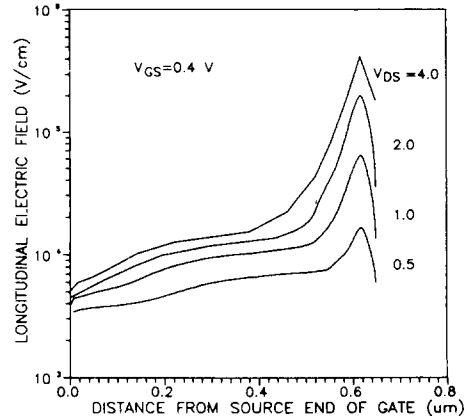


그림 7. $V_{GS}=0.4V$ 이고 V_{DS} 가 변할 때 채널 영역의 전계 변화
 Fig. 7. The variation of electric field in the channel region with V_{DS} , at $V_{GS}=0.4V$.

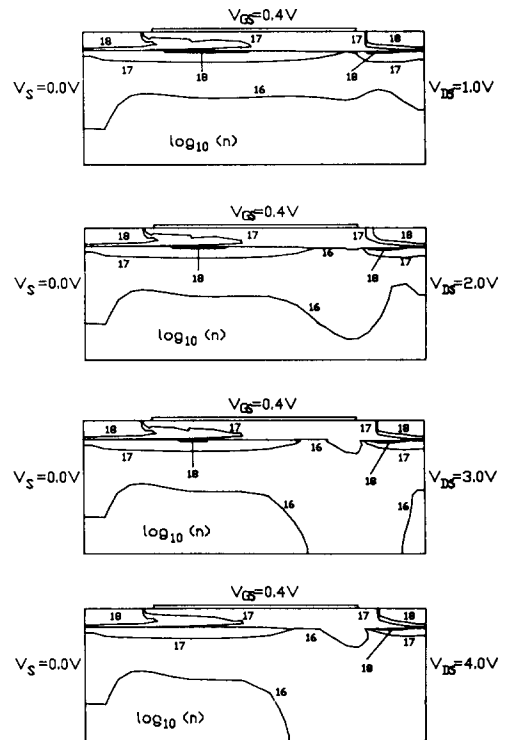


그림 8. $V_{GS}=0.4V$ 이고 V_{DS} 가 변할 때 등전자 농도 분포의 변화
 Fig. 8. The variation of electron concentration distribution with V_{DS} , at $V_{GS}=0.4V$.

이다. 게이트가 부착되지 않은 부분에서는 이중 접합의 built-in포텐셜에 의해서만 AlGaAs층의 전자가 공핍된다. 따라서 중성 영역으로 존재하는 부분이 있다. 그러나, 게이트가 부착되는 부분에 있어서는 게이트-금속 접합의 built-in포텐셜까지 함께 작용함으로써 AlGaAs층의 대부분의 전자가 공핍되어서 아주 낮은 전자 농도를 형성한다.

그리고 낮은 드레인 전압에서는 채널 영역에서는 위치에 따른 전자 농도의 변화가 심하지 않고 거의 같은 정도의 전자농도가 쌓인다. 이때는 전류값이 드레인 전압에 따라 거의 선형적으로 표현하게 된다. 차츰 드레인 전압이 증가함에 따라 앞에서 설명한바와 같이 게이트의 드레인단 부근에서는 x방향의 강전계가 형성되며, y방향의 전계도 많이 증가한다. y방향으로 증가하는 전계는 채널 영역에 있는 전자를 substrate 쪽으로 공핍시키는 역할을 하며, x방향으로 형성되는 강전계는 드리프트 속도의 overshoot 현상을 야기하게 된다. 이러한 mechanism으로 인해 결국 전류값이 포화에 이르게 된다.

이를 보다 상세히 나타내기 위해 1차원 상황으로 표현한 것이 그림 9와 그림 10이다.

그림 11은 $V_{DS}=2.0V$ 로 고정시켜두고 V_{GS} 를 변화할 때 등전자농도면 분포의 변화를 나타내는 것이다. 게이트의 전압이 낮을 경우, 게이트가 부착된 AlGaAs층에 있는 대부분의 전자는 공핍되고, GaAs층의 채널 영역에 많은 전자가 쌓이게 된다. 하지만 차츰 게이트의 전압이 증가하게 되면 GaAs층의 전자 농도

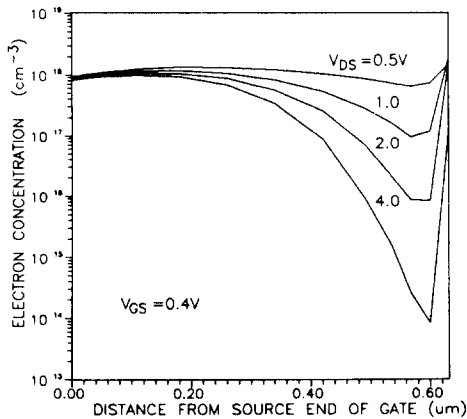


그림 9. $V_{GS}=0.4V$ 이고 V_{DS} 가 변할 때 채널영역의 전자농도 변화

Fig. 9. The variation of electron concentration in the channel region with V_{DS} , at $V_{GS}=0.4V$.

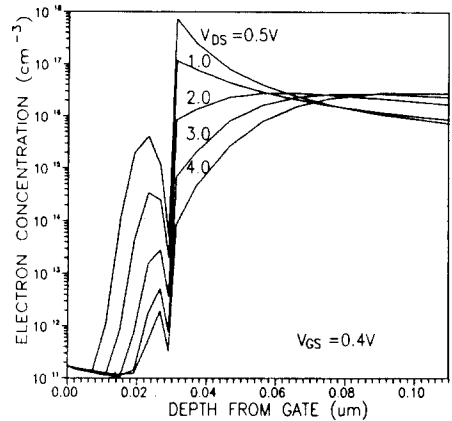


그림 10. $V_{GS}=0.4V$ 이고 V_{DS} 가 변할 때 게이트의 드레인단에서 게이트에 수직인 방향으로의 전자농도 변화

Fig. 10. The variation of electron concentration in perpendicular direction of gate at the drain end of gate with V_{DS} , at $V_{GS}=0.4V$.

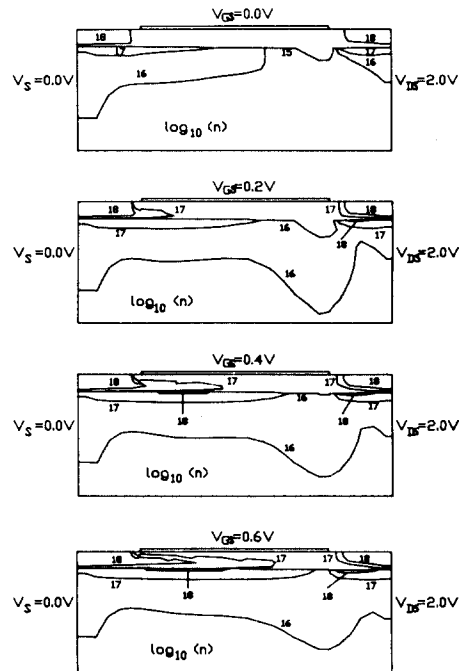


그림 11. $V_{DS}=2.0V$ 이고 V_{GS} 가 변할 때 전자농도 분포의 변화

Fig. 11. The variation of electron concentration distribution with V_{GS} , at $V_{DS}=2.0V$.

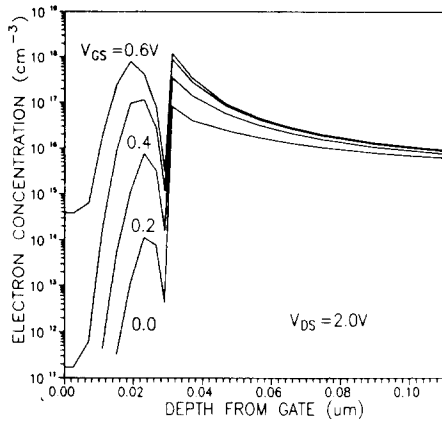


그림 12. $V_{DS}=2.0V$ 이고 V_{GS} 가 게이트에 수직인 방향으로의 전자농도의 변화

Fig. 12. The variation of electron concentration in perpendicular direction of gate with V_{GS} , at $V_{DS}=2.0V$.

가 증가하게 되며 AlGaAs층의 전자 농도도 급속히 증가한다.

이를 다시 1차원적인 그림으로 나타낸 것이 그림 12이다. 낮은 게이트 전압에서는 대부분의 전자는 GaAs층의 채널 영역에 형성된다. 하지만 게이트 전압이 증가하여 0.6V에 이르면 AlGaAs층의 전자 농도 또한 채널 영역의 전자 농도에 비교할 만큼 커지게 된다. 따라서 게이트에 더욱 큰 전압이 인가되는 경우 AlGaAs층으로 흐르는 전류의 성분은 이제 더 이상 무시할 수 없게 된다. 즉, 높은 게이트 전압이 인가되는 경우의 HEMT는 기본적인 HEMT 동작 외에 기생적인 MESFET 동작을 하는 two-channel 소자로 동작한다는 사실을 알 수 있다.

IV. 결 론

본 논문에서는 드리프트-확산 전류 이론에 입각하여 0.6 μ m의 게이트 길이를 가지고 HEMT를 2차원적으로 수치 해석하였다. 수치 해석의 방법으로는 종래의 FDM나 FEM을 사용하지 않고, Control Volume Formulation의 개념을 사용하였다. 또한 실제의 물리적상황과 아주 근사한 power law scheme을 numerical scheme으로 사용하였다.^[11]

이러한 수치 해석을 통하여 우리는 HEMT소자 내부의 포텐셜 분포, 채널 내의 전계분포, 전자 농도의 분포등의 여러가지 물리적인 정보를 구해낼 수

있다. 또한 해석적인 모델에서 취급하기 힘든 AlGaAs층도 동시에 시뮬레이션함으로써 높은 게이트 전압에서는 HEMT가 two-channel 소자로 동작할 수 있음을 입증하였다.

한편 본 논문에서는 특정 부위에 대한 부분적인 1차원 근사를 취하지 않고 전체 영역을 완전히 시뮬레이션하였으며, 이 시뮬레이션을 통하여 이어지는 결과를 가시화함으로써 보다 나은 해석적 모델의 개발에 도움이 될 수 있으며, HEMT를 이용한 회로 설계자가 개별 소자의 특성을 알고자 할 때 유용한 도구가 될 수 있으리라 생각된다.

參 考 文 獻

- [1] R. Dingle and H.L. Stormer, "Electron mobilities in modulation-doped semiconductor heterojunction superlattices," *Appl. Phys. Lett.*, vol. 33, no. 7, pp. 665-667, Oct. 1978.
- [2] P.M. Solomon and H. Morkoc, "Modulation-Doped GaAs/AlGaAs Heterojunction field-effect transistor (MODFET's), ultrahigh-speed device for supercomputers," *IEEE Trans. Elec. Dev.*, vol. ED-31, no. 8, pp. 1050-1027, Aug. 1984.
- [3] T.J. Drumond, W.T. Masselink, and H. Morkoc, "Modulation-doped GaAs/(Al, Ga)As heterojunction field-effect transistors: MODFETs," *Proc. IEEE*, vol. 74, no. 6, pp. 773-882, June., 1985.
- [4] D. Delabeaudeuf and N.T. Linh, "Metal-(n) AlGaAs-GaAs Two-dimensional electron GaAs FET," *IEEE Trans. Elec. Dev.*, vol. ED-29, no. 6, pp. 955-960, June, 1982.
- [5] Kwangmean Park and Kae Dal Kwack, "A model for the current-voltage characteristics of MODFET's," *IEEE Trans. Elec. Dev.*, vol. ED-33, no. 5, pp. 673-676, 1986.
- [6] J.E. Sutherland and J.R. Hauser, "A computer analysis of heterojunction graded composition solar cells," *IEEE Trans. Elec. Dev.*, vol. ED-24, no. 4, pp. 363-372, Apr., 1977.
- [7] J. Yosida and M. Kurata, "Analysis of high electron mobility transistors based on a Two-dimensional numerical model," *IEEE Elec. Dev. Lett.*, vol. EDL-5, no. 12, pp. 508-510, Dec. 1984.
- [8] C.F. Codella, "Characterization and numerical analysis of the modulation doped heterojunction MESFET," Ph. D. Thesis, Cornell Univ., 1984.

- [9] S.E. Laux "Two-dimensional simulation of gallium-arsenide MESFETs using the finite-element method," Ph. D. Thesis, Conell Univ., 1984.
- [10] J.G. Ruch and G.S. Kino, "Transport properties of GaAs," Phys. Rev., vol. 174, no. 3, pp. 921-931, Oct. 1988.
- [11] 손상희, 박광민, 박형부, 김한구, 김형래, 박장우, 광계달, "Control Volume Formulation Method를 사용한 GaAs MESEFT의 2차원 수치해석" 전자공학회 논문지, vol.26, no.1, pp. 48-61, 1989
- [12] S.V. Patanker, "Numerical heat transfer and fluid flow," McGraw Hill Book Company, 1980.
- [13] H. Morkoc, "High speed modulation doped $Al_x Ga_{1-x} As/GaAs$ Field effect transistors (MODFETs): Analysis, Fabrication and performance," Internal Rep., Dept. of Elec. eng., Univ. of Illinois

 著 者 紹 介



金 炯 來 (准會員)

1965년 2월 20日生. 1987년 2월 한양대학교 전자공학과 졸업. 1989년 2월 한양대학교 대학원 전자공학과 졸업 공학석사학위 취득. 현재 군복무중. 주관심 분야는 반도체 소자의 모델링 및 시뮬레이션 등임.



朴 長 雨 (准會員)

1965년 1월 19日生. 1987년 2월 한양대학교 전자공학과 졸업. 1989년 2월 한양대학교 대학원 전자공학과 졸업 공학석사학위 취득. 1989년 3월 - 현재 한양대학교 대학원 전자공학과 박사과정. 주관심 분야는 반도체 소자의 모델링 및 시뮬레이션 등임.



金 漢 求 (正會員)

1962년 3월 16日生. 1985년 2월 한양대학교 전자공학과 졸업. 1988년 2월 한양대학교 대학원 전자공학과 졸업 공학석사학위 취득. 1988년 3월 - 현재 한양대학교 대학원 전자공학과 박사과정. 주관심

분야는 반도체소자의 modeling, simulation, circuit설계, circuit parameter추출 등임.

奇 鉉 哲 (正會員)

1960년 4월 28日生. 1984년 2월 한양대학교 전자공학과 졸업. 1986년 8월 한양대학교 대학원 전자공학과 졸업 공학석사학위 취득. 1987년 3월 - 현재 한양대학교 대학원 전자공학과 박사과정. 1986년 11월 - 1989년 2월 한국전자통신연구소 화합물 반도체 연구실 연구원. 1989년 3월 ~ 현재 충청실업전문대학 전자과 전임강사. 주관심분야는 반도체 소자의 모델링, mmic의 설계, power 소자의 구조 설계, 및 simulation 등임.



郭 桂 達 (正會員)

1950년 2월 13日生. 1981년 - 현재 한양대학교 전자공학과 부교수. 주관심분야는 GaAs SRAM의 설계와 circuit extractor개발, submicron device의 특성해석을 위한 2-D 및 3-D simulator개발, high-speed 및 power용 반도체 소자의 개발 등임.