

운용 및 유지보수 프로세서

徐長源·安奎錫·李圭烈
(삼성전자(주) TDX개발단 과장, 대리, 과장)

■ 차 례 ■	
<ul style="list-style-type: none"> • 요 약 1. 개 요 2. OMP 소프트웨어 <ul style="list-style-type: none"> 가. 기 능 	<ul style="list-style-type: none"> 3. OMP 하드웨어 <ul style="list-style-type: none"> 가. 하드웨어 구조 나. 하드웨어 블럭별 기능 4. 결 론

요 약

TDX-1A의 유지보수 및 운용관리 프로세서는 8비트 프로세서 사용에 따른 성능상의 제약과 프로그램 체계상의 문제점이 있어 TDX-1B에서는 호처리에 직접 영향을 미치지 않는 SAP, SMP 및 IOIP를 32비트 프로세서로 통합하여 유지보수 및 운용관리를 체계화함과 동시에 이에 관련된 기능을 보완한 OMP (Operation and Maintenance Processor)를 개발하였다.

1 概 要

OMP는 기존 TDX-1A의 SAP 기능, SMP 기능 및 IOIP기능을 통합하여 32비트 프로세서를 사용하여 1개의 프로세서로 구성하였고 호처리 기능과는 별개로 수행되며 보조기억 장치인 하드 디스크와 마그네틱 테이프를 D-BUS를 통하지 않고 직접 제어하도록 하였다.

유지보수를 위한 시험 및 경보기능 처리 프로세서는 처리능력에 제한을 받지 않으므로 D-BUS를 통하여 OMP에 연결되며 하위 프로세서들은 기존의 TDX-1A 시스템에서 사용되는 프로세서의 처리능력만 개선하여 그대로 사용된다.

그리고 실시간 다중처리를 위한 운영체제 적용

및 효과적인 소프트웨어 디버깅을 위한 도구를 개발하고 소프트웨어 확장 및 변경이 용이한 C언어를 사용하여 기능을 구현하였다. 기능으로는 운용관리와 관련하여 과금, 통계, Data Handling, Man-Machine communication 등이 있고 유지보수 기능은 Status Handling, 과부하 제어, 통화로 관리, 장애처리, 경보 등이 있다.

2 OMP 소프트웨어

가. 기능

(1) Operation System

1) Real Time Multitasking

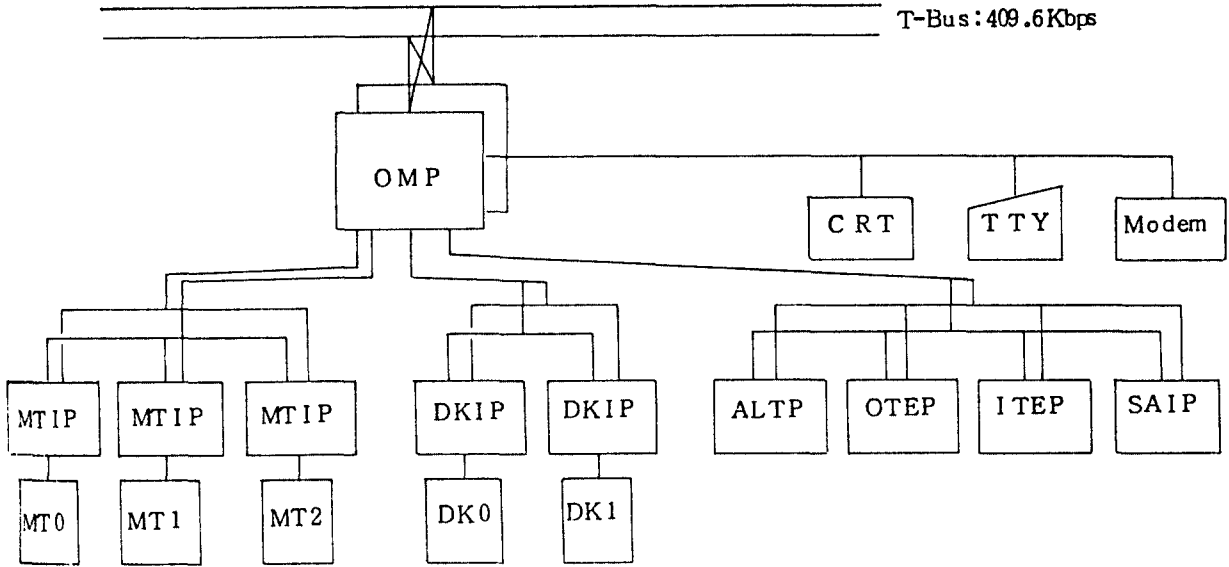


그림 1. OMP 구성도

실시간 다중처리를 수행하며 우선 순위에 따라 OMP에서 정의되어진 Task들을 Scheduling하여 수행시킴.

2) Inter Processor Communication

각 프로세서간의 메시지 통신을 위해 타 프로세서로부터 입력되는 메시지를 Input Queue에 저장하며 타 프로세서로 출력시킨 메시지를 Output Queue에 할당된 뒤 전송한다. 프로세서간의 교신 방법은 가변 크기의 메시지를 HDLC 프로토콜을 따라 DMA와 SIO를 이용한다.

3) Memory Management

메모리의 어드레스 변환과 기록 또는 판독에 대한 영역을 구분하여 프로그램을 보호한다.

4) Dual Processing

이중화된 프로세서에서 이의 동작모드(Active, Stand-by)와 동작상태(Normal, Abnormal, Loading 중)를 관리하며, 이중화된 프로세서 사이의 메시지 교신과 데이터 전달 기능을 수행하며, 이중화된 버스와 RTC도 관리한다.

5) Time Service

실시간 기본 인터럽트에 의해 소프트웨어 Clock을 생성하며, 이 Clock의 일치성을 유지시킨다.

기본 단위시간을 검출하여 시간처리를 요하는 Job에 이를 제공한다.

6) Start-up

시스템 초기 또는 전체 시동시 보조기억 장치로부터 각 프로세서의 프로그램과 데이터를 해당 프로세서에 Load하여 완료 후 정상적인 서비스를 개시할 수 있도록 하며, 정상적인 기능 수행중 Power Fail, Fault에 의해 프로세서가 Down된 경우 프로그램과 데이터를 다시 Load시켜 프로세서를 복구시킨다.

(2) 운용관리

1) 과 금

호가 완료될 때마다 호의 종류, 과금 등급, 통화 시작 시각, 발신자 번호, 착신자 번호로 호의 과금 데이터를 구성한 뒤 순차적으로 일정량씩 MT에 수록한다. 해당 가입자에 대하여는 매호 완료 즉시 TTY에 과금에 대한 상세한 정보를 출력한다.

2) 통 계

시스템 운용시 호처리 과정에서 발생하는 Call Traffic 데이터와 Maintenance 과정에서 발생하는

장애 데이터 등을 일정시간 마다 출력하여, 운용요원의 요구시 트렁크, 가입자 라인, 특수 서비스, 버스, Time-Out, Load / Call, 신호장비, 스위치 회로, Call Type 분배, 장애 등을 각 항목별로 데이터를 수집, 취합하여 MT에 수록한다.

3) Data Handling

Office 변수와 Translation 데이터를 검색 및 변경한다.

4) Man-Machine Communication

운용요원이 정해진 언어로 MMC Device를 통하여 시스템에 각종 시험이나 측정 또는 변경 등의 운용 및 유지보수 작업을 명령하면 그 명령을 번역하여 작업을 수행하도록 요청한다. 작업이 수행된 후 처리된 결과는 운용요원이 알기 쉽도록 Formatting하여 MMC Device로 출력한다.

(3) 유지보수

1) Status Handling

프로세서와 Network내의 Line, Circuit, Telephony Device의 상태를 감시, 관리한다. 상태에 대한 변경시 이에 대한 정보를 분류 분석하고 상태에 대한 정보 변경후 해당 메시지를 출력한다.

2) 과부하 제어

각 프로세서 및 버스의 과부하 여부를 감시 관리한 후 그 부하율에 따라 대응조치를 취한다.

3) 통화로 관리

정확한 과금처리를 위하여 통화시간이 긴 가입자에 대하여 통화상태를 조사하여 비정상적인 경우 관련 조치를 취하며, 지정된 경로를 통한 통화로 구성 및 해당 가입자의 호 시도에서 호

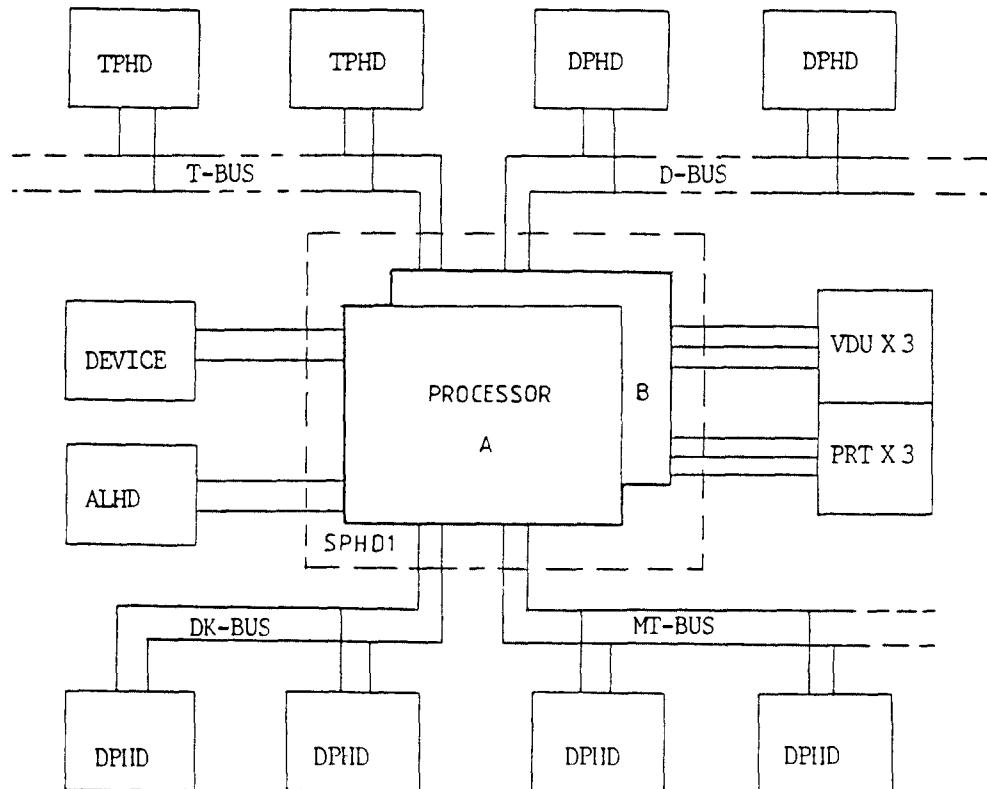


그림 2. Interwork Diagram

완료까지의 Call State의 흐름을 출력하여 정상적인 Call Path의 연결상태를 조사하는 등 통화로를 관리한다

4) 장애처리

시스템내에서 발생된 모든 장애들을 수집, 분류하고 필요한 조치를 취한 후 해당 메시지를 출력한다.

5) 경 보

검출된 경보 Source를 분류, 분석하여 가청, 가시 정보를 제공하고 해당 메시지를 출력한다. 경보는 운용요원의 정보에 의하여 해제된다.

6) Watchdog Timer

프로세서나 프로그램의 정상 동작여부를 감시하는 가장 기본적인 방법으로, 프로세서나 프로그램의 정상 동작시 주기적으로 이 Watchdog Timer를 Trigger 시킨다.

7) Processors Test

프로세서내의 모든 레지스터들, 메모리의 동작, RTC 주기, 프로세서들 간의 버스, IPC 기능을 시험한다.

8) Data Audit

해당 데이터 테이블을 Domain, Relation을 일정주기마다 점검하여 데이터의 Integrity를 유지시킴

9) Line Test

각 가입자선에 대해 Frequency Distortion Loss, Return Loss, Loop Current, Polarity Reverse, Hook-Off 검출, Ring Trip을 시험한다.

각 Digital Trunk에 대해 Frame Error, Carrier Loss에 대해 시험한다.

10) 신호장비 시험

DTMFR과 R2 S/R의 기능에 대해 시험한다.

11) Switch Network Test

Time Switch, DLC 등을 시험한다.

12) 경보시험

경보처리 과정과 정상적인 Rack Alarm Access Board의 동작상태를 시험한다.

13) 입출력장치 시험

MT, DK의 기본기능 및 Interface Board와 모교환기와 자교환기 또는 집중 운용 보전국과의

연결상태를 시험한다.

3 OMP 하드웨어

가. 하드웨어 구조

MC68020 마이크로 프로세서를 CPU로 사용하며 256KDRAM으로 최대 2Mbytes까지 메모리를 실장할 수 있다. 프로세서가 이중화 되어 있으며 3개의 MT unit와 2개의 DK unit 그리고 3개의 VDU, 3개의 PRT Port를 사용 가능토록 구성되어 있다.

그리고 다른 상위레벨 프로세서와 T-BUS로 연결된다.

나. 하드웨어 블럭별 기능

H/W Unit SPHD의 전체 Block Diagram은 그림 3과 같으며 각 Block별 Function은 다음과 같다.

(1) CPU 및 주변회로

SPHD의 모든 Device들을 제어하는 Block으로 MPU와 MMU 및 Local Memory(ROM, SRA-M), Clock 발생회로, RESET LOGIC, SDSI / F LOGIC 등이 있으며 SYSTEM BUS인 VME BUS*의 Controller로서 필요한 BUS Arbitration Logic, Interrupt 처리 Logic 및 VME BUS의 Master로서 구동해야 하는 각종 제어 신호 I/F Logic으로 구성되어 SPHD1내의 중추적인 기능을 담당한다.

MPU는 32Bit Processor인 MC68020 RC16B를 사용하며 10MHz의 Clock으로 구동한다.

MMU는 MC68451을 사용하며 Memory Protection 기능에 사용하며 Local Memory를 두어 Main Memory 없이 CPU 및 Local Memory만으로 Program 수행을 가능하게 하여 SYSTEM의 Performance를 높이도록 되어 있다.

Clock 발생회로는 20MHz의 기본 Clock을 분주하여 필요한 각종 Clock을 공급하며 RESET Logic 은 Power On Reset, Manual Reset, S/W Abort 기능을 수행한다.

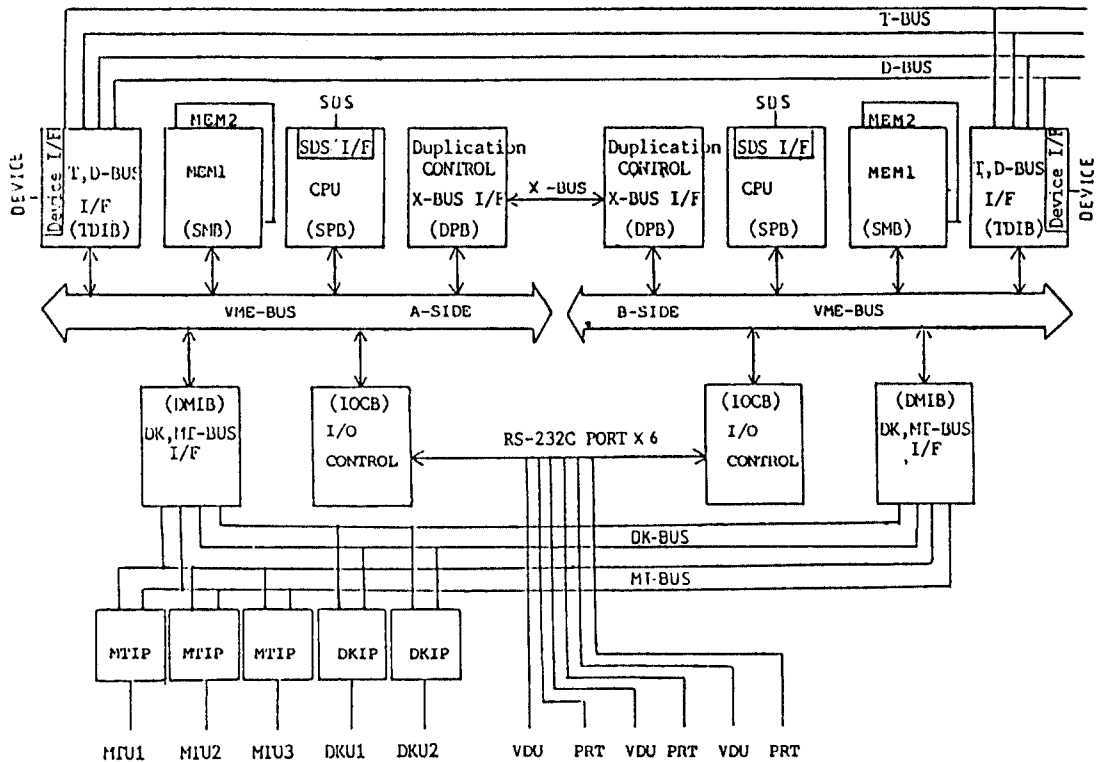


그림 3. Block Diagram(DUPLEX)

(2) Memory

SPHD의 Memory Block은 32Bit Long Word 로 구성되어 있으며 8Bit, 16Bit, 32Bit Access가 가능하다.

Memory Size는 1M Byte이며 B'D 추가에 따라 최대 2M Byte까지 확장이 가능하며 DRAM 을 사용하고 DRAM Control Logic 및 ECC Logic Data Swapping Logic, VME Bus I/F Logic으로 구성되어 있다.

(3) Signal Monitor

SPHD1 내의 각종 H/W Signal들의 주기 및 Status를 Check하고 그에 따른 Fault를 Monitor 하여 Interrupt를 발생하거나 필요시에는 Alarm을 Drive 한다.

(4) BUS Interface

1) D-Bus Interface

D-Bus는 이중화된 Global Bus 구조를 갖고 통신방법은 HDLC Protocol을 따른다.

D-Bus I/F는 HDLC Logic으로서의 SIO, 고속 Data 전송을 위한 DMAC, Duplicated Bus Control Logic, Global Bus의 Channel

2) MT-Bus Interface

D-Bus Interface와 동일하며 용도가 MTIP 와 SPHD1 과의 통신에 사용되는 것이 차이점이다.(DMIB에 실현)

3) DK-Bus Interface

D-Bus Interface와 동일하며 용도가 DKIP와 SPHD1과의 통신에 사용되는 것이 차이점이다.(DMIB에 실현)

4) T-Bus Interface

T-Bus Interface는 이중화된 Global Bus로서 HDLC Protocol에 따른 통신을 하며 D,MT, DK-Bus I/F와 동일한 구조이다. 즉 HDLC Logic으로서의 SIO, 고속 Data 전송을 위한

DMA, Duplicated Bus Control Logic, Global Bus의 Channel Access를 위한 Reservation & Selection Logic으로 구성된다.

SPHD1의 T-Bus I/F가 SYSTEM Master로서 T-Bus를 통해 T-FRS를 공급한다.

5) X-Bus Interface

X-Bus Interface 기능은 이중화된 Processor간의 Data 송수신이며 Interrupt에 의한 Handshake 방식으로 parallel Data의 통신을 제어한다.

(5) Device Interface

Device Interface 기능은 Device를 제어하기 위한 32Bit의 Serial Data Transfer를 Control한다.

Data의 송수신은 16Bit 단위의 Serial Data Handshake 방식에 의해 이루어지며 송수신에 필요한 Baud Rate Clock는 SPHD1에서 만들어져 Shift Clock Signal을 통해 Device로 공급된다.

또한 이중화된 Device를 선택할 수 있는 기능이 있다.

(6) Duplication Control

이중화된 Processor에 공통으로 사용 되는 Real Time Clock을 제공하며 Active와 Stand-By 의 Status를 Program으로 제어 및 Define 하며 양쪽 Processor의 주요 Signal(Clock, RTC, Power)을 Monitor 하고 Program 수행의 정상상태 여부를 검출하여 필요에 따라 'Active / Stand-By Processor간 Switching이 이루어지도록 한다.

록 한다.

(7) SDS Interface

SDS Interface 기능은 SPB내의 두개의 MFC의 Serial I/F 기능으로 실현한다.

SDS로부터 Program이나 Data Down / Up Load 기능이 실현되어 있음.

(8) MMC Interface

MMC를 위한 General Purpose RS-232C Async. Serial Port 6개를 두어 최대 3개의 Printer와 3개의 Terminal을 연결할 수 있도록 하며 MMC 구동 S/W에 의해 입 / 출력이 처리된다.

Baud Rate는 H / W적인 Strap으로 가변 가능하다.(IOCB에 실현)

4] 결 론

MC68020 32비트 프로세서 및 실시간 다중처리를 위한 운영체계를 이용하여 운용관리 및 유지보수 기능의 수행능력을 향상시키고 소프트웨어 확장 및 변경이 용이한 C 언어를 사용하여 응용 프로그램을 개발함으로써 시스템 신뢰도와 안정도를 높이기 위한 기능보완을 쉽게 적용할 수 있도록 하였다.

또한TDX-1A 유지보수 기능의 미비점을 보완 개선 하였으며 이러한 경험을 토대로 TDX-1A 계열교환기 및 TDX-10의 운용 및 유지보수 기능과 MMC기능 개발에 적용시킬 예정이다.



徐長源

저자약력

- 1955년 12월 24일생
- 1982. 2 : 서강대학교 전자공학과 공학사
- 1981. 12~1989 : 삼성전자(주)
- 1989. 3 현재 : TDX 개발단 S/W개발실 과장



安奎錫

저자약력

- 1958년 3월 3일생
- 1980. 2 : 경북대학교 전자공학과 공학사
- 1982. 7 ~1989 : 삼성전자(주)
- 1989. 3 현재 : TDX 개발단 S/W개발실 대리



李圭烈

저자약력

- 1957년 6월 1일생
- 1982. 8 : 경북대학교 대학원 졸업(공학석사)
- 1983. 1 ~1989 : 삼성전자(주)
- 1989. 3 현재 : TDX 개발단 H/W개발실 과장