

TDX-1B 통화로계 개요

金泰亨·余在興
(동양전자통신(주) 중앙연구소 과장, 소장)

1. 서론	가. TDX-1B 스위치 네트워크의 Blocking 확률
2. TDX-1B 통화로계 개요	나. TDX-1B 스위치 네트워크의 통화 처리 용량
가. 설계이념	
나. 하드웨어 설계	
다. 소프트웨어 설계	
3. TDX-1B 스위치 네트워크의 통화처리 용량	4. TDX-1A와 TDX-1B의 통화로계 비교
	5. 결론
	6. 감사의 글

1] 서론

전자 교환방식의 연구는 1956년 크로스바식 교환기의 제어부를 전자화하려는 시도에서부터 시작되었으며, 1960년대 디지털 시분할 교환방식이 연구되면서 1970년대에 실용화되었다. 현재에는 교환망의 경제화 및 고품질화를 추구할 뿐 아니라 종합정보통신망(ISDN)에 적합한 디지털 교환기가 연구 개발되고 있다.

우리나라에서는 1976년 정부의 전자교환기 도입 방침 이후 여러 기종이 도입되었고 이와 병행하여 자체 국산화 계획이 수립되어, 1984년 우리나라 최초의 전전자교환기 TDX-1을 국산화하게 되었다. 이후 TDX-1의 기능을 보완하여 현재 농어촌용 국내표준형 전전자교환기 TDX-1A가 개발되어 현장 운용 중에 있다.

기존 TDX-1A 시스템을 도시 통신망에 적용할 경우 회선 및 스위치 용량이 부족하므로 이를 해결하기 위해 1986년부터 TDX-1A의 기본구조

를 유지하면서 중용량 디지털 전자교환기인 TDX-1B를 개발하게 되었다.

본고는 TDX-1B의 통화로계에 대한 개요와 설계 이념 그리고 구성요소의 기능 및 특징을 기술한다.

2] TDX-1B 통화로계 개요

가. 설계이념

TDX-1B 통화로계의 개발에 적용된 기본 설계 이념으로는 첫째, 시스템의 기본 구조면에서는 현재 국내 농어촌 지역에 운용되고 있는 TDX-1A 시스템을 최대한 활용하여 가급적 구조를 변경하지 않는 범위에서 용량을 배가시키며, 둘째, 개발 관리면에서 계층적 구조를 기본으로 한 top down 설계 및 bottom up 시험방식의 system engineering work method를 적용하여 개발 관리 및 제품수명기간 동안의 보완 개발체제를 구축하

〈표 1〉 TDX-1A와 TDX-1B의 통화로계 하드웨어 비교

system	sub-system	function block	unit	PBA		기능
				TDX-1A	TDX-1B	
Telephony system	GSS	SWC	SWCD	MUXB	MUXB-B	스위치 네트워크
				ITXB	ITXB-B	
				SPXB	SPXB-B	
				OTXB	OTXB-B	
MDCB	MDCB-B					
DMXB	DMXB					
SNBB	SNBB-B	망동기 장치				
NES	NES		NSCB	NSCB-B		
			NBCB	NBCB-B		
			CPB	CPB-B		
			MCCB1	MCCB1-B		
			MCCB2	MCCB2-B		
			MBCB1	MBCB1-B		
			MBCB	MBCB2-B		
			PCCB	PCCB-B		
			MCCB	MGCB		
			MCBB	MCCB		
			MDBB-A	MDBB-A		
			NSBB	NSBB-B		
					MDBB-B	
		MSW	MSWD	CMAB	CMAB	회의통화장치
CMBB	CMBB-B					
ANM	ANMD	ANMB	ANMB	녹음안내장치		
		AMBB	AMBB-B			
Processor system	TPS	TPH	TPHD	CPB	SPB	T 레벨 프로세서 (SNP)
				EMB	SMB	
				CCIB	TDIB	
				DPCB	DPB	
				TPBB	SPBB	

고, 세제, 생산 측면에 대한 고려로서 부품, PBA 종수를 대폭 표준화하고 표준범용부품을 대량 사용할 수 있도록 설계함으로써 양산 효과를 제고하여 생산 수명이 연장되도록 하는 것이다.

나. 하드웨어 설계

TDX-1B 통화로계의 하드웨어 구조는 시스템, 서브시스템, 기능 블럭, 유니트 및 PBA의 계층구조로 형성되었으며, TDX-1A와 TDX-1B의 차이점은 〈표1〉과 같다. TDX-1B 통화로계 하드웨어의 전체 구조는 〈그림1〉과 같다.

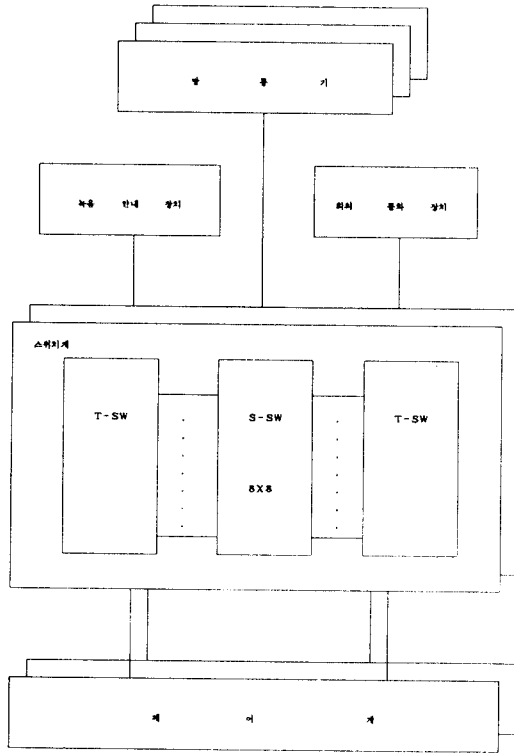


그림 1. TDX-1B 통화로계의 하드웨어 구조도

(1) 스위치 네트워크

TDX-1B의 스위치 네트워크는 T-S-T 구조로 설계되었으며 각 T(T-SW)는 1024 time slot을 처리하고 S(S-SW)는 8×8로 구성되었다. 따라서 스위치 네트워크 전체에서는 8192 time slot이 처리된다. TDX-1B의 스위치 네트워크의 block diagram은 <그림2>와 같다.

스위치 네트워크와 line interface와의 연결은 32channel multiplexed sub-highway(2.048 Mbps)로 구성되어 있으며, 이러한 sub-highway 32개 (32ch×32=1024 channel)가 multiplexer(MUX)에 입력되면 MUX는이를 byte parallel 1024 time slot으로 다중화시켜 T-SW로 입력시킨다. 이때의 Time Slot을 Incoming Time Slot이라 하며, T-SW 를 Incoming T-SW(ITXB-B)라 칭한다.

Incoming T-SW는 Incoming Time Slot을 받아들여 Controller의 제어에 의해 Intermediate Time Slot으로 Time Slot Interchange를 수행하며, 그 출력을 S-SW로 내보낸다. S-SW에서는 이 Intermediate Time Slot 데이터를 각각의 Destination T-SW(Outgoing T-SW, OTXB-B)

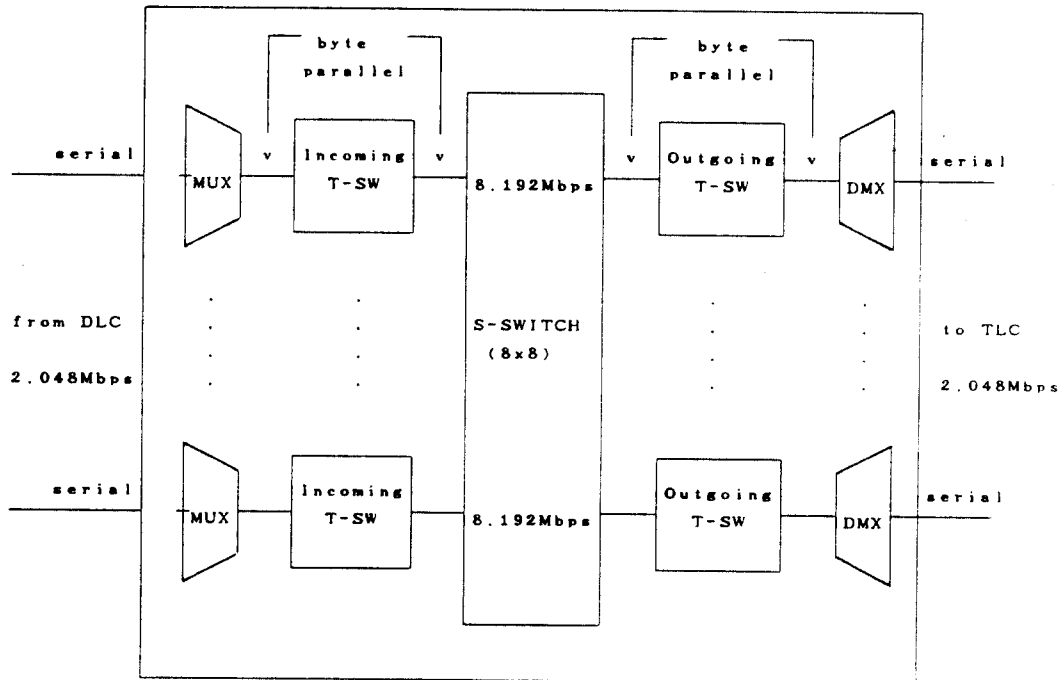


그림 2. 스위치 네트워크 Block Diagram

Time Slot 데이터를 받아 들여 Controller의 제어에 의해 Outgoing Time Slot으로 Time Slot Interchange를 수행하여, 그 출력(1024 Outgoing Time Slot 데이터)을 Demultiplexer(DMX)로 내보낸다. DMX는 이를 32개의 32 channels Sub-Highway(2.048Mbps)로 역다중화시켜 각각의 Line Interface로 내보내진다.

이상이 스위치 네트워크 내에서 음성 데이터가 Time Slot Interchange 과정을 거쳐 음성 교환이 이루어지는 과정을 나타낸 것이다. 이의 과정을 이루게 하는데 있어서 Controller의 기능은 첫째, Incoming T-SW에서 Incoming Time Slot을 Intermediate Time Slot으로 Time Slot Interchange시켜 주는 것과, 둘째, Outgoing T-SW에서 Intermediate Time Slot Interchange시켜 주는 것으로 대별할 수 있으며, Incoming T-SW를 제어할 때 Output으로 나오는 Intermediate Time Slot 데이터와 함께 S-SW Control Data를 출력시켜 S-SW를 제어하게 하여 별도의 S-SW Control Interface를 두지 않은 방식을 사용하였다. 스위치 네트워크는 전체적으로 이중화되어 있으며 이중화된 Controller와 Cross로 연결되어 신뢰성을 향상시켰다.

(1) Multiplexer(MUX)

MUX는 S/P Converter, Latch, Decoder IC 등이 사용되었으며 32 channel 데이터인 2.048Mbps Sub-highway 32개가 입력되어 각 채널의 Serial 8 bits가 Parallel로 변환되고 다중화되어 출력된다.

(2) Demultiplexer(DMX)

DMX는 Latch, P/S Converter, Decoder IC 등이 사용되었으며 8 bits Parallel 데이터(1024 Time Slot 데이터)를 받아 들여 이를 각각 32 channel 데이터(Bit Rate 2.048Mbps) Stream인 Sub-highway 32개를 출력시키는 것으로 Multiplexer의 역기능을 수행한다.

(3) Time Switch(T-SW)

TDX-1B의 T-SW는 Incoming T-SW(ITXB-B)와 Outgoing T-SW(OTXB-B)로 ITXB-B는 Incoming Time Slot 데이터를 Intermediate

Time Slot 데이터로, OTXB-B는 Intermediate Time Slot 데이터를 Outgoing Time Slot 데이터로 Time Slot Interchange를 해 주는 기능을 한다. 이들의 차이는 ITXB-B는 입력 데이터가 순차적으로 Write되고 출력 데이터는 Controlled Read에 의하여 만들어지는데 반하여, OTXB-B는 반대로 입력 데이터가 Controlled Write되고 출력 데이터는 순차적인 Read에 의하여 만들어지는데 있다. ITXB-B와 OTXB-B의 데이터 처리구조를 틀리게 한 이유는 Switch Network Controller에서 Intermediate Time Slot을 검색하기 쉬운 구조를 갖도록 하여 호처리 능력을 향상시키는데 있다.

(4) Space Switch(S-SW)

Space Switch의 기능은 각각 8개로 구성된 ITXB-B와 OTXB-B간의 Time Slot 데이터를 Time Slot 단위로 연결시켜 주는 것이다. 이를 실현하기 위하여 Tri-state Logic Gate를 사용하여 설계하였다.

(2) 제어계

TDX-1B의 통화로 제어계는 TDX-1A에서 SWP(Switching Processor)와 NTP(Number Translation Processor)의 기능을 통합한 SNP(Switching & Number translation Processor)로서 스위치 네트워크를 제어하여 통화로를 형성시키고, 각 가입자 및 트렁크로부터의 번호번역 요구 등을 처리하도록 설계되어 있다.

SNP의 기능 실현은 T-bus 정합회로, Device 정합회로, 시스템 메모리, 제어 부분등으로 이루어진다. 타 상위레벨 프로세서와의 통신은 T-bus 정합회로를 통하여 409.6KHz의 Baud-rate Clock으로 데이터의 송수신이 이루어지고, 버스상에서의 Noise를 최소화시키기 위하여 Differential Drive 방식으로 통신한다. 스위치계의 제어는 Device 정합회로를 이용하여 Serial Data를 전송 속도 2.5MHz로 16 bit의 데이터를 2회에 걸쳐 1 Frame 단위로 송수신함으로써 이루어지며, 이런 기능들을 제어하는 Control Logic과 프로그램 및 데이터를 저장하는 메모리 부분으로 설계되어 있다. <그림3>은 제어계의 내부 구조를 나타낸

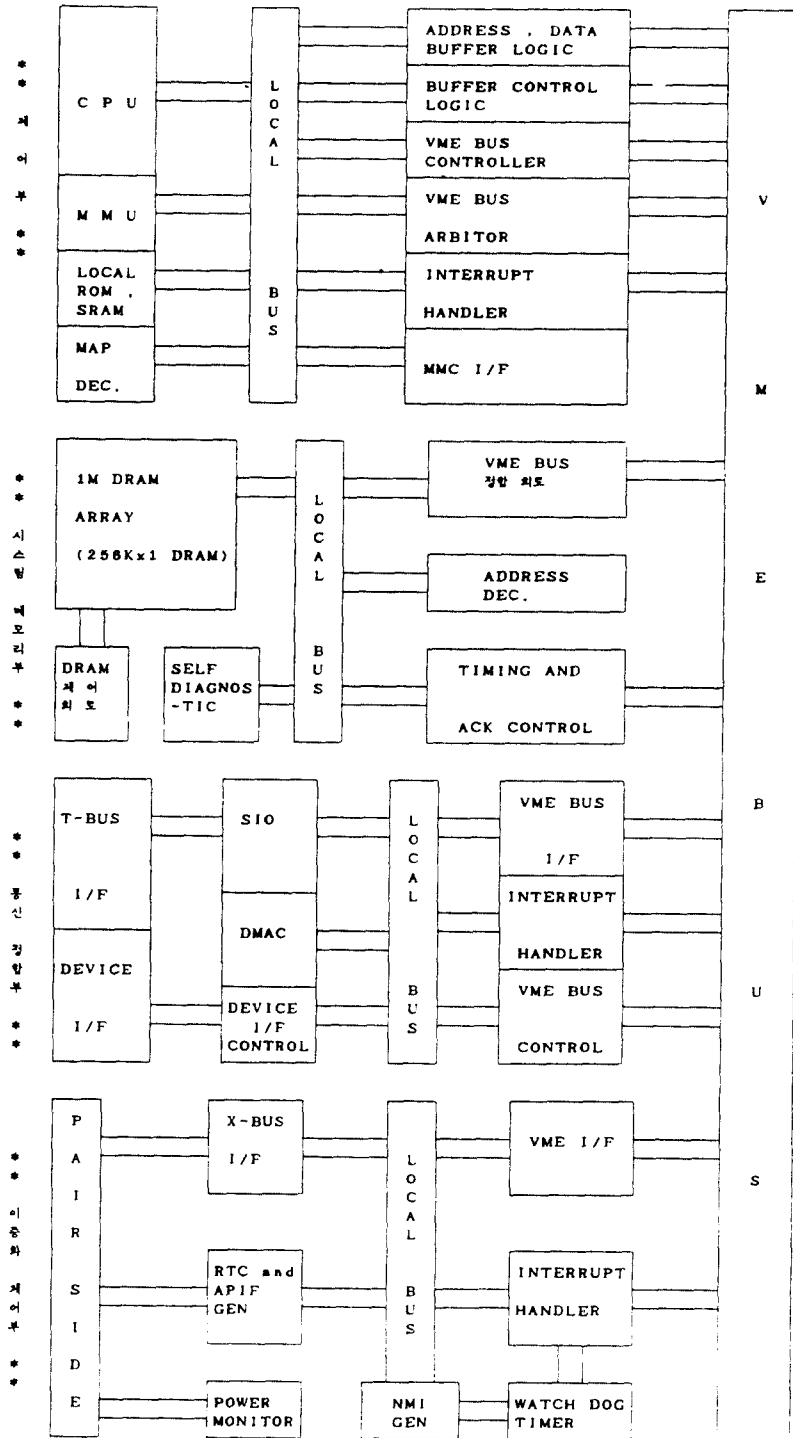


그림 3. SNP Inter-structure

다.

(1) 제어부

SNP의 제어부는 32 bit 마이크로 프로세서인 MC68020을 사용하여 최대 액세스 가능한 메모리 영역이 4G바이트이며 동작 주파수가 10MHz로 프로그램 수행능력이 TDX-1A에 비하여 현저하게 향상되었으며 메모리 액세스와 관리의 효율을 극대화시키기 위하여 MMU와 어드레스 영역을 확장하여 주는 디코더 회로가 포함되어 있다.

또한, 설계 및 개발시 발생하는 제반 문제를 해결하기 위하여 Local SRAM과 EPROM을 사용하여 제어부 자체의 유지 보수 기능이 가능하도록 설계하였으며, MMC 정합회로를 두어 시스템의 상태를 점검할 수 있도록 Asynchronous 통신이 가능하게 설계하였다. 그리고 TDX-1B 통화로 제어부는 VME Bus를 사용하여 모든 기능 블럭이 VME Bus 사양을 만족할 수 있도록 설계하였다. 제어부에서는 시스템 controller로서의 어드레스 및 데이터 버스 제어신호 발생회로, Master로서의 VME Bus의 사용 여부를 결정하여 주는 Bus Arbitration 기능, Slave 또는 Local source의 Interrupt 처리 요구에 대한 Interrupt 처리 기능 등이 실현되어 있다.

(2) 시스템 메모리부

시스템 메모리부는 시스템에 사용해야 할 프로그램 및 데이터를 저장하도록 256K DRAM을 사용한 1M 바이트 용량의 회로팩으로, 메모리 확장이 용이하도록 1M 바이트 단위로 선택 가능하도록 설계하였다. 시스템 메모리부는 VME bus와의 호환성을 위한 정합회로, 어드레스 확장을 위한 어드레스 디코더 회로, 메모리의 신뢰도를 향상시키기 위한 에러 검출 및 정정 회로(EDA), 메모리 전 영역을 시험하기 위한 자체 진단회로, 정상 액세스 주기 및 Refresh 주기를 제어하는 DRAM 제어회로, 정상 모드와 자체 진단 모드에서의 주기 수행에 필요한 타이밍 제공을 위한 타이밍 제어회로 등으로 구성되어 있다.

(3) 통신 정합부

SNP의 통신 정합부는 타 상위레벨 프로세서와의 통신을 수행하는 T-bus 통신부분과 스위치 네트워크와의 통신을 수행하는 부분으로 나누어지

며, VME Bus와 호환성을 위한 정합회로, 각 부분의 선택을 위한 어드레스 디코더회로, 정합부내의 Interrupt를 취합하여 Controller로 Request를 하는 Interrupt Handler 및 VME Bus의 사용권을 얻기 위한 VME Bus Controller회로 등으로 구성되어 있다.

T-bus와의 통신은 Baud-rate Clock 409.6KHz를 송수신용 클럭으로 사용하고, 데이터 송수신의 실행시간을 단축하기 위하여 DMAC(MC68450)와 SIO를 사용한 HDLC 프로토콜 통신방식을 채택하고, 버스상의 Noise를 최소화시키기 위해 Differential Drive방식을 사용한다. 스위치 네트워크와의 통신은 2.5MHz의 Shift Clock을 송수신용 클럭으로 사용한 Shift Register를 통하여 16 bit씩 2회에 걸쳐 Handshake 방식으로 통신하도록 설계되어 있다.

(4) 이중화부

이중화부는 SNP 신뢰성을 향상시키기 위해 Active / Standby 형식의 이중화 방식을 채택하였으며, 일정 주기마다 프로세서의 동작상태를 감시할 수 있게 하기 위한 Watch Dog Timer 회로와 자체에서 발생하는 12MHz의 Clock을 사용하며 50ms 주기로 RTC를 발생하는 RTC 발생회로, 프로세서 Error 상태를 감지하여 해당 프로세서에 NMI를 발생시키는 NMI 발생 회로와 이를 감지하여 Error 상태에 따라 위급시에는 Active / Standby 상태를 절체시킬 수 있도록 하는 APIF 발생회로 등으로 구성되어 있다. 또한 Active / Standby 프로세서간의 Data Update 및 상태 감시를 위한 Handshake 방식의 Parallel 통신이 가능하도록 하여주는 X-bus 정합기능, VME Bus와의 호환성을 위한 정합 회로 및 Interrupt 발생시 이를 제어하여 주는 Interrupt Handler가 있다.

(3) 망동기계

TDX-1B의 망동기계는 TDX-1A에 비해 시스템 용량이 증대됨에 따라 시스템 기본클럭(32.768MHz)와 시스템 클럭 동기 신호(8KHz) port가 증대되었으며 상위국 기준클럭도 TDX-1A에서는 1.544MHz만 수용하게 되어 있으나 TDX-

1B에서는 1.544MHz 및 2.048MHz를 동시에 수용할 수 있도록 설계되어졌다.

망동기계는 크게 나누어 제어부, 동기 클럭 발생부 및 클럭 분배부등으로 설계되어 있으며, 동기 클럭 발생부의 특징은 VCXO(Voltage Controlled Crystal Oscillator) 및 위상 검출기로, 구성되는 loop내에 마이크로 프로세서를 포함하고 위상 검출 및 제어를 디지털 방식으로 처리하는 DP-PLL로 구성되며 대국으로부터 입력되는 클럭에서 4KHz 기준 클럭을 추출하여 이에 동기된 자체 클럭을 발생시킨다. 외부에서 공급되는 PLL의 기준 클럭은 최대 6개까지 우회 route를 제공받을 수 있으며, 프로그램 되어 있는 우선

순위에 의해 최상위국을 선택하여 PLL을 동작시키고 모든 입력이 장애 상태인 경우는 일반적으로 사용되는 고정확도의 back-up 오실레이터 대신 마이크로 프로세서에 기록되어 있는 평균 네트워크 주파수로 클럭을 발진시킴으로써 slip 발생률을 최대한 억제하고 있다. 신뢰도를 고려하여 오실레이터를 포함한 loop 전체는 삼중화 구조로, 하나의 Master와 두개의 Slave로 되어 있다. master는 외부 입력 기준 클럭에, slave는 master 출력 클럭에 pulse locking함으로써 세개의 클럭이 서로 동일 위상으로 되어 있으며, master의 이상시 slave가 master가 되어 클럭을 공급한다.

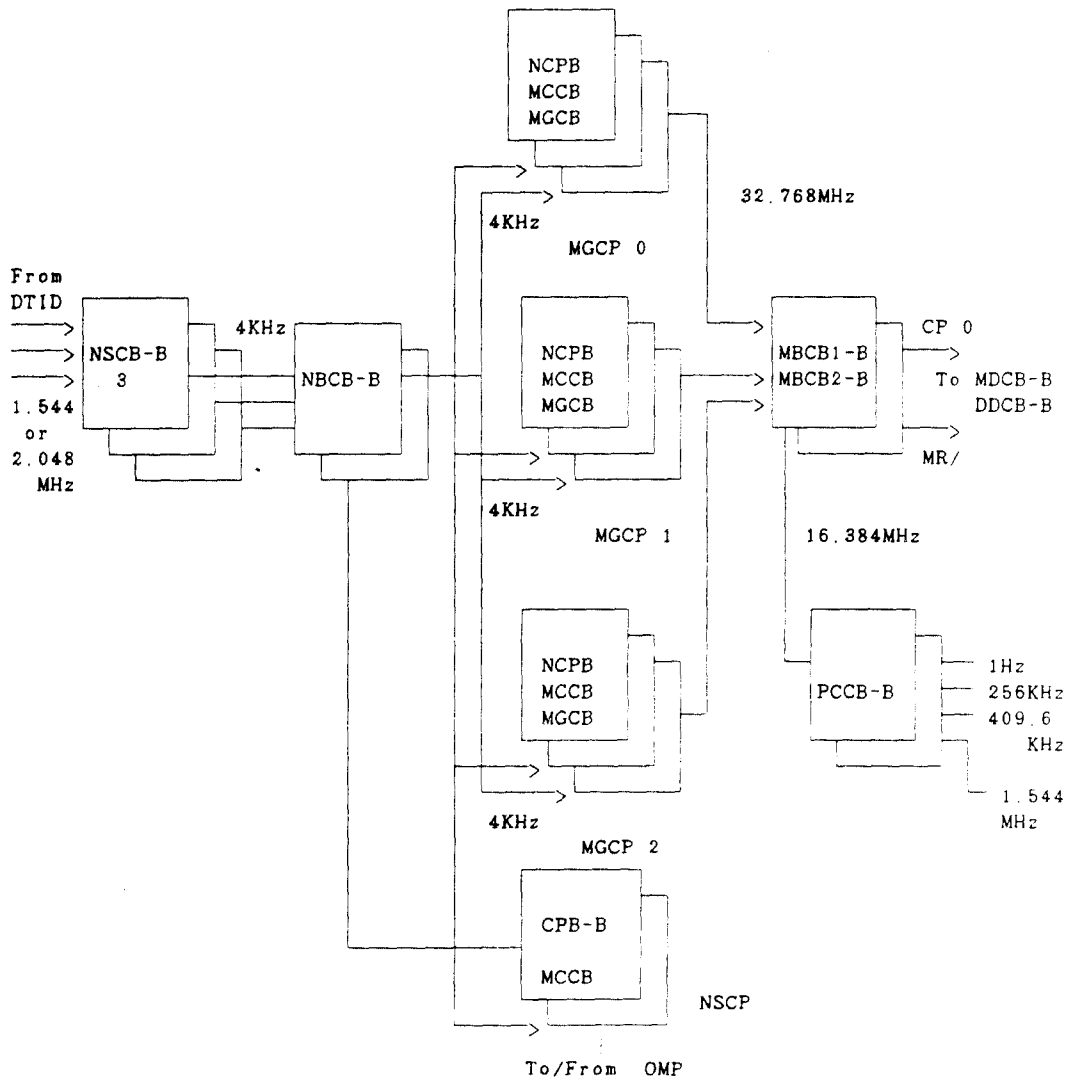


그림 4. 망동기계 구성도

의 이상시 slave가 master가 되어 클럭을 공급한다.

클럭 분배부는 이중화되어 있으며 세계의 VCXO로부터의 32.768MHz 출력을 공급받아, 하나의 master 클럭을 선택, 분류하여 coaxial cable 및 twist pair cable을 통하여 각 하드웨어 유니트로 분배한다.

제어부는 3중화된 PLL에 포함된 세계의 마이크로 프로세서(MGCP) 및 이들을 관장하고 있는 상위 레벨 프로세서(OMP)와 bus로 정합된 망동기 프로세서(NSCP)로 구성되어 있다. 각 프로세서는 CPU, ROM, RAM 및 I/O port로 구성되며 4bit data bus를 통하여 데이터를 송수신한다.

TDX-1B 망동기계 구성도는 <그림4>와 같다.

다. 소프트웨어 설계

TDX-1B 시스템의 통화로제를 관장하는 소프트웨어는 32bit 마이크로 프로세서인 MC68020 CPU를 바탕으로 설계되어진 SNP(Switching and Number translation Processor)에 의해 제어된다. 통화로제 소프트웨어(SNP)의 설계 특징은 기능별로 모듈화되어 있으며 TDX-1A의 번호번역 소프트웨어(NTP)와 스위치 제어용 소프트웨어(SWP)를 통합하여 하나의 프로세서가 처리하도록 설계되어진 점이다. 특히 TDX-1A 시스템의 구조적 문제점인 스위치 네트워크의 처리 능력 및 번호 번역 프로세서의 메모리부족 현상으로 인한 각종 서비스 기능 추가의 한계를, TDX-1B에서는 32 bit 마이크로 프로세서를 사용하여 해결하였다. 또한 실시간 처리 능력을 가진 운영체제 소프트웨어(OS)를 바탕으로 2만회선 용량의 가입자를 수용하며, 서비스 기능 추가가 자유롭게 이루어질 수 있는 구조로 설계되어 있다.

통화로제 소프트웨어는 운영체제 소프트웨어(OS), 스위치 제어용 소프트웨어, 번호번역 소프트웨어 및 자동진단 유지보수 관련 소프트웨어로 구성되며 MC68020 어셈블리 언어와 C 언어를 병행사용하여 동작 환경과 실시간의 효율이 증대 되도록 설계하였다.

<그림 5>은 통화로제 제어용 소프트웨어의 구성도 및 크기를 나타내었다.

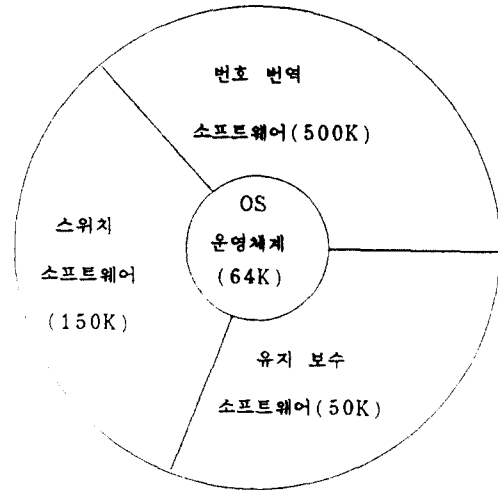


그림 5. 통화로제 제어용 소프트웨어 구성도

(1) 운영체제 소프트웨어

운영체제 소프트웨어는 최첨단 마이크로 프로세서인 MC68020 어셈블리 언어와 C 언어를 병행 사용하여 최적의 환경으로 동작하도록 설계하였으며, 대용량의 가입자 요구를 처리해야 함으로서 SNP 내부의 event는 거의 같은 시각에 수많은 프로세스(process)가 생성 소멸되므로 고도의 실시간성(Real time)과 기능 변경 및 추가에 대비한 유연성(Flexibility)과 적응성(Adaptability) 향상에 중점을 두어 개발하였다. 운영 체제 소프트웨어의 구성으로는 기능별로 프로세서 통신(IPC), 인터럽트 처리, Job 운영, 메모리 관리, 프로세서 이중화, 프로세서 장애 검출 및 타이머 관리 등으로 이루어졌다.

(1) 프로세서 통신(IPC)

TDX-1B의 통신 방식은 Bit Serial Global Bus 인 T-Bus를 통해 이루어지며, 50ms마다 토큰을 요구하여 토큰 인터럽트에 전달, 인터럽트 처리기에 의해 통신용 버퍼에 쌓여 있는 일정양의 메시지가 전송된다. Global Bus의 점유 방식은 Round Robin으로 Reservation & Selective Technique에 의해 이루어진다.

통신 프로토콜은 HDLC(High-level Data Link Control)로서 DMAC(MC68450)와 Z-80 SIO

를 이용하여 전송되며, 메시지의 정확성을 위하여 Message Parity Byte와 CRC(Cycle Redundancy Checker) Byte가 첨부된다. 메시지 전송 도중 특정 Bit의 손실, 값의 변화 또는 특정 Byte의 손실(Frame Error) 등과 같이 여러 경우의 통신 Error가 발생되는데, 이에 대한 대책으로 UnitVariable 메시지 형태와 Parity Checking 방법을 사용하였다. 즉 수신된 메시지의 길이가 14Byte 단위의 배수가 되지 않는 경우와 전송측에서 보내준 Parity가 수신측에서 재생성한 Parity와 불일치할 경우 발신측에 재전송을 요구하여 전송 메시지 Error에 대한 과급 효과를 막고 시스템의 신뢰도를 향상 시키도록 설계되었다.

(2) 인터럽트 처리

인터럽트 처리는 현재 수행되고 있는 프로세스를 중단시키고 그 인터럽트를 수행해 줄 프로세스로 제어기능을 옮기는 방법으로 이 때 중단된 프로세스의 모든 상태는 저장되어 인터럽트 프로세스의 수행이 끝난 후 원래의 프로세스를 수행할 수 있도록 되어져야 한다. SNP의 인터럽트는 MC68020 인터럽트 체계에 따라 7레벨의 인터럽트 계위를 가지며 크게 MMI(Non Maskable Interrupt)와 MI(Maskable Interrupt)로 구분된다.

- NMI 처리

MMI 처리는 MC68020 인터럽트 처리 메커니즘에서 사용 가능한 7개의 인터럽트 레벨 중 최상위 레벨인 7과 6을 이용하며, 상황이 발생될 때마다 해당 서비스 루틴에서 처리된다. 해당 서비스 루틴에서 여러개의 NMI source중 발생된 source를 polling 방식으로 찾아내어 처리를 하도록 한다.

- MI 처리

MI 처리는 MC68020 CPU가 제공하는 여러가지 인터럽트 처리 방법 중에서 인터럽트 벡터에 의하여 MI Source별로 각각의 서비스 루틴에서 처리하는 방식을 사용한다. 동일 레벨의 인터럽트는 Daisy chain으로 우선 순위가 정해지며 소프트웨어적으로 테이블을 운용하여 유연성과 독립성을 구현하였다. 따라서 인터럽트 등록기에서는 MI Source별로 MI 등록 테이블에 등록하고 그 Control 을 인터럽트 처리기에 넘겨줌으로써 소프

트웨어에 의한 우선 순위에 따라 MI 서비스가 가능하도록 하여준다.

(3) Job Scheduling

Job의 생성은 인터럽트, IPC 메시지, 타임 아웃의 3가지 종류에 의하여 이루어지며 처리되는 레벨은 긴급 레벨, 인터럽트 레벨, 기본 레벨의 3가지로 나뉘어진다. 기본 레벨은 실시간성의 우선 순위에 따라 기본 레벨 0, 기본 레벨 1로 다시 나뉘어진다.

- 긴급 레벨 Job

긴급 레벨 Job은 긴급한 고장 처리 Job이 수행되는 NMI 레벨 Job을 말한다.

- 인터럽트 레벨 Job

인터럽트 레벨 Job은 IPC 메시지 송수신 Job, RTC Job 및 Fault 인터럽트 Job 등의 시스템 Job이 운용되며 인터럽트에 의하여 Job이 등록되고 각 Job들은 소속 프로세서에서 처리된다. 이러한 Job들은 우선 순위 원칙의 JCB(Job Control Block)에 의하여 Schedule되고, 각 Job은 소속 프로세스를 순차적으로 Scheduling한다. 매 프로세스 수행 완료시마다 다시 Job을 Scheduling하여 새로운 인터럽트를 수용할 수 있는 상태로 Job을 수행시켜 Job 수행의 실시간성을 최적화한다.

- 기본 레벨 Job

기본 레벨 Job에는 기본 레벨 0과 기본 레벨 1로 구분되며 기본 레벨 0에는 타이머 Job, X-bus 통신 Job 등의 실시간성이 약한 시스템 Job과 IPC 메시지 Job과 같이 보다 실시간성이 강한 Job 등이 운용된다. 기본 레벨 1에서는 보다 실시간성이 약한 Job들로, Long Term Timer Job 및 주기적인 Job들이 운용된다. 이러한 Job은 주기적으로 정해진 수만큼 일정 시간 지연후, 또는 즉시 수행될 수 있도록 하고 또한 수행중인 Job을 멈추게 할 수 있고 멈춘 Job을 계속 진행시킬 수 있도록 한다. 이런 Job은 Application 측의 요구에 의해 등록 및 해제하며 순차적으로 Scheduling 한다.

(4) 메모리 관리

SNP의 메모리 관리는 TDX-1A의 Mapping 개념을 사용하지 않고 1M Byte의 SMB(System

Memory Board)를 직접 제어할 수 있도록 설계하였다. 확장된 메모리 영역을 효율적으로 사용하고, 신뢰성을 높이기 위하여 하드웨어적으로 MC68451 MMU를 사용하며, 소프트웨어적으로는 8K Byte 단위로 Page를 운영하여 메모리를 Program / Data, User / System으로 구분하고 Attribute를 두어 메모리를 관리한다.

(5) 프로세서 이중화

교환기의 중요한 요구 조건 중의 하나는 Non-Stop Operation으로 Redundency Schrme를 이용하여 서비스의 단절을 방지하는데 있다. SNP의 이중화 방식은 Active / Standby 형태로 동일한 IPC가 동일한 시점에 이중화된 프로세서에 동시에 전달 처리되고, 상대방 프로세서의 상태를 주기적으로 감시하여 Active 프로세서의 고장이나 기능 불능시 즉시 프로세서의 절체가 이루어지도록 구현되었다. 또한 데이터 일치를 위하여 Active 프로세서가 처리한 결과의 중요도에 따라 Standby 프로세서에게도 데이터를 전달하여 Active / Standby 절체시 중요 처리 상태가 계속 진행될 수 있도록 설계되었다.

- 이중화 프로세서의 상태 천이

두 프로세서 중 한 프로세서는 Active mode의 정상 상태로 동작하고 다른 프로세서는 Standby mode의 정상 상태로 동작하던 중 Active 프로세서가 고장으로 제 기능을 발휘할 수 없을 때 Standby 프로세서가 Active mode 정상 상태로 동작하게 하는 과정으로, 최소한 통화중이던 호와 중요 운용 관리 데이터 상태를 유지하도록 설계되었다. 상태 프로세서의 요청에 의한 Quick Switch-Over 시는 수십ms내에 완료하고, 자신의 감시에 의한 Slow Switch-Over시에는 1초 이내에 완료한다.

- 이중화 프로세서 사이의 통신

이중화 프로세서 사이에는 Status 교신, 메시지 통신 및 데이터 Transfer 기능이 있다. Status 교신은 긴급한 도움을 행할 때와 상대의 공급 상태를 감시할 때 사용되며 이는 NMI를 이용한 하드웨어 Signal에 의하고, 메시지 통신은 프로세서 상태 보고, 고장 보고 그리고 데이터 Transfer

의 Control 등에 사용하며, 데이터 transfer 기능은 Block Data 전송에 사용된다. 이러한 메시지 및 데이터 통신은 X-bus 통신 채널에 의해 제공된다.

(6) 프로세서 장애 처리

시스템의 장애가 검출되면 장애의 종류 및 중요도에 따라 시스템에 미치는 영향을 조사하고 이에 대한 조치가 수행된다. 각 장애는 소프트웨어적으로 일시적인 Error와 영구적인 Fault로 나뉘며, 정도에 따라 Minor, Major, Critical Fault로 구분된다.

하드웨어적인 장애는 인터럽트에 의해 감지되며, 소프트웨어적인 장애는 각 기능별로 감지되어 통보되면 해당 장애를 복구하고, 이에 대한 상태 및 결과를 OMP(Operation & Maintenance Processor)로 전달한다. 위와 같은 일련의 기능들을 실현하기 위하여 고장 검출 하드웨어, 자동진단 소프트웨어 및 고장 처리 소프트웨어 등의 소프트웨어 Redundency를 두어 고장에 대비하도록 구성하였다.

(7) 타이머 관리

실시간 처리용 OS에서는 다양한 종류의 시간 처리 기능을 갖게 된다. 특히 SNP에서 운용하는 timer로써는 50ms RTC를 기준으로 하여 0.1초, 0.5초, 1초, 1분, 1시간, 일, 월, 년 등의 시간을 프로그램의 각 모듈에 제공한다. 이들 시간은 프로세서의 유지 보수 및 short term timer와 long term timer 관리에 이용되며 해당 시간 처리기를 가동시켜 규정된 시간에 대한 Time-out 서비스를 해주게 한다.

(3) 스위치 네트워크 제어용 소프트웨어

스위치 네트워크 제어 소프트웨어는 스위치 네트워크를 제어하여 가입자 및 중계선 제어 프로세서로부터 수신되는 통화로 연결 및 해제 처리를 하며, 스위치 네트워크를 주기적으로 감시하여 스위치 네트워크가 연속적인 호 서비스 상태에 있도록 자체적인 유지 보수를 실시한 후, 그 결과를 시스템 유지보수 프로세서(OMP)로 보고하는 기능을 가진다. 호처리 소프트웨어는 크게 정상호 처리, 녹음 안내장치 처리, 다중 통화 처리 소프트

웨어 등으로 구분되며 Message Driven 방식(IPC)으로 처리되며 그 수행 절차는 다음과 같다.

- 통화로 제어 메시지 수신
- 휴지 Time Slot 검색
- 스위치 네트워크 제어 정보 작성
- 스위치 네트워크 제어
- 처리 결과 통보

운용 및 유지보수 소프트웨어는 네트워크 시험, 네트워크 상태처리, 초기화, 통계 등으로 분류되며, 주기적인 점검에 의해 이상 발생시 이를 유지보수 담당 프로세서(OMP)에게 통보한 후 이에 대한 복구를 수행한다.

(1) 정상호 (Normal Call)

일반 가입자 간의 양방향 통화로를 연결하기 위해 2개의 휴지 Time Slot을 검색한 후 그 정보를 근거로 스위치 네트워크를 제어한다.

- 휴지 (Idle) Time Slot 검색

스위치 네트워크의 송신 T-SW와 수신 T-SW의 Time Slot 사용 상태를 프로세서가 관리하면서 임의의 송신 T-SW와 수신 T-SW에서 동시에 휴지상태의 Time Slot을 검색하게 된다. 그 방법은 Round-Robin 방식에 의한 Table Searching 방법으로 4 byte씩 검색하며 1 bit가 1 Time Slot을 나타내어 총 8192 Time Slot에 대해 송수신 각각 1024 byte를 사용한다.

- 스위치 네트워크 제어

스위치 네트워크를 실제 Accessing하는 과정으로서 Handshake를 이용한 Serial 통신을 한다. 프로세서내의 주변 정합 회로를 통해 미리 설정된 32 Bit 스위치 네트워크 제어 데이터를 전송하여 스위치 네트워크를 제어하게 되는데, 이 때 16 bit씩 2회 전송하며, 전송시 Error가 발생하였을 때 재전송을 하게 하여 신뢰도를 높였다.

- 이중화 처리

스위치 네트워크의 호 절단이 발생되지 않게 하기 위한 Active 프로세서와 Standby 프로세서의 데이터 일치는 실시간성을 고려하여 T-bus를 통해 Active 프로세서로부터 연결 정보를 제공받아 Standby 프로세서에서 처리하는 방법을 이용한다.

- 해제 처리

임의의 두 가입자의 통화가 종결되면 스위치 해제요구를 받아 연결되어 있던 통화로를 해제 (Disconnection)한다.

(2) 녹음 안내장치 처리

녹음 안내 처리 가입자들에게 번호 변경, Dial 지연 안내, 부재 중 안내, 중계선 폭주등과 같이 안내 방송이 필요할 때 스위치 네트워크에 연결된 녹음 안내 장치에서 특정안내 방송을 해당 가입자에게 연결시키는 과정으로, 녹음 안내 장치의 갯수는 경제적인 이유로 제한이 되기 때문에 동시에 여러 가입자들에게 안내방송을 연결할 수 있는 Broadcasting Switching 형태로 처리되며 안내 방송 방식은 Bargin 방식으로 서비스하도록 설계되었다.

(3) 다중 통화 처리

다중 통화 처리 소프트웨어는 다수 가입자들 사이의 교환작용을 하여 회의 기능, 3자 통화 및 가로채기 호에 이용되는 Call Mixer의 사용을 관리하며, TDX-1B의 다중 통화는 16 그룹 64 가입자까지 처리할 수 있다.

(4) 스위치 네트워크 시험

스위치 네트워크의 시험에는 스위치 네트워크의 하드웨어 상태를 일정한 주기로 시험하여 Error를 검출하는 것과 T-SW 내의 C-Memory에 대한 정상 여부를 시험하여 Error가 발생한 Time Slot에 대해 Blocking 시키고 이를 유지 보수 담당 프로세서에게 보고하는 두가지 기능이 있다.

(5) 스위치 네트워크 상태 처리

스위치 네트워크 상태 처리는 스위치 네트워크 시험에서 수집된 데이터에 의하여 스위치 네트워크를 구성하는 구성 요소 및 전반적인 네트워크의 상태 결정과 스위치 네트워크에서 발생된 Error에 대한 복구 기능을 수행하며, 스위치 네트워크의 이중화, T-SW의 Block / Unblock, C-Memory Updating 등의 모듈로 구성된다.

(6) 통계처리

SNP의 CPU Free Time과 스위치 네트워크 제어 소프트웨어에 의해 생성되는 각종 호처리 관련 Traffic Data와 T-Bus의 Bus 사용도를 수집

보고하는 기능을 한다.

(4) 번호 번역 소프트웨어

번호 번역 소프트웨어는 가입자나 중계선으로부터 수신된 가입자 번호를 번역하여 착신 가입자나 다른 시스템으로의 루우팅을 결정하며, 시스템이 제공하는 특수 서비스를 위한 데이터 테이블도 운영하여 가입자에게 제공한다. TDX-1B에는 최대 22,480회선 가입자 정보와 1024개의 국번 정보를 가지고 있으며 번호 번역과 관련된 특수 서비스로는 단축 다이얼(ABD), 착신 전환 통화(CTX), 직통 전화(HTL), 부재중 안내(ABS), 착신 금지(TD) 등이 있다. 단축 다이얼, 직통 전화, 착신 전환 통화는 전 가입자의 5%인 1024가입자에게 서비스가 가능하고, 부재중 안내, 착신 금지 등은 전가입자에게 서비스가 가능하도록 설계하였다.

번호 번역 소프트웨어의 구성은 일반호 및 특수 서비스 관련 번호 번역 기능과 국번호 등록 및 삭제와 같은 데이터 처리 기능으로 구분되며, 그 처리 방법은 테이블 Search에 의한 방법으로 구현 되는데, 이는 실시간 처리와 Searching 알고리즘을 단순화시키는데 그 목적이 있다.

(1) 국번 번역

국번 번역은 가입자나 중계선 호처리 소프트웨어로부터 국번 번역 요구를 받으면 수신된 국번으로 국번 테이블 내의 호 정보(Call Type)를 번역하여 자국호이면 발신측에 자국 통보를 하고, 타국 이면 발신측에 타국 통보를 한 후 출중계 루우팅 번호를 결정하여 출중계 점유 요구를 하는 기능이다. 번역 결과가 특번일 경우는 자 타국을 구별하여, 자국 특번일 경우는 특번 통보와 더불어 착신 점유 요구를 하고, 타국 특번일 경우는 특번 출중계 루우팅 번호를 결정하여 출중계측으로 출중계 점유 요구를 한다.

(2) 착신번 번역

가입자나 중계선 호처리 소프트웨어가 보내온 착신 번호를 시스템내의 가입자 번호(DN:Directory Number) 테이블로부터 해당 가입자를 찾아내는 과정으로 해당 가입자가 정상 상태(DN 테이블 사용중)에 있으며 DN 테이블에 등록되어 있는 기계 번호(EN:Equipment Number)를 찾아서 해당 가입자가 등록된 프로세서에 착신 점유 요구를 하고, 비정상 상태에 있으면 발신측 프로세서에 비정상 처리를 하도록 한다. 또한 해당 가입자가 착신 전환 통화(CTX) 등록 상태면 착신 번호로부터 착신 전환 번호를 구하여 국번 및 착신번을 다시 번역 처리한다(이 과정은 1회에 한하여 실행된다).

(3) 특수 서비스 번호 번역

특수 서비스를 등록한 가입자나 해당 서비스를 받기 위해서 발신했을 경우 번호번역 소프트웨어는 서비스를 위한 착신 번호를 구하여 국번 번역 및 착신번 번역을 수행한다. 이에 해당되는 특수 서비스에는 단축 다이얼 기능과 직통 전화(대시 직통 전화)가 있다.

(4) 특수 서비스 번호 등록 및 취소

가입자가 특수 서비스 기능이 등록되어 있을 때 Push Botton 전화기를 이용하여 특수 서비스 수행 번호를 등록하거나 취소할 수 있는 기능으로, 특수 서비스 번호의 등록이나 취소가 이루어진 후에는 변경된 데이터를 Disk에 Backup시키기 위해 변경 데이터와 변경된 주소(Physical Address)를 운용 관리 소프트웨어로 보고한다.

(5) 시스템 데이터 처리

데이터 처리에는 가입자 정보 출력, 가입자 추가 및 삭제, 국번의 출력 추가 삭제 및 변경, 특수 서비스의 등록 및 삭제, 특수 서비스 번호의 출력 등이 있다. 데이터 출력은 운용자가 필요에 의해 데이터의 출력을 요구하고, 데이터 변경은 가입자의 요구(가입자 번호 등록 및 삭제, 특수 서비스 등록 및 삭제)나 국번호의 추가 삭제 및 변경 요구에 의하여 발생된다. 데이터를 변경시킬 때는 변경된 데이터를 Disk에 Backup시키기 위해 변경된 데이터와 변경된 주소를 운용 관리 소프트웨어로 보고한다.

3 TDX-1B 스위치 네트워크의 통화 처리 용량

스위치 네트워크의 통화량은 스위치 네트워크를 제어하는 제어계의 호처리 용량(Call Processing Capacity)과 스위치 네트워크의 통화 처리 용량(Traffic Carrying Capacity)의 두 측면에서 살펴 볼 수 있다. 이 중에서 제어계의 호처리 용량은 주어진 Call Type과 Call Spectrum하에서 CCITT 권고안에 정의된 각종 지연 시간 등을 만족하면서 단위 시간당 최대 처리 가능한 호의 수를 말한다. Call Type은 자국호, 중계호, 출중계호 그리고 입중계호를 말하며, Call Spectrum은 하나의 호가 발생하여 연결될 때까지 각 단계별로 실패될 확률을 나타낸 것이다. 호처리 용량의 기본 단위는 BHCA(Busy Hour Call Attempt)로 1시간 동안 제어계가 처리 가능한 호의 수를 의미한다. 또, 스위치 네트워크의 통화 처리 용량은 주어진 서비스 조건(Blocking 확률의 허용치)을 만족하는 통화량으로 나타내어진다. Erlang으로 표시되는 통화량은 한시간 동안 동시에 진행 중인 평균호의 수, 또는 평균시간 동안 발생하는 평균 호의 수로 계산된다.

가. TDX-1B 스위치 네트워크의 Blocking 확률 Switch 연결을 요구하는 임의의 호에 대해 스위치 네트워크에서 완전한 서비스가 이루어지기

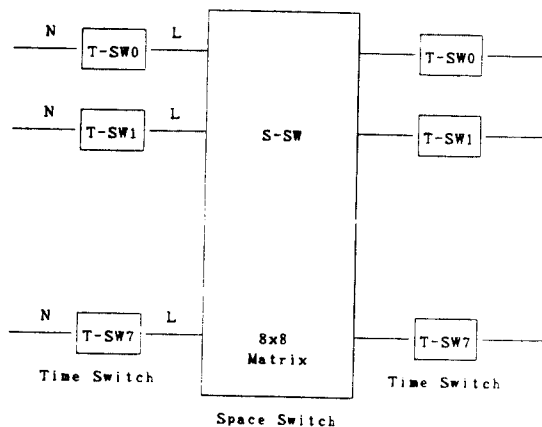


그림 6. T-S-T 스위치 네트워크

위해서는 양방향으로 통화로가 구성되어야 한다. T-S-T 구조로 이루어진 스위치 네트워크에서 통화로가 구성되기 위해서는 한쌍의 같은 번호의 내부 Time Slot이 사용 가능한 상태로 존재하여야 한다.

〈그림 6〉에서 스위치 네트워크 전단의 T-SW의 Incoming Time Slot이 N이고, S-SW의 Intermediate Time Slot이 L이라 하면 $L > 2N - 1$ 의 조건을 만족하면 Blocking은 발생되지 않는다. 그러나 $L < 2N - 1$ 인 경우부터 Blocking이 발생되며, 한 T-SW에서 출력 Time Slot 모두를 탐색한다는 가정하에 $N - 2 < L < 2N - 1$ 인 경우의 Blocking 확률은 다음과 같다.

$$B = \frac{[(N-1)!]^2}{L!(2N-2-L)!} P^L(2-P)^{(2N-2-L)} \quad (1)$$

(여기서, P는 채널의 평균점유율임)

TDX-1B의 N은 1024 Time Slot이므로 식 (1)은 다음과 같이 간략화시킬 수 있다.

$$B = \frac{(N-1)!^2}{L!(2N-L)!} P^L(2-P)^{2N-L} \quad (2)$$

공간 분할 스위치 내에 포함된 Time Slot 모두를 탐색하지 않을 경우에는 $L < N - 1$ 이므로 양방향 Blocking 확률은 다음과 같다.

$$B = 1 - (1 - B_1)^2 = 1 - (2P - P^2)^L \quad (3)$$

위 식에서 $B_2 = (2P - P^2)^L$ 은 편방향의 Blocking 확률로써 대칭적 통화로 탐색의 경우에 적용된다. TDX-1A의 경우 호처리당 실행 시간을 고려하여 Time Slot 탐색을 128로 하였으나, TDX-1B의 SNP는 32 Bit 프로세서(SNP)이므로 Time Slot 탐색수를 L을 512로 설계되었다. Time Slot 탐색수는 호처리당 소요되는 실행 시간과 관련된 Factor로써 그 값이 클수록 Blocking 확률은 작아지며, BHCA는 낮아진다.

식 (3)에 의해 채널이 평균점유율 P를 0.75에서 0.95까지, Time Slot 탐색수 L을 128에서 1024 까지 변화시키면서 그에 따른 스위치 네트워크 Blocking 확률을 구하면 〈표 2〉와 같다. 여기서 Time Slot 탐색수가 512일 때, CCITT에서 권고하는 Blocking 확률 허용치(0.001-0.01)를 만족하

〈표 2〉 채널 점유율에 따른 스위치 네트워크의 Blocking 확률

Time Slot 탐색(L)	채널 점유율(P) 0.75	0.80	0.85	0.90	0.95
	0.005	0.0107	0.1057	0.476	0.9248
128	0.0	0.000068	0.0059	0.147	0.7761
256	0.0	0.000068	0.0059	0.147	0.7761
512	0.0	0.0	0.000017	0.0016	0.4781
1024	0.0	0.0	0.0	0.000068	0.1482

는 채널의 평균점유율 P는 Blocking 허용치가 0.001일 때 0.8786, Blocking 허용치가 0.01일 때 0.8965임을 알 수 있다.

함을 알 수 있다.

4 TDX-1A와 TDX-1B의 통화로계 비교

나. TDX-1B 스위치 네트워크의 통화 처리 용량

스위치 네트워크의 통화 처리 용량은 스위치 연결을 요구하는 호시도(Call Attempt)의 통화로 구성을 위해 제공할 수 있는 총 서비스 채널 수와 Blocking 확률의 허용치를 만족하는 서비스 채널의 점유율의 곱으로 표현된다. 그러므로 스위치 네트워크의 통화 처리 용량을 해석하기 위해서는 우선 스위치 연결에 가용한 서비스 채널의 점유율을 구해야 한다.

한 Time Slot의 평균 점유율을 P라 하고, 수용되는 module 수를 K, 각 module마다 통화로 연결에 가용한 Time Slot 수를 C라 하면 양방향 최대 통화 처리 용량 T_{max}은 다음과 같다.

$$T_{max} = P \times C \times K / 2 \quad (4)$$

식(4)에서 C나 K의 값은 거의 결정된 값이므로 최대 처리 용량은 채널의 평균점유율 P 값에 비례함을 알 수 있다. Time Slot 탐색수를 256, 512 및 1024로 할때 CCITT의 Blocking 확률 허용치 (0.001-0.01)를 만족하는 채널 점유율을 식 (3)에 의해 구해서 그 값에 따른 최대 통화 처리 용량을 계산하여 보면 〈표 3〉과 같다. 즉, 〈표 3〉에서 Time Slot 탐색수가 512일 때 스위치 네트워크의 최대 통화 처리 용량을 3680 Erlang으로 보고, 호당 Holding Time을 60초로 가정하면 TDX-1B의 최대 호처리 용량은 220,800 BHCA가 됨을 알 수 있다. 이 값은 TDX-1B 시스템의 통화 처리 용량인 3600 Erlang과 220,000 BHCA와 거의 일치

TDX-1B 시스템은 TDX-1A의 기본 구조를 이용하여 최소한의 변경으로 설계된 국내 표준형 중용량 전자교환기이다. 본 장에서는 TDX-1A와 TDX-1B의 통화로계 차이점을 비교하며 TDX-1A와의 상관 관계 및 기능 변경사항에 대해 기술하기로 한다.

TDX-1A와 TDX-1B의 차이점은 첫째 스위치 계 부분으로, 기본 구조인 이중화된 T-S-T 구조를 기본으로 하여 스위치의 용량 및 처리 능력이 2배로 증가된 점이다. 둘째, 제어계의 차이점은 TDX-1A가 8 bit 마이크로 프로세서인 Z-80 CPU를 근본으로 설계되어 스위치 제어용 프로세서와 번호 번역 프로세서로 분리 설계 되어 있으나, TDX-1B는 32Bit 마이크로 프로세서인 MC68020을 사용하여 스위치 및 번호 번역용 프로세서를 통합하고, 타 프로세서와의 통신속도가 256 Kbps에서 409.6 Kbps로 향상된 점이다. 셋째, 망동기계의 차이점은 타국 교환기와의 기준 클럭 수용이 NA 방식(1.544MHz)과 CEPT 방식(2.048 MHz) 클럭을 동시에 수용하게 설계되고 클럭 Port가 증대된 점이다. 넷째, 소프트웨어의 차이점은 스위치 및 번호 번역용 소프트웨어 기능을 통합하여 처리했으며 MC68020 어셈블리 언어와 C 언어를 동시에 사용하여 설계된 점이다.

〈표 4〉는 TDX-1A와 TDX-1B의 통화로계 차이점을 나타낸다.

<표 3> TDX-1B 스위치 네트워크의 최대 통화 처리 용량

Blocking 확률	L=256		L=512		L=1024	
	구분	0.001	0.01	0.01	0.01	0.001
채널 점유율	0.829	0.8569	0.8786	0.8965	0.914	0.9282
최대통화 처리 용량	3395.6	3509.9	3596.7	3680.2	3743.7	3801.9

<표 4> TDX-1A와 TDX-1B 통화로계 비교

구	분	TDX - 1A	TDX - 1B
스위치 계	구 조	T - S - T	T - S - T
	Space Switch 용량	4 x 4	8 x 8
	Time Switch 용량	4096 Time Slot	8192 Time Slot
	최대 호 처리 능력	100000 BHCA	220000 BHCA
	최대 호 처리 트래픽	1600 Erl	3600 Erl
제 어 계	C P U	Z-80 (8 bit)	MC68020 (32 bit)
	Memory Size	256 Kbytes	2 Mbytes
	이중화 방식	Active/Standby	Active/Standby
	통신 속도	256 Kbps	409.6 Kbps
	통신 방식	HDLC	HDLC
망동기 계	기준 Clock 수신	T1 (1.544MHz)	T1 (1.544MHz) E1 (2.048MHz)
	T-Bus Clock 발생	256 KHz	409.6 KHz
	시스템 기본 클럭 Port수	120	144
	T1 Carrier Clock Port 수	16	24
소프트웨어	기 능	스위치 및 번호 번역 기능 분리	스위치 및 번호 번역 기능 통합
	사 용 언 어	Z-80 어셈블리 언어	MC68020 어셈블리 언어 C 언어
	프로그램 크기	400 Kbytes	736 Kbytes
	가입자 데이터 수용 능력	1만 가입자	2만 가입자
	회의 통화 처리 용량	8 그룹 32 가입자	16 그룹 64 가입자

5 결 론

TDX-1B는 기능과 부하가 분산된 제어 방식과 시분할 다중화된 PCM 교환 방식을 채용한 전전자교환기로서 국내 중소 도시의 통신망에 적합하도록 설계되었다. 본 고에서는 TDX-1B 통화로계를 개발하는데 적용된 설계이념과 각 부분의 설계 특징 및 성능에 대해 고찰하였으며, TDX-1B 시스템의 스위치 네트워크 통화 처리 용량을 CCITT의 Blocking 확률 허용치를 고려한 채널 점유율에 의해 계산하여 설명하였다. 그리고 TDX-1A와 TDX-1B의 통화로계를 비교함으로써 TDX-1A와 TDX-1B의 차이점을 이해하는데 도움을 주었다.

6 감사의 글

탁월한 관리능력으로 본 개발을 성공적으로 끌어주신 한국전기통신공사 사업개발단, 각종

시스템 시험을 원활히 수행하신 서대전 전신전화국, 풍부한 연구 경험으로 시스템의 마무리를 종합하여 주신 한국전자통신연구소 TDX 개발단, 그리고 본 개발에 참여하여 불철주야 누구보다도 헌신적인 노력과 상호 협조를 아끼지 않았던 분담 개발 참여 회사의 여러분께 깊은 감사를 드린다.

참 고 문 헌

1. 동양전자통신주식회사, TDX-1B SNP 기술 전수 교재, 1988. 1.
2. 한국전자통신연구소, 전자 통신, VOL. 8, NO. 2, JUL. 1986.
3. Jone C.McDonald, "Fundamental of Digital Switching", Continental Tele-Com Inc. Plenum Press, New York, 1983.
4. 대한전자공학회, 전자 교환 기술, 제1권, 제1호, 1985. 8.
5. 한국전기 통신공사, TDX-1B 전문 교육 교재, 1988. 8.

약 어	원 어
AMBB	Announcement Machine Backboard
AMMB	Announcement Machine Memory Board
ANM	Announcement Machine
ANMD	Announcement Machine Device
APIF	Active Processor Indicator Flag
BHCA	Busy Hour Call Attemption
CCIB	Communion & Control Interface Board
CCITT	Commute Consultative International Telegraph and Telephone
CMAB	Conference Mixer Board
CMBB	Conference Mixer Backboard
CPB	Common Processor Board
CPU	Control Processor Unit
DMA	Direct Memory Access
DMX	Demultiplexer
DMXB	Demultiplexer Board
DPB	Dual Processor Board
DPCB	Dual Processor Configuration Board
DRAM	Dynamic Random Access Memory
EMB	Extended Memory Board
GSS	Group Switching Subsystem
HDLC	High-level Data Link Control
IC	Integrated Circuit
I/O	Input / Output
IPC	Inter-Processor Communication
ITXB	Transmitting Time Switch Board

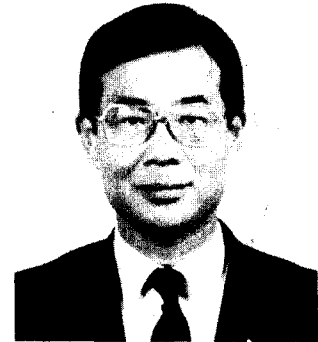
약 어	원 어
JCB	Job Control Block
MBCB1	Master Clock Buffer Board1
MBCB2	Master Clock Buffer Board2
MCBB	Master Clock Backboard1
MCBB1	Master Clock Control Board1
MCBB2	Master Clock Control Board2
MDBB-A	Master Clock Distributed Backboard
MDCB	Master Clock Distributed Backboard
MGCB	Master Clock Generator Board
MGCP	Master Clock Generator Processor
MI	Maskable Interrupt
MMU	Memory Management Unit
MSW	Multi-way Switching
MSWD	Multi-way Switching Device
MUX	Multiplexer
MUXB	Multiplexer Board
NBCB	Network Clock Buffer Board
NES	Network Synchronization
NESD	Network Synchronization Device
NMI	Non-maskable Interrupt
NSBB	Network Synchronization Backboard
NSCB	Network Synchronization Board
NSCP	Network Synchronization Processor
NTP	Number Translation Processor
OMP	Operation & Maintenance Processor
OS	Operating System
OTXB	Receiving Time Switch Board
PBA	Printed Board Assembly
PCCB	PCM Carrier Clock Board
PCM	Pulse Code Modulation
PLL	Phase Lock Locked
P/S	Parallel to Serial
RAM	Random Access Memory
ROM	Read Only Memory
RTC	Real Time Clock
RX	Receiving
SHW	Subhighway
SIO	Serial Input / Output
SLP	Subscriber Line Board
SMB	System Memory Board
SNBB	Switching Network Backboard
SNP	Switching & Number Translation Processor
SPB	System Processor Board
SPBB	System Processor Backboard
SPXB	Space Switch Board
S/P	Serial to Parallel
SWC	Switching Complex
SWCD	Switching Complex Device
TDIB	T-level Processor Board
TPBB	T-level Processor Backboard
TPH	T-level Processor Hardware
THPD	T-level Processor Hardware Device
TPS	T-level Processor Subsystem
TX	Transmitting
VCXO	Voltage Controlled Crystal Oscillator
VME	Versa Motorola Euro-card



金泰亨

저자약력

- 1959년 1월 8일생
- 1978년 3월~1982년 2월 : 경북대학교 전자공학과 (공학사)
- 1982년 5월~현재 : 동양전자통신(주) 중앙연구소 과장



余在興

저자약력

- 1946년 7월 5일생
- 1964년 2월~1972년 3월 : 한양대학교 전자공학과 (학사)
- 1982년 3월~1984년 9월 : 한양대학교 산업대학원 전자계산학(석사)
- 1984년 2월~1987년 9월 : 한양대학교 대학원전자과 박사과정 수료
- 1972년 1월~1976년 2월 : KIST 연구원
- 1976년 2월~1979년 3월 : 동양정밀공업(주) 중앙 연구소부장
- 1979년 3월~1983년 3월 : KTRI, KETRI, ETRI 연구실장
- 1983년 3월~1984년 8월 : 대영전자공업(주) 연구 소장
- 1984년 8월~현재 : 동양전자통신(주) 중앙연구소장

용어해설

- N형 반도체 (N type semiconductor) : 불순물 반도체의 일종으로서 결정의 원자 구조 내에 여분의 전도 전자를 지닌 것이다. 게르마늄이나 실리콘과 같이 4개의 최외각 전자를 갖는 결정에 미량의 안티몬이나 비소를 가하면, 안티몬이나 비소의 최외각은 5개의 전자를 지니면서 이것이 8개의 전자로 안정되지만 공유 결합 후 남아있던 하나의 전자는 자유롭게 되어 전도 전자가 된다. 이와 같이 전도에 이바지 하는 것이 전자인 반도체를 negative의 N을 따서 N형 반도체라 한다.
- MOS형 집적 회로 (MOS integrated circuit (MOS IC)) : MOS형 트랜지스터로만 구성된 집적회로로써 쌍극성 집적 회로와 비교하면 제조 공정이 적고 집적도가 크므로 LSI에 적합하다. 이것은 집적 회로 속에 구성되는 채널의 전도형에 따라서 P채널형, N채널형 및 양자를 조합한 상보형(相補型) 집적 회로 등의 종류가 있으며 MOSIC 기억 등에 널리 이용되고 있다.