

# TDX-1B 중계선계 개발개요

柳銀榮·朴 一·洪辰杓·文楨國·范淳均  
(금성반도체(주)연구소 수석, 선임, 주임, 선임, 주임연구원)

■ 차 례 ■	
1. 서론	3. NA Trunk
2. CEPT Trunk	가. H/W
가. H/W	나. S/W
나. S/W	4. 결론

## 1 서론

국내에서 TDX System의 개발 및 설치 운용을 통하여 전전자 교환기의 기술수준이 성숙되어 감에 따라, 국산 교환기에 의한 ISDN 기능구현, 수출형 교환기종의 개발 등에 대한 요구가 증대하고 있다. 이를 위해서는 전 세계적으로 사용되고 있는 CEPT(Conference of European Postal Telecommunications Administrations) PCM 방식이나 NA(North American) 혹은 T1 PCM 방식의 ISDN 기능구현을 위한 기초 구조 개발이 필요하게 되었다. 금성반도체(주)는 1986년부터 TDX-1B 개발사업의 일환으로 CEPT 방식 중계선계(이하 CEPT Trunk라 칭함)와 NA 방식 중계선계(이하 NA Trunk라 칭함)를 개발하여 TDX System의 중계회선 용량을 증대하고 집적화 시켰다. 1988년 8월에는 상용시험을 성공적으로 끝냈으며, NA Trunk는 상용화단계에 있다. 본 문에서는 CEPT 및 NA Trunk의 구조 및 성능에 대해 간략하게 소개하고자 한다.

## 2 CEPT Trunk

### 가. CEPT Trunk Hardware

CEPT PCM System은 유럽을 비롯한 세계의 대부분의 국가에서 채택하고 있는 전송 방식으로, CCITTG.700-G.956을 통해 권고하고 있다. CEPT PCM System의 Primary Multiplexer의 전송속도는 2.048Mbps로서 Coding방식은 A-Law를 사용하며 Line Code는 HDB3 Code를 표준으로 하고 있다. 1개의 Frame은 32개의 Time Slot으로 구성되어 있으며 16개의 연속된 Frame이 1개의 Multi-Frame을 구성한다. TS(Time Slot) 0은 Frame 동기를 위한 신호용으로 사용되고 TS 16은 Multi-Frame 동기 및 각 Channel에 대한 Signalling용으로 사용된다. (참조 그림 1) CEPT Trunk는 DCTB-B, TRTB, PITB 등 3개의 PBA로 구성되고, 120개의 국간 중계회선을 수용하며 B-Level Processor인 DTCP(Digital Trunk Control Processor)의 제어를 받는다. (참조 그림 2)

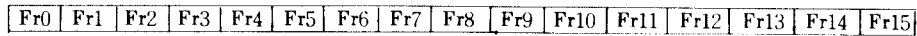
각 PBA별 기능은 다음과 같다.

(1) TRTB

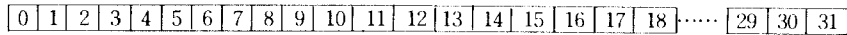
TRTB(Tx,Rx Trunk Board)는 Voice, Signalling 및 64Kbps Dedicated Channel 신호를 CCITT G.704에 따라 2.048Mbps의 PCM Data로 변환해 주며 4개의 PSHW(PCM Subhighway)

Data, Signalling Data 및 64Kbps Data를 그림 1의 Frame 구조에 따라 송신한다. 수신과정은 송신과정의 역으로 수신된 Data를 수신 PSHW Data, Signalling Data 및 64Kbps Data로 분리한다. 또한 표 1에 제시된 Test Function은 MMC

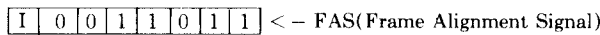
16 Frames / 1 Multiframe



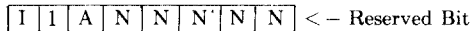
32 Time Slots / 1 Frame



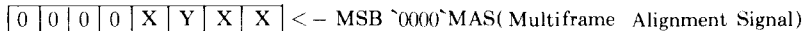
a. Even Frames(0,2,4~14) 0 Time Slot



b. Odd Frames(1,3,5~15) 0 Time Slot



c. Frame 0의 TS 16



c. Frame 1,2~15의 TS 16



- Notes : I International Bit      ABCD ABCD Signalling Bit  
 N National Bit                  X Extra Bit  
 A Alarm Indication Bit      Y Loss of Multiframe Alignment

d. Allocation of Channel Time Slot 16

TS16	Fr0	TS16	Fr1	TS16	Fr2	TS16	Fr3	...	TS16	Fr14	TS16	Fr15
0000	1A11	ABCD	ABCD	ABCD	ABCD	ABCD	ABCD	...	ABCD	ABCD	ABCD	ABCD
MAS		Ch1	Ch16	Ch2	Ch17	Ch3	Ch18		Ch14	Ch29	Ch15	Ch30

그림 1. CEPT Frame Structure

(Man Machine Communication) 혹은 Manual로 실현할 수 있도록 설계하였다. 64Kbps Dedicated Channel Data는 4개의 TS(6,14,22,30) 중에서 임의로 선택할 수 있도록 하였다. TRTB Alarm 체계는 CCITT G.732에 따른 것이며, 표 2는 Alarm 종류를 나타낸 것이다.

표 1. TRTB Test Fuction

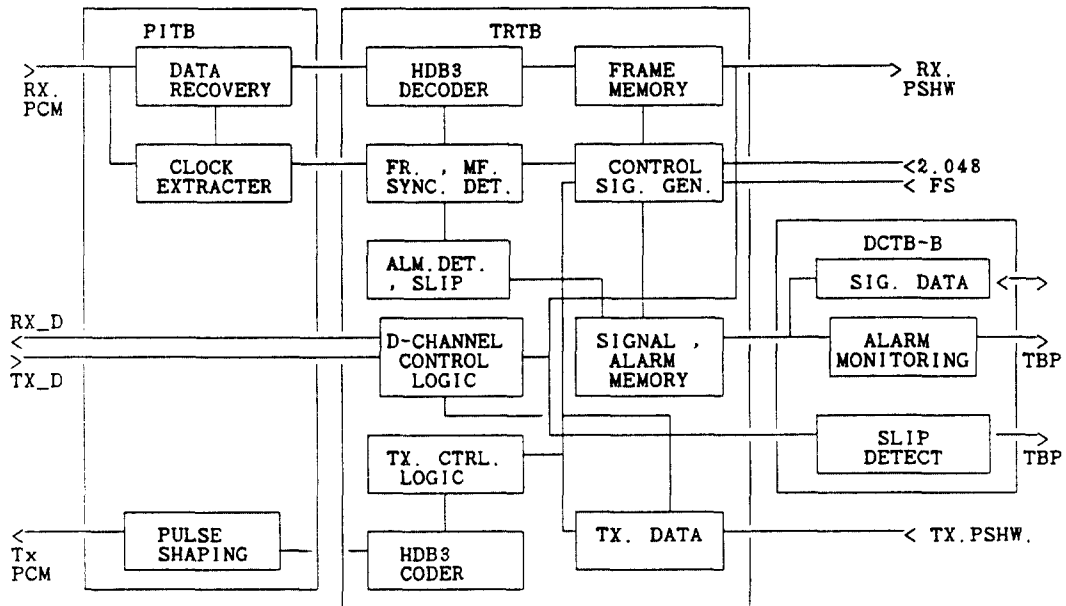
- Local Loopback
- Remote Loopback
- Dedicated Channel Loopback
- 1 mW Test Tone Generation
- Voice Suppression
- BER(10E-3 or 10E-4) Threshold

표 2. TRTB Alarm 종류

- Tx Clock Fault
- Rx Data Fault
- Out of Frame Sync. Error
- Remote Alarm
- TS16 Remote Alarm
- AIS(Alarm Indication signal)
- TS16 AIS

(2) PITB

PITB(PCM Interface Board)는 TRTB로부터 NRZ Data를 받아서 Bipolar 신호로 변환하여 Line으로 전송하거나, Line으로부터 Bipolar 신호를 받아 Clock과 Data를 추출하여 TRTB로 NRZ Data를 보내준다. PITB 출력은 Coaxial 및



TRTB : CEPT Transmitter / Receiver Board  
 DCTB-B : CEPT Data Converion Board  
 PITB : CEPT PCM Interface Board

그림 2. CEPT Trunk 구조

Symmetric Cable을 임의로 선택하여 사용할 수 있도록 되어 있으며, 그림 3은 Loopback Test Function Path를 나타내었다.

(3) DCTB-B

DCTB-B는 CEPT Trunk내의 Local Processor로서 DTCP와 TRTB간의 Channel 신호의 중계 기능과 각종 Alarm 정보를 수집하여 DTCP로 보고하는 기능을 수행한다. 또한 Trunk Unit의 Test Function을 내장하고 있어 Off-Line 상태에서 CRT와 연결하여 표 1의 Test Function을 수행할 수 있다.

나. CEPT Trunk Software

CEPT Trunk를 제어하는 Processor인 DTCP의 Software 중 Line Signalling의 수행 및 Signalling Code와 CRPT Trunk H/W와의 Communication Method에 대하여 서술하고자 한다.

이중 Signalling Code는 III.2 NA Trunk Software에서 CEPT와 NA의 Signalling Code의 비교표에서 서술한다.

(1) LINE SIGNAL

중계선 Line Signalling의 수행은 그림 4와 같은 순서로 수행된다.

1) Seizing Signal

호의 발생시 상대국 회로를 점유하여 Register Signal을 접수할 준비를 하게 하는 Line Signal

2) Answer Signal

착신측의 응답을 발신측으로 알리는 Line Signal

3) Clear- Forward Signal

통화의 종료를 Forward 방향(착신측)으로 알리고 접속된 회로의 복구를 요구하는 Line Signal

4) Clear-Back ward Signal

착신측이 복구했음을 Backward 방향(발신측)으로 알리는 Line Signal

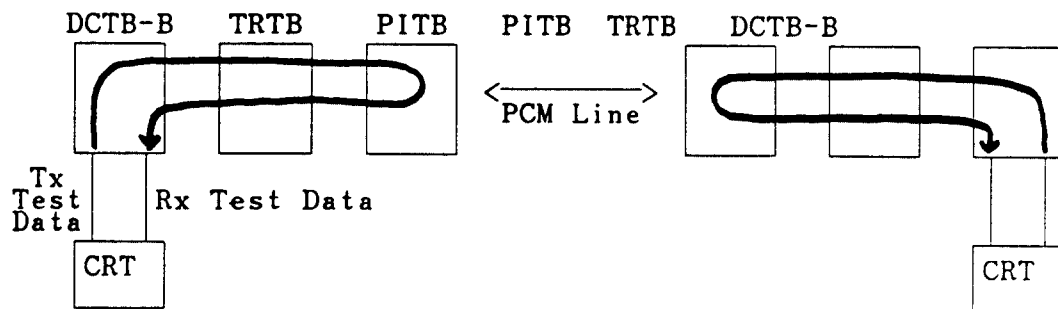


그림 3.1 Local Loopback Path

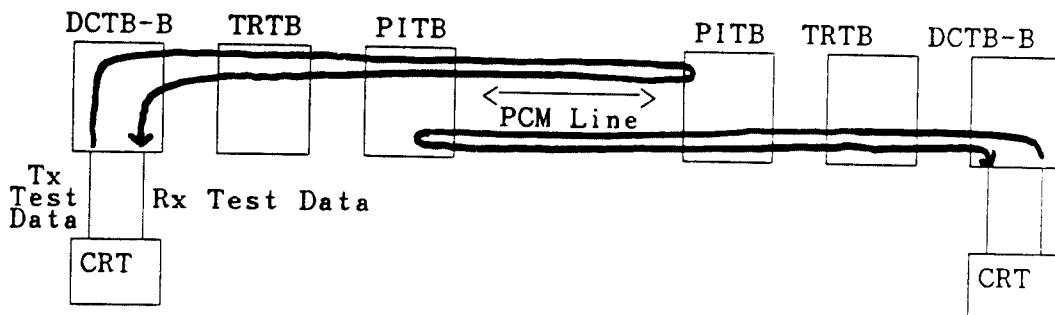


그림 3.2 Remote Loopback Path

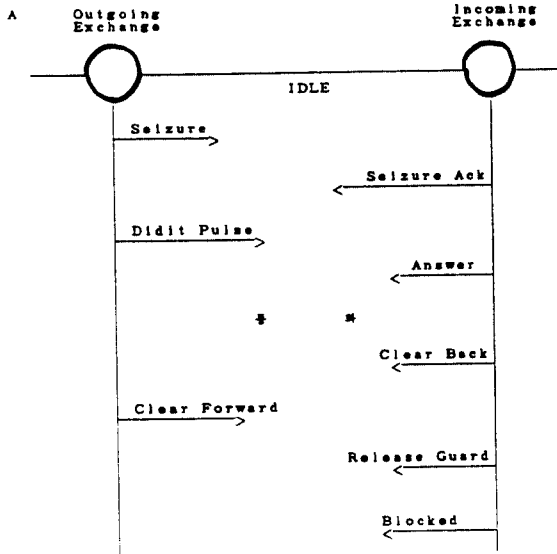


그림 4. Line Signalling 수행순서

일부 국가에서 채택하고 있는 전송방식으로 CCITT G. 700-G.956을 통해 권고하고 있다. T1 PCM System의 Primary Multiplexer의 전송속도는 1.544Mbps로서 Coding 방식은 u-Law를 사용하며 Line Code는 AMI Code를 표준으로 하고 있다. 1개의 Frame은 24개의 Time Slot으로 구성되어 있으며, 12개의 연속된 Frame이 1개의 Multiframe 을 구성한다. 6번째와 12번째 Frame 각 Time Slot LSB는 Signalling Bit로 사용된다. NA Trunk는 NMTB NITB 등 2개의 PBA로 구성되고, 120개의 국간중계회선을 수용하며, B-Level Processor인 DTCP(Digital Control Processor)의 제어를 받는다. 한편 구성 부품을 Hybrid IC 및 LSI를 사용하여 고집적화 시켰으며, ISDN 기능중 S2 PRI(Primary Rate Interface) 기능 일부구현이 가능하도록 설계하였다. 그림 6은 NA Trunk의 Block Diagram을 나타내었다.

5) Release Guard Signal

“Clear-Forward”,에 대한 응답으로 Incoming End 회로의 복구를 허용함을 통지해 주는 Line Signal

(2) DCTB와의 Communication

DTCP S / W의 H / W Control은 DCTB 내부의 Common Memory를 통하여 Data를 주고받으며 그 Data는 Line Signalling Data, Line Control Data, Alarm Data, Slip 발생 Counter, H / W Board Status Data 및 Test Data 등이며 그 구조는 아래 그림과 같다. 왼편의 Address는 Common Memory Address이며, 오른편의 Line No.는 PCM Line Number이다.

Common memory로부터 Line Signal Data는 1 Byte 당 2 CH의 Data가 수신되며, Ling Signal Control Data는 1 Byte 당 1 CH씩 송출된다.

3 NA Trunk

가. NA Trunk Hardware

T1 PCM System은 북미를 비롯한 한국 등

각 PBA별 구조 및 기능은 다음과 같다.

(1) NMTB

NMTB(NA Trunk Main Board) Board는 4개의 32Ch. 구조 PSHW(PCM Subhighway)의 Data를 5개 T1, 24Ch. 구조에 맞게 Ch.을 재배치하고, 64Kbps Dedicated Channel Data를 송수신하며, 내부 Data Bus는 ST-Bus 구조로 되어 있다. 또한 S2 Interface를 위한 기능을 Optional로 구현 가능하도록 설계되어 있다.

그림 8은 NMTB의 Block Diagram을 표시한 것이다.

(2) NITB

NITB(NA Trunk Interface Board)는 T1 Line과 직접 Interface 되는 Board로서2.048Mbps의 신호를 1.544Mbps로 Bit Rate Conversion 기능을 수행하며, U / B, B / U Conversion(Unipolar Bipolar) 및 Line 관련 Alarm 취합보고, Display, 선로 상태를 점검하는 Busy-Key Operation 등을 수행한다. 그림 9은 NITB의 Block Diagram을 나타내었다.

4000H	TLN 0	TLN 15	Line No. 0
4001H	TLN 0	TLN 15	Line No. 1
403BH	TLN 14	TLN 29	Line No. 3
403CH	RX Line Control Data		Line No. 0
403FH	RX Line Control Data		Line No. 3
4040H	Slip 발생 Conter (Low)		Line No. 0
4041H	Slip 발생 Counter (High)		Line No. 0
4046H	Slip 발생 Conter (Low)		Line No. 3
4047H	Slip 발생 Counter (High)		Line No. 3
4048H	TRTB Status		
4049H	TLC Clock Fault Status		
407FH	Test Data (RX)		
4080H	TLN 0		Line No. 0
4081H	TLN 1		Line No. 0
40F6H	TLN 28		Line No. 3
40F7H	TLN 29		Line No. 3
40F8H	TX Line Control Data		Line No. 0
40FBH	TX Line Control Data		Line No. 3
40FCH	Slip Read Flag		
40FFH	Test Data (TX)		

그림 5. Common Memory 구조도

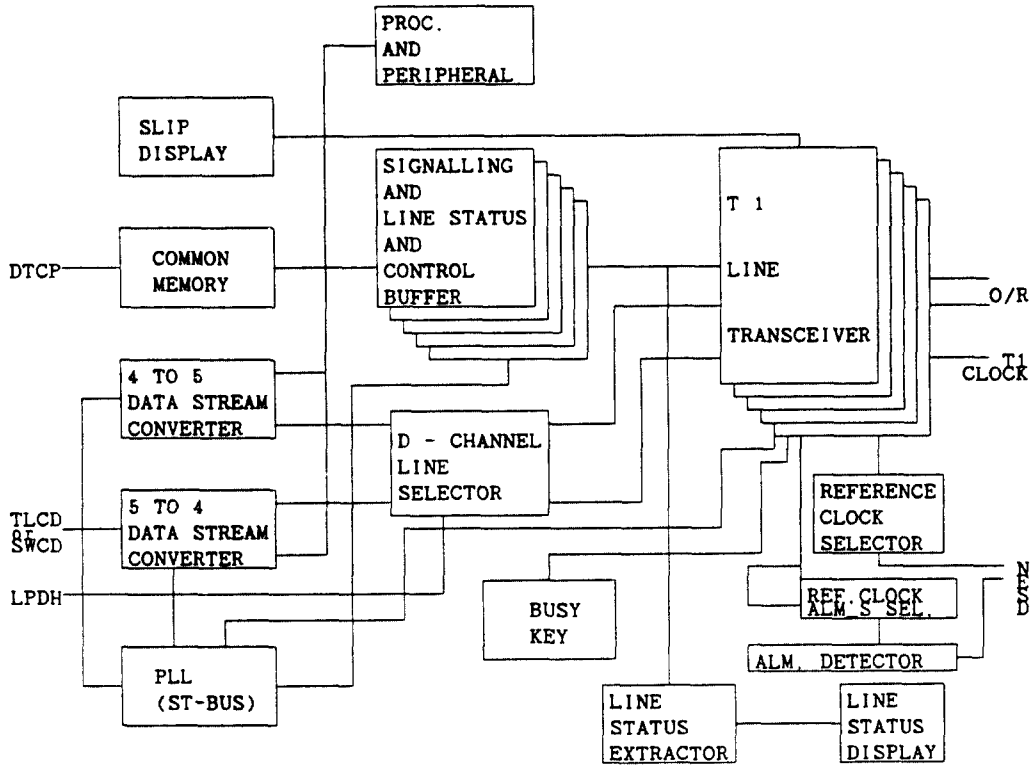


그림 6. NA Trunk Block Diagram

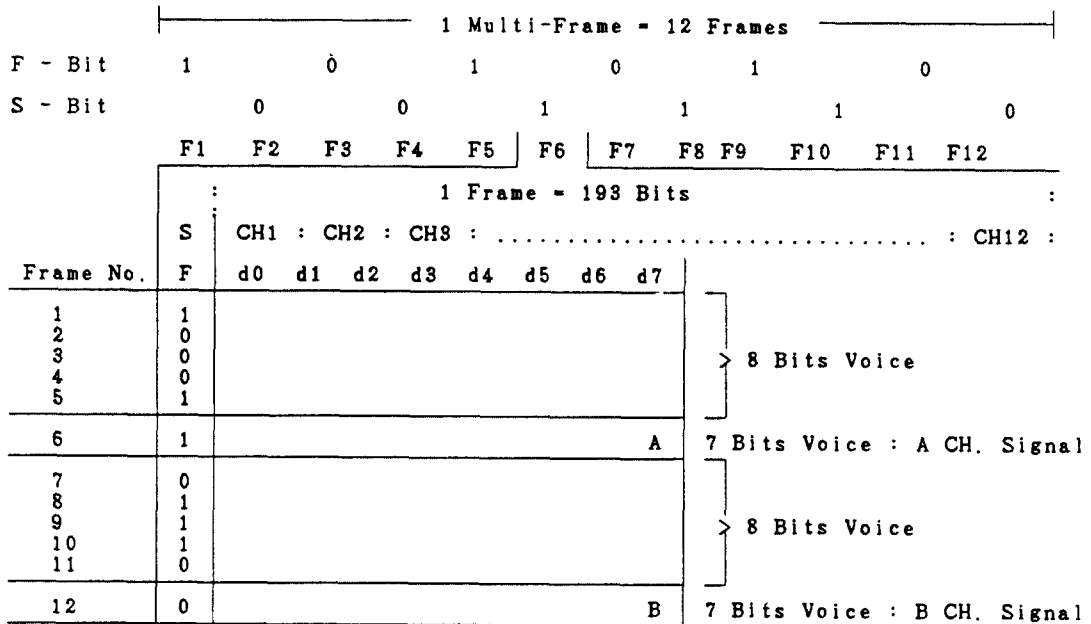


그림 7. T1 Multi-Frame 구조

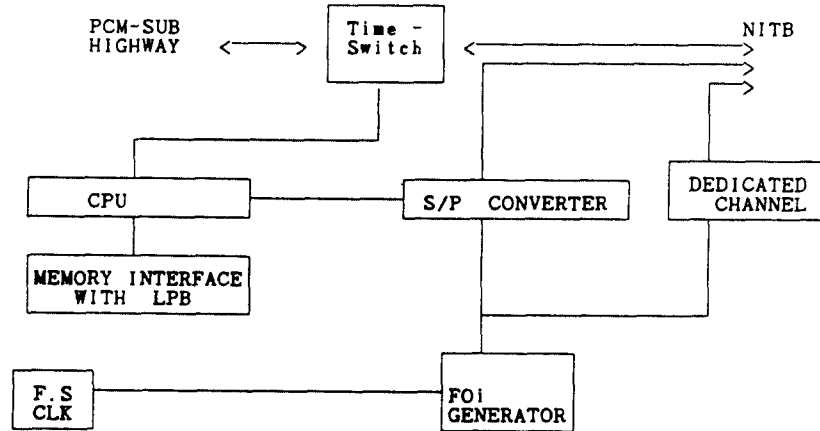


그림 8. NMTB Block Diagram

나. NA Trunk software

NA Trunk를 제어하는 Processor는 DTCP라 불리우며 그 역할중 나.2항에서 서술된 Line Signalling의 수행과 H/W와의 Communication은 동일하며 여기에서는 상태 변화 검출 및 Signalling Code의 비교를 서술한다.

(1) 상태 변화 검출(Transition Detect: TD)

상태 변화 검출에 대한 인식은  $10ms < T < 30ms$  동안 Line Signalling Data가 연속적으로 수집되어야 하며, 이에 대한 상태 변화 검출 Algorithm을 도식화하면 아래와 같다.

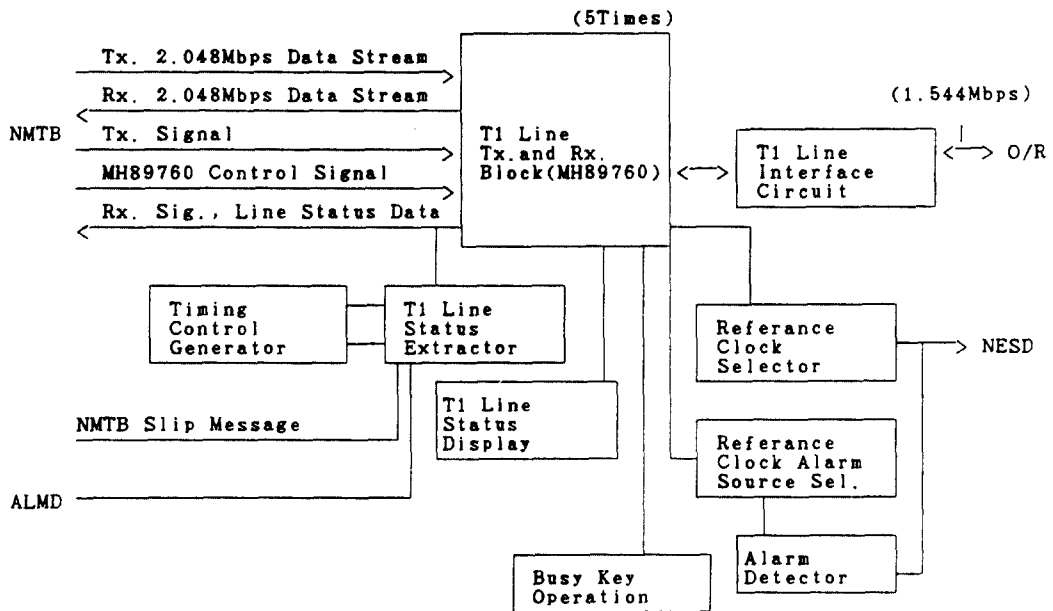


그림 9. NITB Block Diagram



$TD = \{ (LL, XOR, LM), AND, (LL, XOR, SCN) \}, AND, ACT$

여기서 LL은 Last Look Data, SCN은 Presently Scanning Data, LM은 Last Valid Data, ACT은 Scanning Activity Data이다.

TD가 zero이면 Transition이 발생하지 않은 것이고, non-zero이면 발생한 것이다.

(2) Signalling Code

SIGNAL	Outgoing End		Incoming End	
	NA	CEPT	NA	CEPT
IDLE	Af=0 Bf=0	Af=1, Bf=0 Cf=1, Df=x	Ab=0 Bb=0	Ab=1, Bb=0 Cb=1, Db=x
Seized	Af=1 Bf=1	Af=0, Bf=0 Cf=1, Df=x	Ab=0 Bb=0	Ab=1, Bb=0 Cb=1, Db=x
Seizing Acknowledge	Af=1 Bf=1	Af=0, Bf=0 Cf=1, Df=x	Ab=1 Bb=1	Ab=1, Bb=1 Cb=1, Db=x
Answer	Af=1 Bf=1	Af=0, Bf=0 Cf=1, Df=x	Ab=1 Bb=1	Ab=0, Bb=1 Cb=1, Db=x
Clear- Back	Af=1 Bf=1	Af=0, Bf=0 Cf=1, Df=x	Ab=1 Bb=1	Ab=1, Bb=1 Cb=1, Db=x
Clear- Forward	Af=0 Bf=0	Af=1, Bf=0 Cf=1, Df=x	Ab= 1/0 Bb=1	Ab=1/0, Bb= 1 Cb=1, Db=x
Release- Guard	Af=0 Bf=0	Af=1, Bf=0 Cf=1, Df=x	Ab=0 Bb=0	Ab=1, Bb=0 Cb=1, Db=x
Blocked	Af=1 Bf=0	Af=1, Bf=0 Cf=1, Df=x	Ab=1 Bb=1	Ab=1, Bb=1 Cb=1 Db=X

주: Af=Forward Line Signal, Ab=Backward Line Signal  
 Bf=Fault 유무표시 Bf=1이면 Fault, No Charge  
 Bb=Incoming End의 Idle(=0) 및 Seized(=1) 표시  
 Cf=Rering 송출 및 Offering 상태(=0), Cd=Rering 및 Offering 상태(=0)  
 X=Don't care

4 결론

이상에서 TDX-1B용으로 개발된 CEPT Trunk와 NA Trunk의 H/W 및 S/W 구조를 설명하였다. CEPT Trunk는 현재 우리나라 교환기의

전부가 NA Trunk로 구성되어 있다는 점에서 상용화에 문제점은 있으나, RSS운용은 상용화가 가능하며 ISDN S1 Interface를 위한 기능구현의 준비단계로서 의미가 있으며, NA Trunk는 ISDN S2 Interface 준비단계로 의미를 갖을 수 있다. 또한 완료된 TDX-1B System은 서대전 전화국에서 상용시험을 마쳤으며, NA Trunk는 상용화 단계에 있고 CEPT Trunk를 통한 ISDN 구현은 당사 연구소에서 STP 구성 후 Function Test중에 있다.



柳銀榮

저자약력

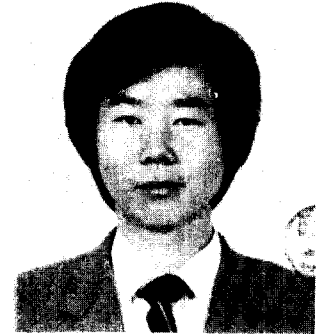
- 1973 : 서울공대 전기공학과 졸업
- 1976~1979 : ADD
- 1980 : 미국 오하이오주립대 석사
- 1983 : 미국 오하이오 주립대 공학박사
- 1983~1986 : General Electric Co.
- 1986~현재 : 금성반도체 (주) 연구소 수석연구원



朴 一

저자약력

- 1982 : 한양대학교 전자통신과 및 동 대학원 졸업
- 1982 : 금성통신(주) 연구소 입사
- 1983. 10~현재 : 금성반도체(주) 연구소 선임연구원



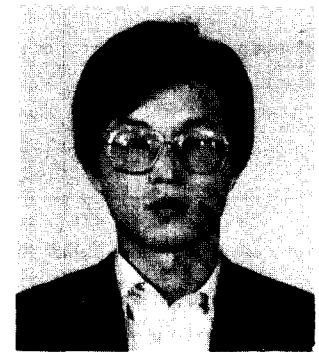
洪 辰 杓

- 1981 : 성균관대학교 전자공학과 졸업
- 1982~1985 : 공군장교복무
- 1985~현재 : 금성반도체(주) 연구소 주임연구원



文 楨 國

- 1982 : 고려대학교 물리학과 졸업
- 1982 : 금성통신(주) 연구소 입사
- 1982. 12~현재 : 금성반도체(주) 연구소 선임연구원



范 淳 均

저자약력

- 1985 : 중앙대학교 전산학과 졸업
- 1985~현재 : 금성반도체(주) 연구소 주임연구원