

論文
3-2-3

원칩 마이크로 컴퓨터를 이용한 UPS용 3상 다중 PAM 인버터에 관한 연구.

(A Study on the Three Phase Multi-PAM Inverter
using the one-chip Microcomputer for UPS.)

李 成 栢* · 李 宗 圭**
(Seong-Back Lee · Jong-Kue Lee)

요 약

정지형 전원(Static Power Supply) 설계를 위한 다중 PAM 인버터에 관하여 논한다.
인버터의 제어부는 원칩 마이크로 컴퓨터(One-chip Microcomputer)로 구성하여 간단히 제어신호를 얻었고, 중단 구성은 더블 브리지 인버터와 3상 3권선 변압기로 구성하였다.
출력 파형은 제어기와 변압기를 이용하여 1주기당 22 스텝의 전압레벨로 다중 PAM 파형을 합성하였으며, 저역 여파기(Low Pass Filter)에 의해 정현파에 가까운 파형을 얻었다.

Abstract

This paper discussed the Multi-PAM inverter for static power supply design. The controller part composed of one-chip microcomputer obtained control pattern simply.
The configuration of a termination part was composed of double bridge inverter and three-phase, three-winding transformer.
The output waveforms using a controller and transformers synthesized the multi-PAM waveform by a voltage level of 22 steps per one-cycle.
The output waveforms using the Low Pass Filter approximated to the sine wave.

1. 서 론

전력변환의 수단으로 인버터를 설계할때에는 제어 대상에 따라 각각의 출력단 구성과 제어기 설계

가 결정된다.

UPS(Uninterruptible Power Supply), CVCF(Constant Voltage Constant Frequency) 등과같은 프랜트를 위한 시스템 구성은 소용량인 경우에 고속 스위칭 소자를 이용하여 정현파 PWM하고, LPF를 이용, 레벨합성하여 출력파형을 정현파로하는 연구가 활발히 진행되어 왔다.^{1) 2)}

* 正會員 : 光元大學教 電氣工學科 教授 · 工博
** 正會員 : 大邱공업전문대학 전임강사

그러나 아직까지는 고속 스위칭 소자의 정격용량 문제로 시스템의 대용량화에는 많은 어려움이 있다.

특히 컴퓨터 등과같은 제어대상만을 고려한 UPS, CVCF 설계 보다는 빌딩이나 공장의 단위설비를 대상으로하는 보다 용량이 큰 대용량 안정전원 설비가 요구되고 있다.

이러한 대용량을 위한 출력단 제어기법의 방법으로 PAM 인버터 구성이 고려되어 왔다.^{3) 4)}

PAM 기법은 여러단의 인버터와 변압기로 전압레벨을 합성하는 방법과, 콘덴서와 스위칭 소자로 구성된 출력단을 turn-on, turn-off 제어하여 전압레벨을 합성하는 방법이 주로 연구되어 왔다.^{5) 6)}

그러한 PAM 기법중에서 3상 인버터를 구성할 때 2개의 인버터와 3상 변압기에 의하여 전압레벨을 합성하는 방법으로 PAWM(Pulse Amplitude Width Modulation)을 실현하여 중 용량의 VVVF(Variable Voltage Variable Frequency)를 연구하였다.⁷⁾

본 논문은 위의 PAWM 방식중 변조율이 1 인 때만을 고려하여 3상 22스텝 PAM 패턴을 출력해내는 제어기설계와 출력단 구성에 관하여 논한다.

출력단 구성은 더블 브리지 인버터와 3상 3권선 변압기의 Δ , Y-Y 결선에 의하여 1주기당 22스텝 PAM 출력파형을 출력해내도록 하였고, 제어기 구성은 원칩 마이크로 컴퓨터를 사용하여 하드웨어를 극소화시켜 간단한 소프트웨어 알고리즘으로 제어 패턴을 출력하도록 했다.

또 다중화된 출력 파형은 LPF를 통과시켜 정현파에 가까운 파형을 출력해냈다.

2. 다중 PAM 기법

3상 22스텝 PAM 출력단 구성은 그림1과 같이 인버터 1, 2와 3상 3권선 변압기로 구성된다.

3상 출력전압의 합성은 변압기 Δ -Y 간의 30° 위상변위 및 3상 전압변위를 이용하고, 제어기 설

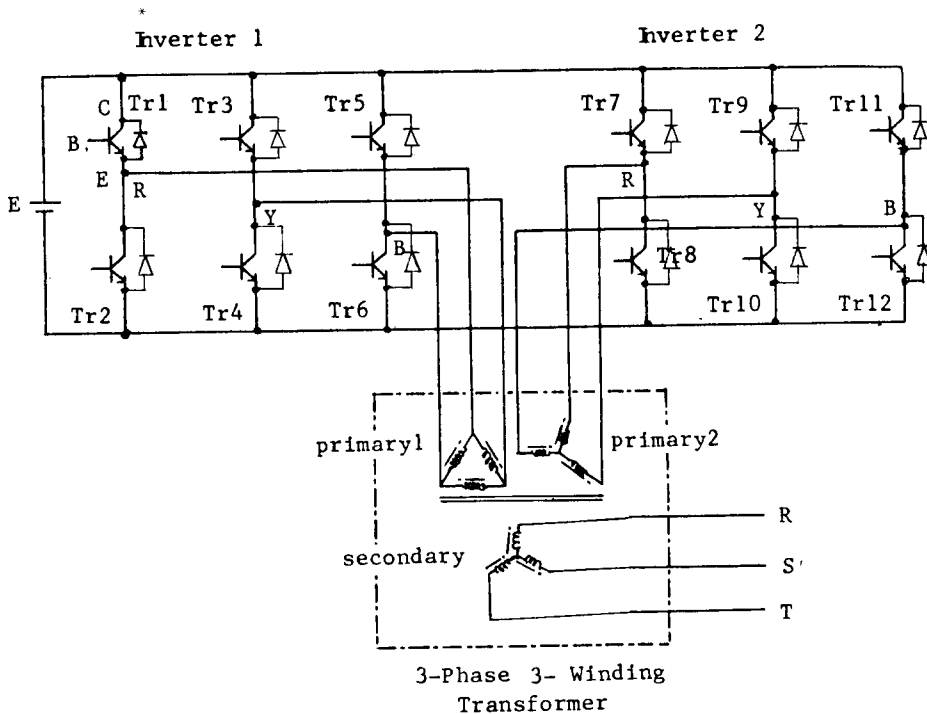


그림1. 인버터와 변압기 구성도.
Fig. 1. Configuration of inverter and transformer.

계시 인버터 1과 인버터 2의 제어신호를 전체적으로 30[°] 쉬프트(shift) 시키고 각상의 레벨을 그림

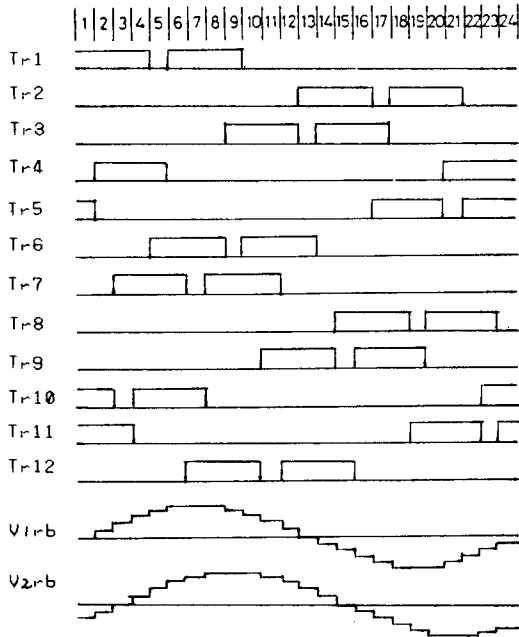


그림2. 제어 신호와 출력단 PAM 파형.
Fig. 2. Gating control signal and PAM waveforms of output stage.

2와 같은 패턴으로 파형을 PAM하면 원하는 3상 22스텝 출력파형을 얻어낼수 있다.

이때 변압기 결선은 1차측이 Δ 와 Y, 2차측이 Y결선이고, 권선비는 $\sqrt{3} : 1$ 과 $\sqrt{3}$ 이다. 그림2는 인버터 1과 인버터 2의 Tr 소자 베이스신호 패턴과 출력단 PAM 출력 파형을 도시한 것이다.

PAM 출력파형의 합성과정은 그림 2에서 1 주 기당 24 구간으로 나뉘어진 제어기 패턴에서 출력, 전압 파형은 1, 2 인버터의 출력단 소자가 Turn-on 하므로 브리지 1과 브리지 2는 변압기 결합에 의해 구간마다 각각의 출력파형을 결정한다.

이때 1차 권선의 전압의 합은

$$V_{2rb} + V_{1b\gamma} + V_{1\gamma r} = 0 \dots\dots\dots (1)$$

이때 스텝화된 파형의 표본화 과정은 그림 2의 도통 간격 1 일때만을 고려하면 인버터 1의 Tr1과 Tr2가 도통이므로

$$V_{1rb} = 0 \dots\dots\dots (2)$$

또 구간 1에서 인버터 2의 Tr10 과 Tr11 이 도통이므로

$$V_{2\gamma b} = -E \dots\dots\dots (3)$$

표 1. 표본화된 선간 전압 레벨
Table 1. Line to line voltage levels of normalization

도통 구간	전압 레벨					
	V_{1rb}	$V_{1\gamma r}$	$V_{1b\gamma}$	V_{2rb}	$V_{2\gamma r}$	$V_{2b\gamma}$
0-15°	0	-0.866	+0.866	-0.500	-0.500	+1.000
16-30°	+0.268	-1.000	+0.732	-0.268	-0.732	+1.000
31-45°	+0.500	-1.000	+0.500	0	-0.866	+0.866
46-60°	+0.732	-1.000	+0.268	+0.268	-1.000	+0.732
61-75°	+0.866	-0.866	0	+0.500	-1.000	+0.500
76-90°	+1.000	-0.732	-0.268	+0.732	-1.000	+0.268
91-105°	+1.000	-0.500	-0.500	+0.866	-0.866	0
106-120°	+1.000	-0.268	-0.732	+1.000	-0.732	-0.268
121-135°	+0.866	0	-0.866	+1.000	-0.500	-0.500
136-150°	+1.732	+0.268	-1.000	+1.000	-0.268	-0.732
151-165°	+0.5	+0.500	-1.000	+0.866	0	-0.866
166-180°	+0.268	+0.732	-1.000	+0.732	+0.268	-1.000

즉

$$V_{ibv} - V_{ivr} = \sqrt{3} E \dots\dots\dots(4)$$

(1), (2), (3) 식을 정리하면 다음과 같다.

$$V_{irb} = 0 \dots\dots\dots (5)$$

$$V_{ivr} = (-\sqrt{3}/2)E \dots\dots\dots (6)$$

$$V_{ibv} = (\sqrt{3}/2)E \dots\dots\dots (7)$$

인버터 2에서 미지의 선간전압은 인버터 1의 선간전압으로부터 계산하면

$$V_{zrb} = (V_{irb} - V_{ibv})/\sqrt{3} \dots\dots\dots (8)$$

$$V_{zvr} = (V_{ivr} - V_{iry})/\sqrt{3} \dots\dots\dots (9)$$

$$V_{zbv} = +E \dots\dots\dots (10)$$

위와 같은 방법으로 나머지 23 구간에서도 위의 방법을 적용하여 그림2의 선간 전압파형을 도출할 수 있으며, 전압 E를 1로 정규화하면 표1과 같다.

3. 제어기의 설계

제어기의 구성은 22 스텝 다중 인버터를 보다 간단하게 설계하기 위하여 제어부 구성을 원칩 마이크로컴퓨터로 구성하여 그림2의 파형을 실현한다.

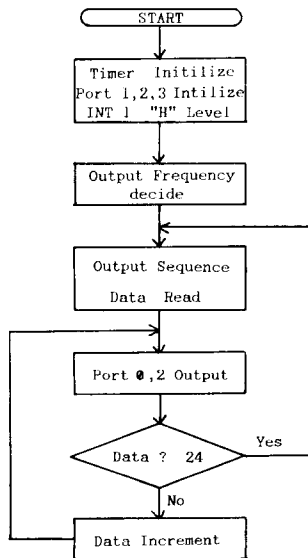


그림3. 게이팅 신호를 위한 제어기 순서도
Fig. 3. Controller flowchart for gating signal

본 논문을 위하여 사용된 원칩 마이크로컴퓨터는 인텔사 8751로 내부에 EPROM과 128 바이트의 RAM, TIMER, 시리얼 포트, 4개의 병렬 출력 포트를 내장하고 있으며, 하드웨어는 8751 18, 19 핀에 X-TAL(12MHZ)를 부착, 하드웨어구성을 실현한다.

소프트웨어 설계는 알고리즘에 따라 플로우차트를 작성하고 어셈블하여 전용 ROM 라이터로 8751 내장 ROM에 프로그램 입력하며, 알고리즘은 제어 파형을 24 구간으로 분할된 그림2의 패턴 시퀀스를 데이터로 하여 데이터 출력시간을 타이머로 설정, 원하는 주파수의 패턴을 간단하게 실행한다.

그림3은 제어기의 순서도이며 외부 인터럽트 단자로부터 외란시에 전출력패턴을 로직레벨"0"으로 한다.

4. 파형 분석

출력 선간의 전압 파형은 스텝 전압레벨을 갖는 정현파에 가까운 PAM 파형으로 위의 파형을 고조파 분석하기 위해 푸리에 급수를 적용하여 수식을 정리하면

$$F(wt) = a_0 \sum_{n=1}^{\infty} [a_n \cos(nwt) + b_n \sin(nwt)] \dots\dots\dots (11)$$

$$a_0 = 1/2\pi \int F(wt) dwt$$

$$a_n = 1/\pi \int F(wt) \cos nwt dwt$$

$$b_n = 1/\pi \int F(wt) \sin nwt dwt$$

PAM 출력 전압파형 $F(x) = -F(-x)$ 이고 $a_0 = a_n = 0$, $F(+x) = -F(x)$ 이므로 b_n 의 우수항은 0이고 기수항만 남는다.

$$b_n = 4/\pi [V_1 \int_{7.5}^{22.5} \sin nwt dwt + V_2 \int_{22.5}^{37.5} \sin nwt dwt + V_3 \int_{37.5}^{52.5} \sin nwt dwt + V_4 \int_{52.5}^{67.5} \sin nwt dwt + V_5 \int_{67.5}^{90} \sin nwt dwt] \dots\dots\dots (12)$$

위의 각각의 전압 레벨 값 V_1, V_2, V_3, V_4, V_5 는 표1의 정규화 값을 대입하여 계산하면 다음과 같다.

- 1차 -1.0147333452E+00
- 3차 -5.7923310504E+06
- 5차 8.9649957122E-06

7차 -1.2382158625E-05

9차 1.6104115366E-05

위의 고조파 분석 결과 실제로 기본파에 근접한 3,5,7,9차 고조파가 매우 적음을 알 수 있다.

5. 실험 고찰

실험 및 실험결과는 제어기 설계, 출력단 구성, 파형분석등을 나누어 고찰한다.

1) 제어기 설계는 그림 3의 순서도를 어셈블하여 8751에 프로그램하고, 트랜지스터에 의한 펄스 트랜스 신호분리하여, 출력단 트랜지스터를 구동하도록 하였다.

그림1은 전체 제어 시스템 구성이며, 그림5는 그림2의 제어기 신호파형 T_{r1} 과 T_{r2} , T_{r1} 과 T_{r3} , T_{r1} 과 T_{r4} 에 대한 8751 칩 PO의 PO.1, PO.2, PO.3, PO.4 핀의 제어패턴 파형을 나타낸다.

2) 그림1의 인버터 구성 소자는 트랜지스터를 사용하였고, 변압기는 3권선 단상 변압기를 3개 사용

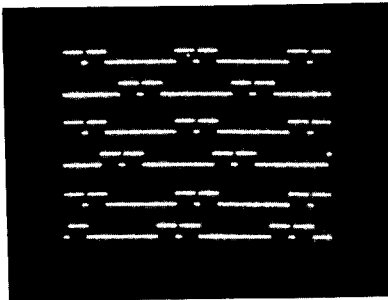


그림4. 제어기 파형
Fig. 4. Controller waveforms.

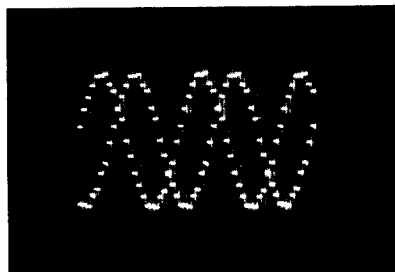


그림5. R, S 상의 출력파형.
Fig. 5. Output waveforms on R, S phase.

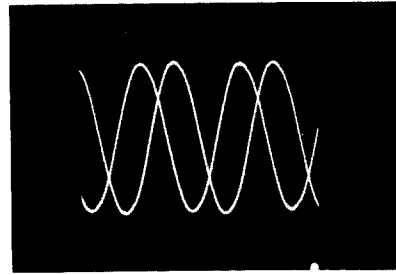


그림6. LC 여파기에 의해 출력된 R, S 상의 파형.
Fig. 6. Output waveforms using LC filter.

하여 구성하였다.

그림4는 R,S상의 출력파형으로 상간 침두 전압 불균형은 변압기 설계시 권선비 문제 때문이다.

3) 그림5 파형을 LPF를 통과 시키면 그림6과 같은 정현파에 가까운 3상 출력파형을 얻는다.

6. 결 론

22 스텝 출력 레벨을 갖는 다중 PAM 인버터를 구성하고, 원칩 마이크로 컴퓨터를 사용하여 간단히 제어기를 설계하였다.

제어기 구성은 원칩 구성으로 보다 간단하게 하드웨어를 실현할 수 있었고, 간단한 프로그램으로 원하는 출력 패턴의 주기와 파형을 출력해 내도록 했다.

출력단 구성은 변압기 결합에 의한 22 스텝 다중 방식으로 LPF를 통과하여 보다 근사한 정현파형을 얻을수 있었다.

언급한 제어기구성은 UPS 전체 시스템구성시 PAM 출력 패턴 제어기로서 적당한 구성이나 실제로 실용화를 위하여 콘버터를 포함한 전체적인 UPS 연구가 계속되어야 겠다.

참 고 문 헌

- 1) Phoivos D. Ziogas, Stefanos Manias and Eduardo P. Wiechmann, "Application of current source inverters in UPS systems," IEEE Trans Ind. Appl., Vol. IA-20, NO.4, JULY/AUG. 1984., pp. 742-752.
- 2) J. Nishizawa, K. Mitamura, S. Maruyama, M.

- Ikehara, and T. Tamamushi, "Low distortion high efficiency and high carrier frequency static induction transistor(UPS)." Conference record of 1986 IEEE Ind. Appl., Society Annual Meeting., pp. 623-629:
- 3) B. D. Benford and R. G. Hoft, "Principle of inverter circuit," New York : Willey 1964., pp. 261-278.
 - 4) Loren H. Walker, "10 MW GTO converter for battery peaking service," Conference record of the 1988 IEEE IND, appl, society annual Meeting, pp. 850-858.
 - 5) Kuniomi Oguchi and Masahiko Ohta, "An improved multisteped-voltage combined with a single-phase inverter through switching devices," IEEE Trans. Ind. Appl., vol. IA-20, MAY/JUNE 1984, pp. 656-666.
 - 6) M. Castro, J. Carpio, S. Martinez, J. Peire and F. Aldana, "Low distortion based on a special transformer," Conference record of the 1987 IEEE Ind. Appl., Society Annual Meeting, pp. 914-920.
 - 7) Beoadway A.R.W. and Rodriguez J.L., "delta-star PAM," IEE Proc. vol. 128, Pt. B. No. 5, SEPT. 1981, pp. 255-259.
 - 8) "Microcontroller Handbook," INTEL, 1983. pp. 7-1, 11-9