

DRAM의 설계 추이

정 진 용

(금성 반도체 연구소 MEMORY 개발담당이사)

1. 서 론

1970년대 초에 1K BIT PMOS MEMORY가 상품화 된 후 매 2~3년마다 DENSITY가 4배로 늘어 80년대 중반에는 MEGA BIT DRAM 시장이 형성되었고, 90년대 초에는 64MEGA DRAM이 실험실에서 제작될 것으로 예상된다.

이렇게 DENSITY가 늘어남에 따라 기생부하 때문에 속도는 느려지고, 소비전력은 늘어나며, DIE SIZE가 커짐에 따라 PACKAGE는 역학적인 문제를 갖게되며, 많은 CELL을 시험하는 데 걸리는 시간이 늘어나는 등의 문제가 야기된다.

이로인해 MEMORY소자의 개발속도가 느려지고, 상대적으로 소자의 응용설계가 강조된다.

2. 설계측면에서 보는 DRAM

단위 정보당 가장 비용이 싼 반도체 기억소자로서 DRAM이 제조기술을 이끌어 가고 있는데, 이는 같은 소자를 대량 생산하므로써 생산 효율이 높아지고, 따라서 단위 소자당 원가가 저하되며, 저 가격에 따라 사용자가 더 많이 사용하게 되어, 그 결과로 제조 설비 투자및 연구 개발부문의 투자가 가능하기 때문이었다.

공정부문에서는 chip의 소형화와 대량생산을 통하여 가격저하를 시킨 반면, 설계부문에서는 더 많은 기능을 추가시켜 주변회로를 단순화 시킴으로써 system가격을 낮추어 왔는데, 70년대 이후의 설계

부문에서의 기여를 보면

(1) Address Multiplex기능을 도입하여 package의 pin수를 낮추어 Assembly 및 package 비용저하 및 board의 밀도를 높임(4K DRAM 이후)

(2) Threshold에 의한 전압강하 현상을 없애기 위해 초기에는 5V와 12V의 두 전원을 사용하였으나 Bootstrap효과를 설계에 활발히 이용하여 5V의 단일 전압을 사용하게 함 (16K DRAM 이후)

(3) Backgate효과에 의한 Threshold 변화를 줄이기 위해, 초기에는 외부에서 Back-Bias를 가했으나, Voltage Generator를 내장함으로써, pin수와 외부 전원 숫자를 절약함

(4) Refresh를 전적으로 외부에 의존 하였으나, Refresh Counter를 내장하므로써 self Refresh가 가능하도록 함.

(5) chip 내부의 결함에 의한 수율 저하를 보완하기 위한 Repair Schem을 사용하므로써 제품의 초기 수율 향상에 기여함(Hardware적 보완)

(5) 결함에 의해 오염된 data를 Error check & Correction회로로 수정하여 수율향상에 기여함.(Software적 보완) 등을 들 수 있다.

현재 양산 중인 제품과 개발 중인 제품간에는 2~3세대 차이가 있으며, 차세대 제품개발에는 더 많은 시간이 소요될 것이므로, 양산 중인 세대제품의 응용 측면이 활발해 질 것이다.

3. DRAM 설계 일반

3.1 MEMORY CELL과 CORE LAYOUT

DRAM CELL은 정보를 저장하는 STORAGE CAPACITOR와 정보의 입·출력을 제어하는 ACCESS TRANSISTOR로 구성되어 있다.

이 CELL들이 배열될 때, TRANSISTOR를 제어하는 WORD LINE을 따라 놓이게 되므로, CAPACITOR는 WORD LINE과 수직방향으로 LAYOUT된다. 또한 정보가 흐르는 BIT LINE은 WORD LINE과 수직으로 놓이게 된다. (이와 반대로 BIT LINE을 중심으로 배열이 되는 경우도 있으나, 현재 많이 쓰이지 않고 있으므로 생략한다.)

ROW DECODER와 그 출력을 WORD LINE으로 보내는 DRIVER가 ROW PITCH에 맞도록 설계되어야 하며, COLUMN PITCH에는 SENSE

AMPLIFIER와 COLUMN DECODER가 그려져야 하는 데, 많은 TRANSISTOR와 LAYOUT의 대칭성이 고려되어야 하므로 가장 힘든 부분이며, 설계규칙도 이곳에서 결정된다.

3.2 PACKAGE

1M DRAM까지는 300MIL PACKAGE를 목표로 설계되었는데, 4M에서는 그 크기가 다양하다. 일단 PACKAGE 크기가 결정되면, PACKAGE 설계규칙에 따라 역학적으로 필요한 부분이 정의되고 그 나머지 부분에 DIE가 들어갈 수 있으므로, 최대 DIE 크기가 결정된다. MEMORY 용량으로 부터 CELL의 크기를 추정할 수 있게 되어, 공정 선평이 결정된다. 따라서 신 제품 개발시 PACKAGE의 과제는 어떻게 최대한으로 큰 die를 넣을수 있게 하여, 공정 선평에 여유가 생기도록 하느냐에 있다.

3.3 신뢰성

DENSITY가 높아짐에 따라, 형상 크기가 작아지고, 유전막과 도체의 두께가 얇아진다. 이에 따라 전장의 세기 및 전류밀도가 높아지고, 소자의 특성 변화, 유전막 파괴, 도체내에서의 ELECTRO MIGRATION등이 일어나게 된다. 이를 방지하기 위하여 외부 또는 내부적으로 전압강하를 시켜, 전장의 세기를 일정하게 하고, 전류가 분산되도록 설계 Layout한다.

4. DENSITY 증가에 따른 문제점

4.1 CELL LAYOUT

DIE 크기를 작게 하려면 그 50~60%를 차지하고 있는 MEMORY CELL 크기를 줄여야 한다. CELL이 LAYOUT상 개선되었는가를 판단하기 위해, 크기를 최소 공정 선평의 제곱으로 나눈 값을 비교하면 된다.

64K의 경우 50정도 되었던 값이 16M에서는 15군치의 값을 갖는다.

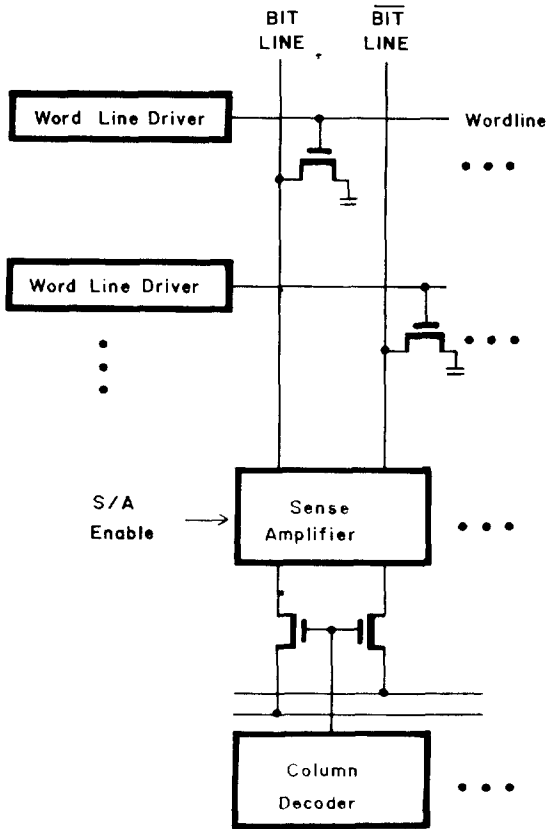


그림 1. Cell and Core

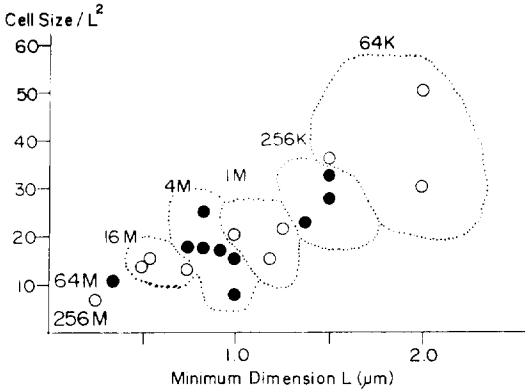


그림 2. DRAM Cell 면적대비 최소공정 선폭

이 값의 개선을 위해서는 TRANSISTOR밀 또는 위에 STORAGE CAPACITOR를 만들어야 한다.

4.2 BIT LINE 부하

MEMORY CELL에 저장된 정보는 BIT LINE에 전달된 후 SENSE AMPLIFIER에서 증폭을 거쳐야만 외부로 내 보낼 수 있다.

BIT LINE에 전달되는 MECHANISM은 CHARGE COUPLING에 의한 것이기 때문에, 부하를 될 수 있으면 작게 하여야 한다. 부하가 작을수록 COUPLING 전압은 커지며, 잡음에 의한 영향이 줄어들고, SENSING 속도로 빠르게 된다.

대부분의 회사들이 한 BIT LINE에 128개의 CELL을 연결하고 있으며 부하의 MEMORY CELL STORAGE CAPACITANCE에 대한 비가 10~15을 유지하고 있다. BIT LINE에 연결되는 CELL의 숫자는 속도와 면적에 영향을 미치는 데, 숫자가 작을수록 속도는 향상되나, 반면에 더 많은 SENSE AMPLIFIER와 DECODER를 필요로 하므로 DIE 크기가 커진다.

4.3 REFRESH

CELL CAPACITOR에 저장된 전하가 누설전류에 의해 감소되므로, 일정한 시간 내에 REFRESH를 시켜야만 정보가 유지된다. MEMORY 전체를

REFRESH 시키는 데, 몇 CYCLE이 걸리는 것도 중요한 요소이다. REFRESH 기간 동안에 정보를 접할 수 없으므로, REFRESH CYCLE이 작을수록 좋다. 현재는 이 숫자가 표준화되어 1M의 경우 512 CYCLE이며 매 세대마다 2배씩 늘어난다. REFRESH기간도 마찬가지로 표준화 되어 있으며 1M에서는 8mS이고 매 세대마다 2배씩 늘어난다. 이렇게 하기 위해서는 JUNCTION과 TRANSISTOR에서 누설전류가 작도록 공정이 개선되어야 하며, 설계 측면에서는 SUBSTRATE CURRENT가 적게 발생하는 회로를 이용하고, 또 이 전류가 CELL에는 도달하지 못하도록 LAYOUT을 잘 하여야 한다.

4.4 전력 소비

Density가 늘어날수록 소비 전류가 늘어나는 이유를 다음으로 분류할 수 있다.

- (1) S/A (SENSE AMPLIFIER)수의 증가에 의한 전류.
- (2) Address수의 증가에 의한 BUFFER 및 WORD LINE 전류.
- (3) WRITE PER BIT, TEST LOGIC의 첨가에 의한 전류.

이 중에서 S/A전류를 살펴보면

$$I_{SA} = \frac{\text{Number of Active S/A} \times \text{Bit Lin Swing Volt.} \times \text{Bit Line Cap.}}{\text{Cycle Time}}$$

여기에서

$$\text{Number of Active S/A} = \frac{\text{Density}}{\text{Refresh Cycle}}$$

Bit Line Swing Voltage; Mid point sensing scheme의 경우 $V_{cc}/2$

Bit Line Cap; Cell수와 무관하게 0.3pF으로 계산

64M DRAM의 경우 Cycle Time을 100nS으로 잡고 V_{cc} 를 5V로 한 경우 S/A에 의한 전류가 120mA를 넘게된다. Package의 heat dissipation을 고려하여 500mW를 최대치로 보면, Bit Line Swing을 1.5V 이하로 하여야 한다. 이 Bit Line Swing은 Cell에

저장되는 전위에 중대한 영향을 미치므로, VCC의 절반이하로 내리지는 않는다. 64M에서는 5V 전원에 의한 신뢰성 문제가 없다 하더라도 전력 소모 때문에 3.3V를 사용하여야 한다. 실제 Sensing에 걸리는 시간은 Cycle time에 비해 상당히 작아야 하므로, peak 전류문제가 발생하게 된다. peak 전류가 크면 chip내부의 power line에 잡음이 생기므로, peak 값이 작아지도록 Sense Amplifier의 Enable pulse를 잘 조정하여야 한다.

4.5 시험시간

시험시간은 Address와 Data Pattern에 따라 크게 좌우 되는데, 단순한 Write-Read의 경우 $2N \cdot t(N; \text{Memory Density, } t; \text{cycle time})$ 이며, 간단한 galloping pattern을 사용하면 $2N^{3/2} \cdot t$ 시간이 걸린다. 64M의 경우, refresh에 걸리는 시간을 무시하면 30.6시간이 되나, 8bit를 동시에 쓰고 읽는 기능을 첨가하면 1.34 시간으로 줄게 된다.

구 분	Write-Read	Gallop Pattern
시험 기능 무	26.8sec	30.6hr
×8 시험 기능	3.34sec	1.34hr

시험시간이 길어짐에 따라 늘어나는 비용을 줄이기 위해 나타난 기능이 자기진단기능이다. 이는 일견 수율향상과 상반되는 개념으로 볼 수 있지만, 결합에 의한 수율저하의 대부분이 CORE부분에서 일어난다고 가정하면 상당히 획기적인 진보이다. 자기진단은 chip에 controller와 pattern generator를 첨가하여 tester의 기능을 갖게한 것이다. 전원만 가해지면 (또는 간단한 clock을 필요로함) 자기진단 기능

을 수행할 수 있어 최종적으로 pass/fail을 출력으로 내보낸다. pattern은 micro code를 program하므로 써 원하는 것을 발생시킬 수 있다. chip이 자기진단 기능을 갖게 되면, 값비싼 test장비 대신 간단한 tool을 사용할 수 있게되며, 동시에 많은 chip을 시험할 수 있게되어 시험 비용이 크게 줄어든다.

5. 설계 경향

Density가 높아질 수록, 전 항에서 논의된 문제가 심각하여 지며, 그 해결에도 많은 노력을 요하게 된다.

개발기간이 길어짐에 따라, density 확대와 병행하여, 응용설계에 활발한 움직임을 보인다. graphic용 Video Memory, TV용 serial memory, DRAM 과 FIFO가 결합된 소자, DRAM CELL로 구성된 Content addressible memory등이 시장에 나오거나 연구 중이다. Self Test기능을 추가하는 것도 응용과 아울러 설계 측면에서 고려되어야 할 항목이다.

또한 micro processor가 RISC방향으로 발전하고 있는 데, 큰 용량과 빠른 속도를 요구하고 있으므로, 설계는 더 빠르고 전력소모가 적은 소자를 개발해야 한다.

6. 결 론

memory설계는 고속, 저 전력, 고밀도, 응용다양화를 목표로 하고있다. 세가지 목표는 기술적인 측면에서 해결해야 하며, 마지막 목표는 영업과 기술이 동시에 참여해야 달성할 수 있다. 이외에도 타사의 특허를 벗어나는 설계가 우리의 과제이기도 하다.