

Dynamic RAM과 그 쓰임새

1. Dynamic RAM의 基本構成

1M비트 다이내믹 RAM(이하 D-RAM)의 기본구성을 그림 1을 통해 살펴본다. 신호의 흐름은 어드레스신호 $A_0 \sim A_9$ 을 행 (Row), 열 (Column)의 선택신호 (\overline{RAS} , \overline{CAS})에 동기하여 입력단자 $A_0 \sim A_9$ 를 통하여 시분할적으로 입력하여 각

각 열 어드레스버퍼, 행 어드레스버퍼에 렛치 시킨다. 행 데코더에서 워드선을 선택구동하여 메모리 셀을 액세스한다.

액세스된 메모리 셀의 정보는 데이터선에 전송되어 이것을 센스앰프로 증폭함과 동시에 메모리 셀에 정보의 다시 써넣기를 행한다. 다음에 열 데코더로 센스앰프의 출력을 선택하고 이

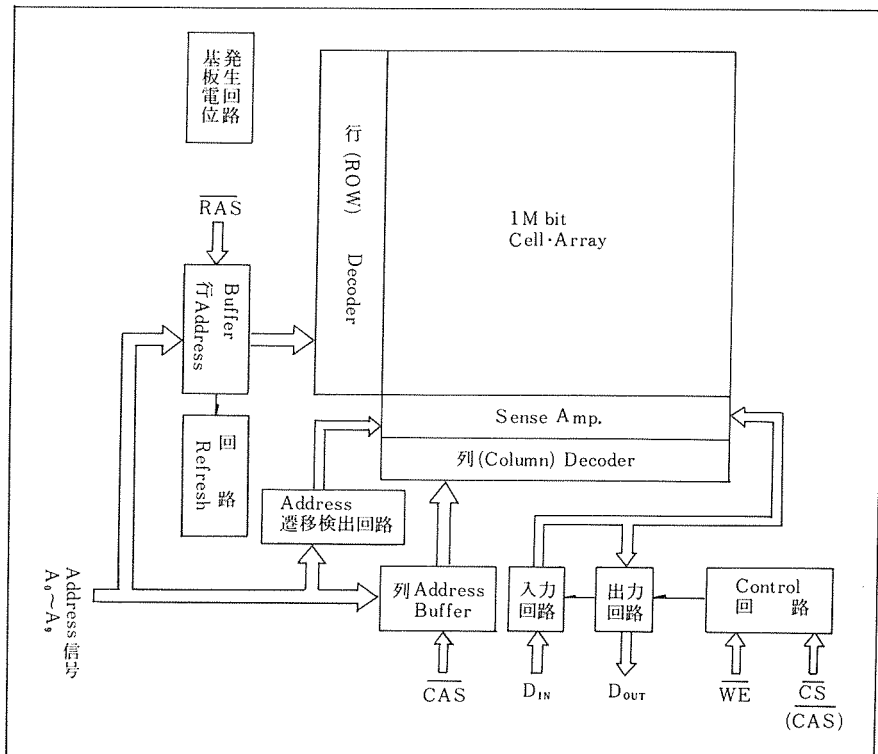


그림 1. 1M bit DRAM의 基本構成

선택된 정보가 데이터선을 거쳐 출력버퍼로 전송된다.

이들 일련의 동작은 메모리 셀 정보의 파괴를 막기 위하여 내부 주기신호로 제어되어 정해진 순서, 타이밍으로 실행된다.

2. D-RAM의 Memory Cell

D-RAM은 비트 고집적화를 위하여 기억 셀

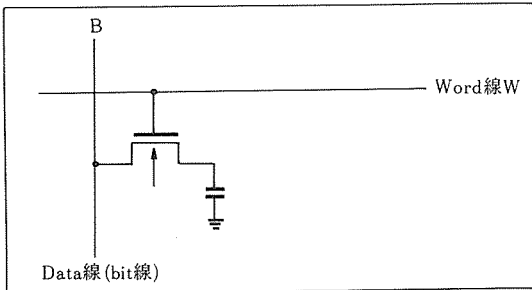


그림 2. 1 Transistor型 DRAM Cell 회로

당 구성소자수가 적은 그림 2와 같은 1 트랜지스터형의 셀을 사용하고 있다. 전하를 기억하는 MOS 캐패시턴스와 그 전하를 전송하는 MOS 트랜지스터만으로 구성되는 것이 특징이고 4K 비트 D-RAM 이후의 대용량 메모리, 예를 들면 1M비트 D-RAM까지 n채널 MOS 기술이 이용되어 왔다.

이 1 트랜지스터 1 캐패시턴스 셀의 구조는 적은 면적으로 큰 기억용량을 얻을 수 있기 때문에 수 많은 연구가 행해지고 있다.

(1) Planer형 Memory Cell

Planer형 메모리 셀은 가장 일반적으로 쓰여져 왔으며 1M비트 D-RAM에도 사용되고 있다. Planer형 메모리 셀의 구조 예를 그림 3을 통하여 살펴본다.

이 예에서는 제 1 폴리실리콘을 셀 프레임 E로, 제 2 폴리실리콘을 워드선 W로, 알미늄을 데이터선 D로 쓰는 이른바 2층 폴리실리콘 구

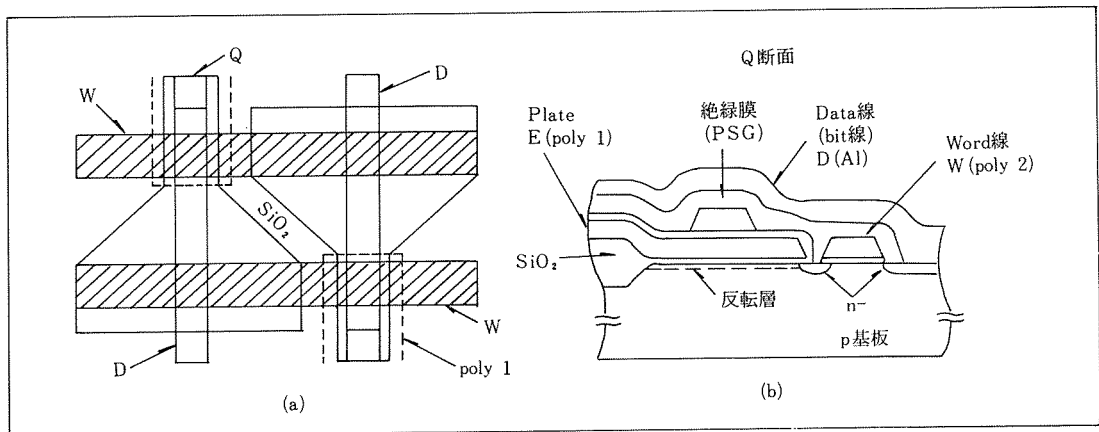


그림 3. Planer型 Memory Cell 구조의 예

조로 되어 있다. 이밖에 3층 폴리실리콘구조를 사용 메모리 셀의 축소화를 꾀한 것이라든가 고속화를 목적으로 폴리실리콘 대신에 금속실리사이드나 폴리사이드를 사용한 것 등 여러가지 메모리 셀이 실용화되고 있다.

(2) Stacked형 Memory Cell

3층 폴리실리콘 기술을 사용, 그림 4에서 볼 수 있는 것처럼 저저항화를 위하여 제 1층째는 폴리실리콘시리사이드(Polycide)를 워드선 W

로 하고 제 2층과 제 3층째의 폴리 실리콘으로 절연물(예를 들면 SiO_2 , 100\AA)을 사이에 끼워 기억 캐패시턴스를 형성한 것으로서 셀 구조도 알 수 있듯이 메모리 셀 캐패시턴스를 선택 트랜지스터나 데이터선(비트선) D상에 배치할 수 있으므로 작은 셀면적으로 큰 기억 캐패시턴스를 얻을 수 있다. 또한 전하기억부에 확산층 영역이 필요없기 때문에 소프트웨어의 개선도 기대할 수 있다.

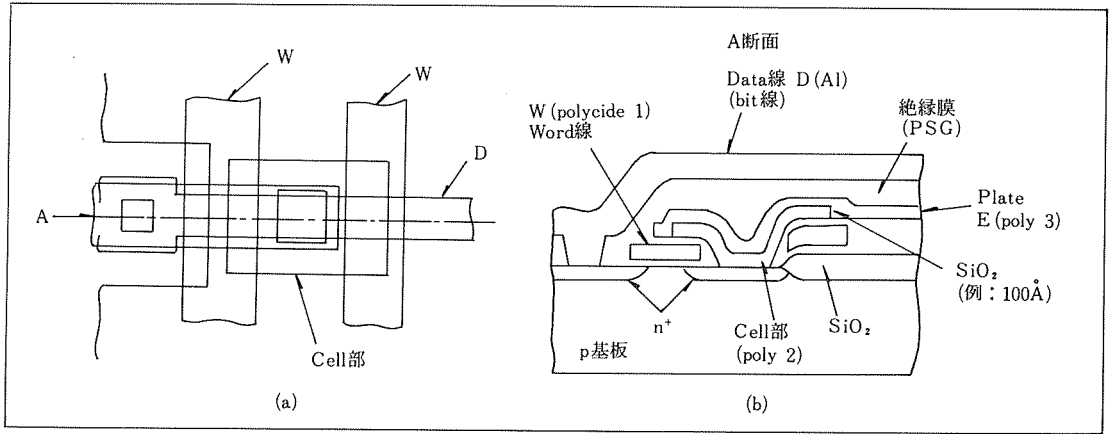


그림 4. Stacked Capacitor Cell의 구조

(3) Trench형 Memory Cell

축적 캐패시턴스의 3차원적배치의 또 한가지 방법으로서 그림 5와 같은 트랜치형 메모리 셀이 있다. 이 트랜치형 메모리 셀은 실리콘기판의 수직방향에 홈을 파서 홈측면을 기억 캐파시

턴스로 쓰고있기 때문에 실면적이 작아지고 또한 큰 기억 캐패시턴스를 이룰 수 있다. 트랜치형 메모리 셀은 홈파기 소자분리기술과 함께 4 M비트 메모리 이상의 D-RAM에 적용되기 시작하고 있다.

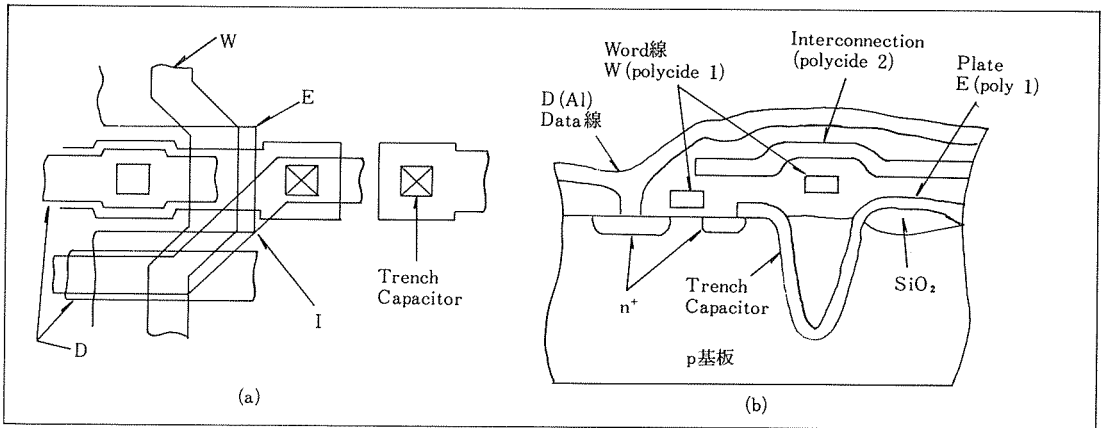


그림 5. Trench Capacitor Cell構造

3. Address Multiplexer方式

D-RAM의 기본구성을 16워드×1비트 메모리로 그림 6을 통해 살펴본다. D-RAM은 대용량 메모리화 됨에 따라 어드레스 입력이 증가된다. 지금 어드레스 입력을 X로 하고 기억용량을 N으로 하면 $X = \log_2 N$ 이 된다. 예를 들면 64K비트 D-RAM의 경우를 생각하면 기억용량 N이 64K비트 (= 2^{16})이기 때문에 어드레스 입력 X는 16본이 필요해진다. 이대로 하면 어드레스 입력만

으로 16핀 이상의 용기가 필요해져 메모리 실장면의 스페이스 낭비가 생긴다. 그래서 먼저 행과 열과의 선택신호 즉 Row Address Strobe (RAS) 신호와 Column Address Strobe (CAS) 신호를 도입하여 이 RAS, CAS 신호로 어드레스 입력을 외부에서 멀티플렉스하여 입력신호수를 반으로 줄인다.

다음에 그림 7에서 볼 수 있듯이 RAM의 입력에 렛치회로를 삽입, 이 렛치회로를 RAS, CAS 신호로 멀티플렉스된 어드레스 입력을

RAM내부에서 원래대로 고치면 메모리의 액세스가 이루어진다. 즉 사용상 16분의 어드레스 입력을 외부에서 멀티플렉서(예를들면 153×2.5)를 써서 멀티플렉스하여 8분으로 줄인다. 이것을 D-RAM에 공급하면 내부에서 자동적으로 16분의 어드레스로 변환하는 것이다. 현재의 D-RAM은 거의 이 멀티플렉스방식이 채택되고 있

다. 따라서 사용상의 어드레스 입력방법에는 주의를 기울일 필요가 있다.

4. D-RAM의 基本動作

(1) Write Mode

그림 6의 16워드×1비트 메모리의 경우 셀

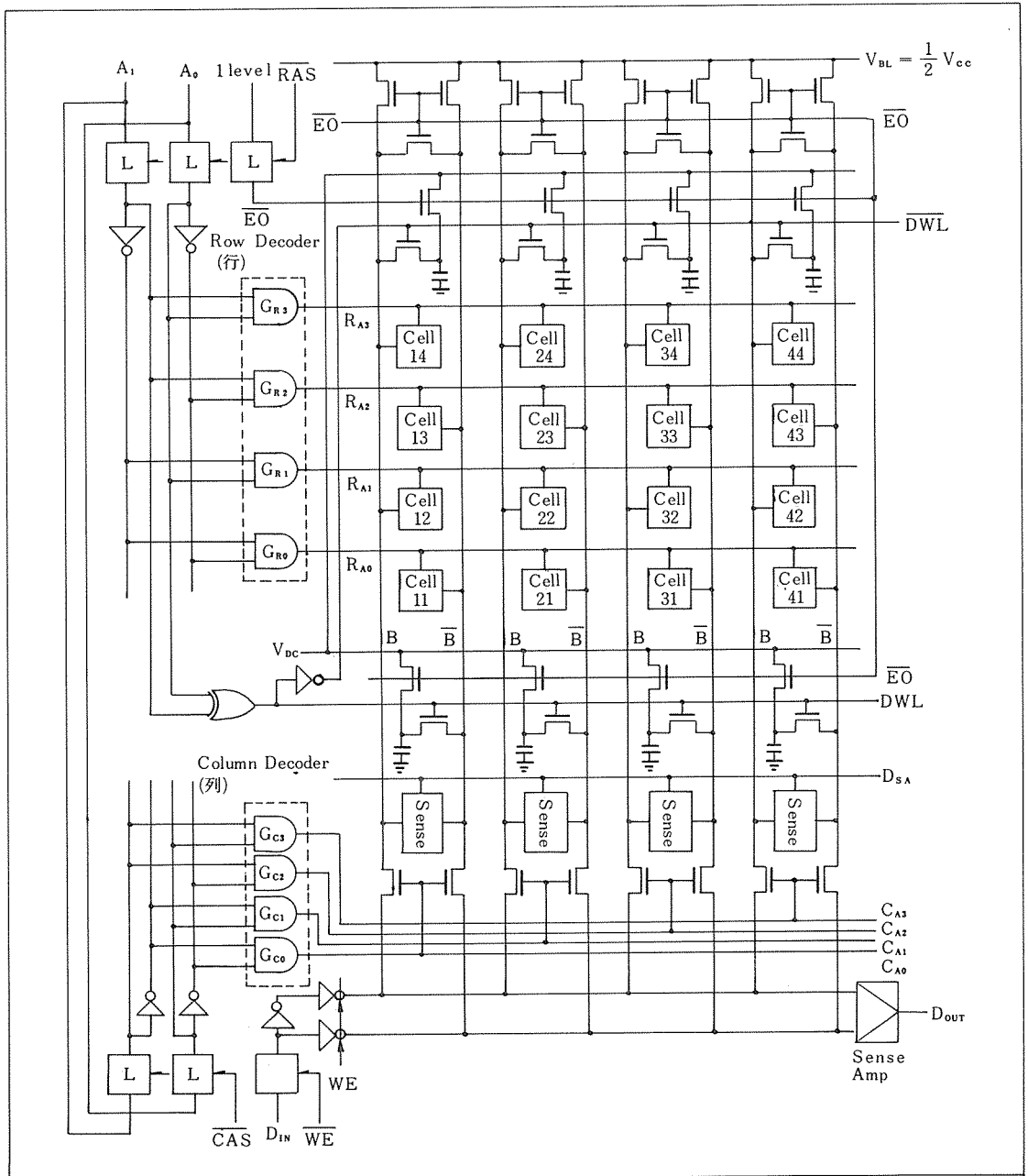


그림 6 16Word × 1 bit D-RAM 基本構成의 例

22에 데이터 1레벨을 써넣는 것을 생각해 보기로 한다 ($D_{IN} = 1$ 레벨일 때).

먼저 \overline{RAS} 신호를 공급하여 이 신호로 어드레스 입력 A_0, A_1 을 $A_0 = 1$ 레벨, $A_1 = 0$ 레벨로 하여 워드선 즉 Y방향의 행 (Row) 어드레스 RA_1 을 1레벨로 한다. 이 경우 다른 행 (Row)의 어드레스 RA_0, RA_2, RA_3 은 모두 0레벨이 된다.

다음에 행 (Row) 어드레스가 충분히 성립된 뒤 ($t_{RAH} > 10n_s$), \overline{CAS} 신호를 공급, 이 신호로 어드레스 입력 A_0, A_1 을 $A_0 = 1, A_1 = 0$ 으로 데이터선 즉 X방향의 열 (Column) 어드레스 CA_1 을 1레벨로 한다. 이 경우 다른 열의 어드레스 CA_0, CA_2, CA_3 은 모두 0레벨이 된다.

여기에서 설정된 행 (Row) 어드레스 RA_1 은 \overline{RAS} 신호가 다시 내려설 때까지 1레벨을 유지한다. 동시에 설정된 열 (Column) 어드레스 CA_1 도 \overline{CAS} 신호가 다시 내려설 때까지 1레벨을 유지한다. 또한 설정된 어드레스는 \overline{RAS} ,

\overline{CAS} 신호가 내려섬으로써 일단 렛치되면 렛치된 뒤에는 어드레스 입력이 어떻게 변화되더라도 문제는 없다. 단 행 (Row) 어드레스, 열 (Column) 어드레스와 함께 셀엿, 홀드 시간의 유지가 필요하다.

이상과 같이 어드레스를 지정하여 써넣기 신호 (Write) 및 데이터 입력 D_{IN} 을 공급하면 데이터가 써넣어진다. 어드레스 입력과 마찬가지로 데이터 입력 D_{IN} 은 \overline{CAS} 신호의 내려섬으로 일단 렛치되면 렛치 뒤에는 데이터 입력 D_{IN} 이 어떻게 변화해도 문제가 없다. 이 Write 상태를 그림 8 (a)로 표시한다.

여기에서 워드선 즉 행 (Row) 어드레스 RA_1 이 1레벨이기 때문에 셀12 (0레벨 기억), 셀32 (1레벨 기억), 셀42 (1레벨 기억)도 동시에 온되나 더미워드라인이 $DWL = 1$ 레벨, $DWL = 0$ 레벨이 되어 \overline{BUS} 라인쪽 (\overline{B})에는 더미셀이 읽어지게 된다.

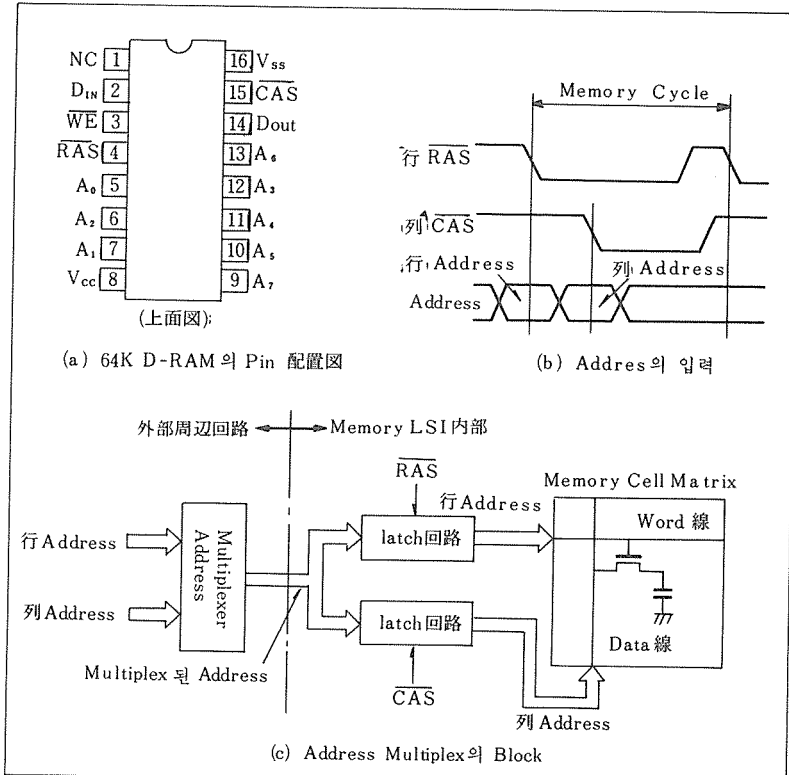


그림 7 64K bit DRAM의 Address Multiplexer 방식 예

그러나 셀12의 0 레벨은 BUS라인 (B)의 전압 (V_{cc})보다 낮기 때문에 0 레벨 (~2.3V)을 유지하고 셀32, 셀42의 1 레벨은 BUS라인(B)의 전압 (V_{cc})보다 높기 때문에 1레벨 (~2.5V)을

유지하며 또한 컬럼어드레스 CA_0, CA_2, CA_3 이 0 레벨로 불성립상태이기 때문에 써넣기, 읽어나기 모두 이루어지지 않아 데이터유지가 이루어진다.

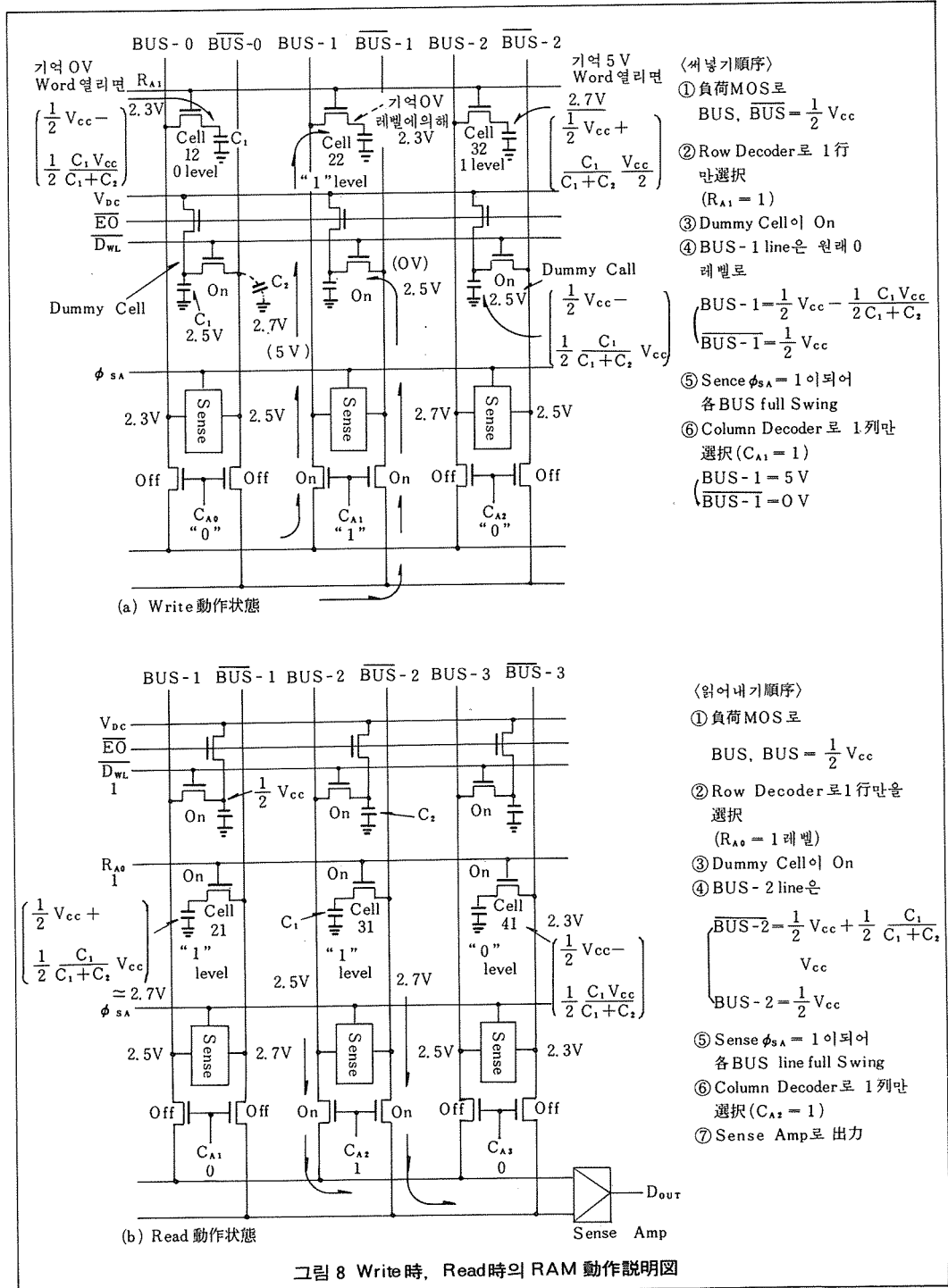


그림 8 Write時, Read時的 RAM 동작說明圖