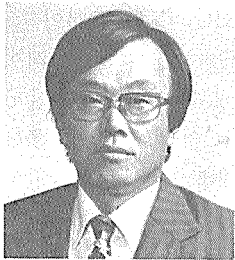


半導体産業 技術開發 現況과 動向



成 英 權

高麗大 電氣工學科 教授/工博

특히 메모리의
메가 시대를 맞이한
오늘날에는 바이폴라 LSI나
MOS 메모리의 MIS 용량의 고용량화가
고집적, 고성능화에 수반하여 강하게
요구되어 미세화 프로세스 개발의 견인력으로
되어왔던 MOS 디바이스의 경우 미세화에
따른 물리적인 한계라는 새로운 문제가
대두되어 이에 대한 적극적인
검토가 요구되고 있다.

1. 序論

오늘날 半導体産業 技術은 微細加工技術과 Si 結晶의 두 基礎的 共通技術에 의해 發展해 왔다.

이들 半導体 産業에서의 技術開發은 IC, LSI 및 VLSI의 技術開發에 중점을 두고 있으며, 이 중 回路技術에서의 開發方向은 주로 集積度の 향상과 기능의 향상이며 제조기술면에서는 제조공정의 高性能化, 간소화 및 자동화를 위한 技術開發을 지향하고 있다.

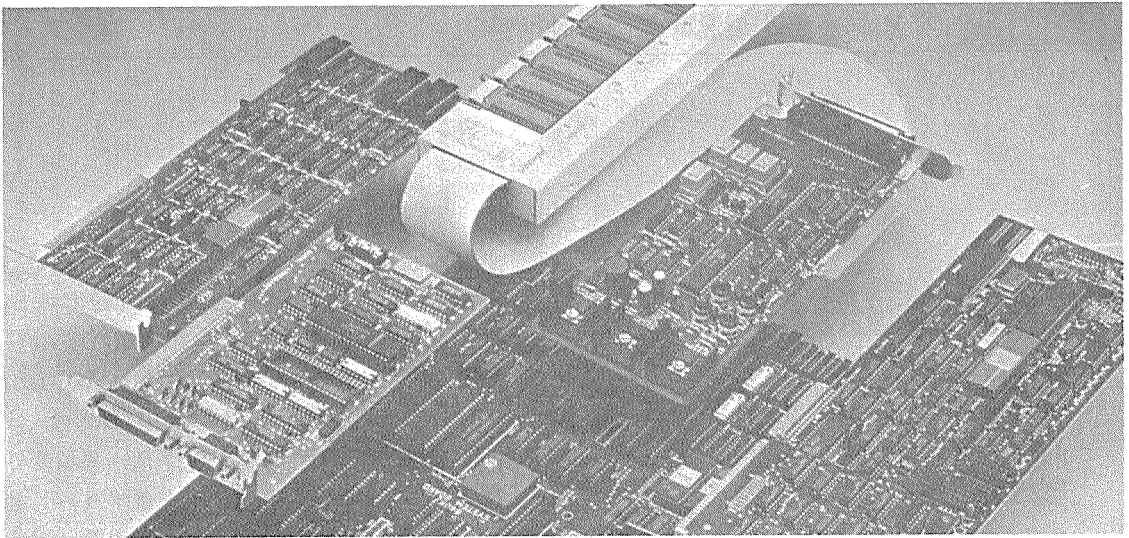
특히 IC, LSI 및 VLSI 등은 微細하고 복잡한 패턴의 조합으로 구성되어 있기 때문에 그 基本 技術인 微細패턴 加工形成技術의 연구 개발이 가장 중요시되어 現在 가장 활발하게 연구되고 있는 VLSI나 포토IC 등의 素子は 微細패턴加工 形成技術의 확립을 전제로 하고 있다. 그 結果 MOS LSI는 Si 게이트, Self align 이온 注入, LOCOS 그리고 PSG 플로우라는 프로세스 技術에 의거하여 發展을 거듭해 왔고 아울러 Scaling rule을 기본으로 한 微細化가 진행되고 이들 技術革新의 先端을 달리는 DRAM에 있어서는 1M Bit~4M Bit의 것까지 出現하게 되었다.

한편 프로세스 技術에서도 高集積化에 即應한 改善과 革新을 거듭하여 게이트 材料는 Poly Si에서 Poly silicide에, 절연분리는 LOCOS에서 트랜치로, 層間絶緣膜은 PSG에서 BPSG에 의 변환에 검토가 加해져 이미 實用化 단계에 있다.

以上 오늘날의 半導体 産業과 그 技術動向을 概觀적으로 살펴 보고자 한다.

2. 半導体 産業의 現況과 展望

오늘날 우리나라 반도체 산업은 對内外적으로 원화 절상, 무역마찰 등의 課題를 내포하고 있지만, 미국에서의 Computer, OA 관련機器의 市



오늘날 반도체산업 기술은 미세가공기술과 Si결정의 두 기초적 공통기술에 의해 발전해 왔다.

場回復 등에 의해 여러 紙上에서 알려진 바와 같이 好轉狀態에 있다. 그러나 앞으로 국제적인 반도체 산업의 成敗의 關鍵이 되는 중요한 관점은 세가지를 들 수 있다.

첫째로 새로운 大形 需要分野 出現의 가능성, 둘째로 世界의 電子工業 生産規模의 예측과 現地生産化 등에 따르는 生産구조의 變化, 셋째로는 제품생산기술 개발력, 생산량, 판매력, 기업 수익력 등에 의거하는 韓·美·日間的 경합일 것이다.

앞으로는 PC, VTR과 같이 이제까지의 반도체 需要를 견인해 왔던 大形需要分野의 出現은 어렵게 될 것이고 적은 需要分野가 많이 모여 큰 需要를 나타내는 소위 Micro-Mass化 구조로 될 것이다. 이와 같은 새로운 需要分野를 구성하는 各 機器는 Man machine interface의 進전을 배경으로한 패턴認識分野, AI分野 및 네트워크化의 進전을 배경으로한 通信機器 Computer, OA機器分野 등이다.

이들은 다같이 IC의 專用化, 多樣化를 前題로한 Micro-Mass化의 경향이 강화되는 ASIC가 主流를 보여 이것이 앞으로의 반도체 산업을 견인해 나갈 것으로 본다.

ASICs의 主流를 이루고 있는 게이트 어레이는 제품 특성적으로는 CMOS 구조, 3,000~5,000 게이트가 中心이며 아울러 제품의 差別化, 高附

加價値化에의 대응으로서 메모리 혼재와 멀티 게이트化의 전개가 도모되고 있으며 Design rule도 1.5 μ m~0.5 μ m으로 微細化의 경향이 나타나고 있다.

특히 미국에서의 ASICs 市場은 게이트 어레이의 심한 가격경쟁때문에 게이트 어레이에서의 高附加價値化를 단념하여 大規模的인 cell library의 구축에 의해 IC의 專用化 및 多樣化에 대응하는 standard cell에의 開發이 활발해지고 있다. 앞으로 1990년까지는 미국의 주요 공급 반도체중 1/3이 ASICs가 차지하리라고 보고 있어 이미 Intel과 Motorola의 공동 self library의 구축이 進行되고 있다.

이와 같이 ASICs 비즈니스는 게이트 어레이로부터 standard cell에 移行하고 더 나아가 그 연장상에 있는 Si系를 위주로 한 複合化를 指向하고 있어 今後 더욱 custom色을 강화시킨 design 중시의 方向으로 나아가리라고 본다.

한편 반도체 산업의 장래를 제품기술의 측면에서 보면 지금까지의 汎用品을 中心으로한 제품구성에서 專用품을 中心으로한 제품구성에 移行되리라고 추정된다.

DRAM으로 代表되는 汎用品은 프로세스 技術에 중점을 둔 製品群이고 반도체 산업의 成長과 더불어 개척 배양된 高度 프로세스 技術에 의해 16M DRAM까지는 現在의 연장상에서의

量産化가 가능할 것이다. 그 반면 프로세스 技術의 向上은 相對的으로 반도체 제품에서의 design 技術의 웨이트를 높이는 결과로 되어 가고 있다.

또 市場的으로도 앞으로의 需要구조가 Micro-Mass 구조로 되어가고 아울러 ASICs 에서도 선행지표로서 미국 시장을 점유하는 경우보다 custom色을 강화시키고 있는 점을 보아도 반도체 產品에서의 design 중시의 方向은 명확하다.

따라서 今後 半導體 産業이 그 규모를 확대하기 위해서는 지금까지의 확대기조를 유지해온 事業方針과는 달리 180° 바꾼 섬세한 marketing 활동에 의한 小形 需要分野에의 進出과 design 力의 강화가 필요하리라고 본다.

3. 半導體 産業 技術의 現況과 開發動向

오늘날의 半導體 産業 技術은 VLSI의 테크놀로지를 바탕으로 高集積化를 지향하고 CMOS와 高速化를 指向하는 바이폴라를 中心으로한 끊임없는 技術開發과 혁신에 의해 발전해 왔다. 이에 따라 각종기기의 IC化和 디지털化가 진행되고 아울러 이들 回路設計 變化에 대응한 高信賴, 高密度化, 小形輕量化에 박차를 가하게

되고 칩化가 급속히 進展되어가는 한편 각종기기와의 경계가 뚜렷하지 않은 유니트 部品 및 시스템 部品 등의 대두가 현저하다.

특히 메모리의 메가 時代를 맞이한 오늘날에는 바이폴라 LSI나 MOS 메모리의 MIS容량의 高容量化가 高集積, 高性能化에 수반하여 강하게 요구되어 微細化 프로세스 開發의 견인력으로 되어왔던 MOS 디바이스의 경우 微細化에 따른 物理的인 限界라는 새로운 問題가 대두되어 이에 대한 적극적인 검토가 요구되고 있다.

가령 MOST의 경우 最小限界의 채널 길이는 각종 lithography의 限界로 인해 0.25 μ m 즉, quarter micron이라는 새로운 課題名下에 ULSI 技術로서 현재 그 設計法을 위주로 研究가 진행되고 있다.

여기서 참고로 비트당의 소자수가 가장 적으면서 가장 높은 集積化를 이룰 수 있는 DRAM을 IC trend의 지표적인 존재로 삼아 앞으로 10年間의 集積度의 증가 양상의 豫상을 도시하면 그림 1 과 같다. 그림으로부터 豫상되는 디자인 rule은 16M bit DRAM에서 0.5~0.7 μ , 64 Mbit DRAM에서는 0.3~0.4 μ , 256M bit DRAM에서는 0.2~0.3 μ 정도로 되리라고 내다 보고 있다.

이들 DRAM의 微細化에 있어서는 그 기억용

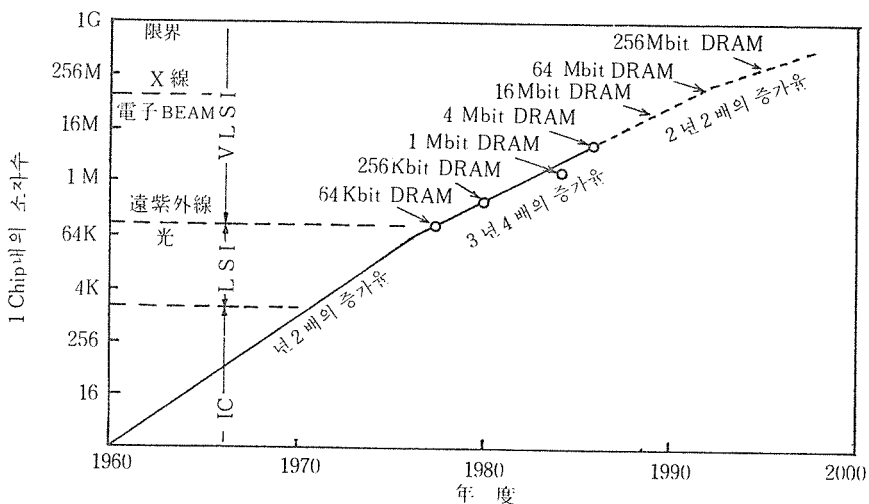


그림 1. Chip당의 소자수의 연차 변화와 豫상

캐패시턴스 값을 유지하도록 하는 여러 考案이 검토되고 있어 scale rule에 의하면 誘電材料의 物理定數를 連動시켜 變化시켜야 하며 특히 薄膜化 形成面에서 극복하기 위해서는 高誘電率 膜(예컨대 Ta₂O₃ 등)의 開發에 착수해야 할 처지이다. 이를 위해서는 薄膜物性에 되돌아가 이들의 기초검토를 비롯하여 形成 프로세스의 完全한 制御가 불가피하다고 본다.

가령 종래 活用되어 왔던 SiO₂ 膜의 경우 平行平板型의 캐패시턴스 C는 아래 式으로 나타내진다.

$$C = \epsilon_0 \epsilon_r \frac{S}{d} [F]$$

(단 ϵ_0, ϵ_r : 각각 真空誘電과 比誘電率
d: 膜두께, S: 面積)

종래는 膜두께 d를 위주로 검토해 온 것이 面積 S에 移行하고 있어 후술하는 trench 구조도 유효표면적을 크게 하기 위해 出現된 것으로 이에 따라 앞으로는 새로운 構造에 도전하여 다소 제조 프로세스가 길어지더라도 '實用化시킬' 각양, 각색의 종류의 것이 出現되리라고 본다. 이러한 경우 現存의 技術을 短期的으로 어떻게 融合시켜 나가는가가 焦點이 되나 실제로는 MOS 또는 MIS 容量의 高容量化는 새로운 材料開發과 더불어 超薄膜化 되어 가고 아울러 stacked trench 구조가 실용화되어 가고 있는 실정이다.

이상은 Si 테크놀로지의 경우이나 高速化面에서 볼 때 特別한 냉각을 필요로 하지 않는 Ga-As系 IC가 그림 2에 나타낸 바와 같이 Si系보다 10배 이상 빠르다. 그러나 대단히 高價인 동시에 安定性이 문제가 되나 技術革新이 이를 극복하여 앞으로 超高速用 IC는 GaAs系가 보다 專用化 되리라고 보며 이를 活用한 超格子 디바이스 또는 量子 效果를 이용한 디바이스가 次世代의 디바이스로서 各광을 받을 것으로 展望된다.

이와 같이 종래 3년에 4배의 高集積化가 달성되어 드디어 메가 DRAM 時代를 맞이한 오늘날 立体 셀 구조 등 종래와는 다른 技術이 요구되는 바 이하 半導體技術 특히 VLSI의 最近의 技術에 대해 몇가지 topics를 中心으로 그

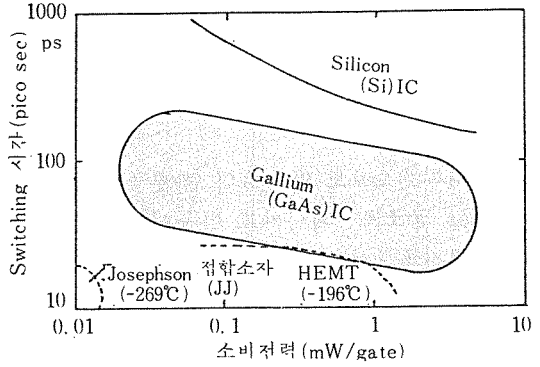


그림 2. 각종 재료에 의한 Device의 성능 비교

動向과 展望을 살펴보고자 한다.

가. 立体化 및 3次元化 技術

1) SOI 技術

오늘날의 VLSI는 Si의 플레나 技術에 의거하여 2次元의 平面內에 만들어지고 있어 微細加工技術의 개발과 혁신에 의하여 高密度와 高集積 및 高速化가 이루어지고 있으나 2次元이기 때문에 技術的인 限界性이 있다. 따라서 이를 克服하기 위한 方法으로는 立体的으로 縱方向으로 回路를 集積시킨 3次元 LSI의 考察이 出現하게 되었다.

이와 같은 3次元 LSI를 實現시키기 위해서는 우선 非晶質絶緣層에 Si 單結晶을 成長시키는 소위 SOI(Silicon on Insulation) 技術이 開發中에 있다.

우선 2次元 LSI를 形成한 回路에 絶緣層을 堆積시켜 그위에 Si單結晶을 成長시키므로써 그 層내에 LSI를 매입시킴과 동시에 上下素子間의 접속을 통해 多層化시켜 立体回路素子를 形成하는 方式이다.

이와 같이 絶緣層에 Si結晶을 成長시키는 SOI 技術은 高性能, 高信賴性 CMOS LSI나 高性能薄膜 Tr에 의한 固体display 등을 實現가능하게 하는 새로운 半導體 프로세스 技術이다. 특히 머지않아 2次元 VLSI의 性能限界를 打破하는 수단으로서 제안된 3차원 回路素子の 實現에는 不可缺한 技術이다.

이 技術의 特徵에는 ① 基板을 비교적 低溫에

서 局所 및 選擇的인 再結晶化가 可能하고 ② 形成 분위기의 自由度가 있으며 ③ LSI 프로세스의 互換性이 좋다는 등이 있다.

이와 같은 SOI 技術에서 積層構造上에서의 再結晶化에는 通常의 平面上에서의 再結晶化에 비해 제약이 생기나 基本的으로는 J.P. Colinge의 報告에 의한 그림 3에 나타낸 바와 같이 Stripe狀의 反射防止膜에 의해 laser 비임이 照射된 Poly Si내의 橫方向分布 변화와 結晶粒界의 發生기구를 究明하는 것이다. 再結晶化 하려고 하는 Poly Si層을 웨이퍼 全面에 堆積시켜두고 그 위층에 Patterning한 Si_3N_4 膜을 反射防止膜으로써 이용하는 選擇的으로 再結晶化시키는 것으로 Laser 再結晶化法에 의한 SOI 技術로써 알려져 있다.

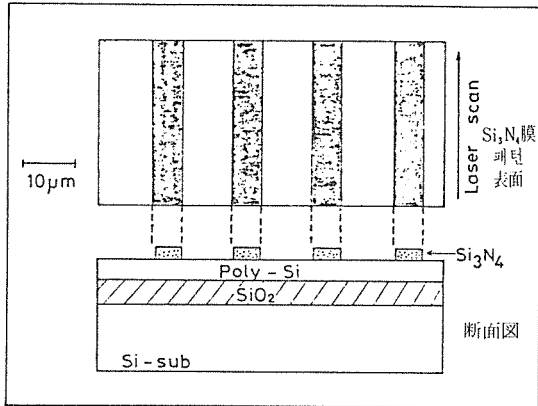


그림 3. Si_3N_4 膜을 反射膜으로 한 選擇再結晶化用試料구조

2) 트랜치 構造

前述한 바와 같이 一般的으로 트랜지스터 등의 能動素子를 다층으로 구성하는 방식이 3次元回路 또는 立体化이나 Lithography에 의한 平面方向의 한계적인 微細化를 보완하여 有效面積을 확대시켜 大集積化에 중요한 역할을 다하는 디바이스의 立体化이다.

이를 위한 가장 적절한 방식이 건식식각기술의 급속한 發展에 힘입어 Si 기판에 홈을 形成시켜 홈의 壁面을 캐패시터로 사용하는 소위 트랜치(trench, 깊은 홈)방식으로 그림 4는 TI社가 開發해 낸 立体化 DRAM의 극한적인 구조

로 나타낸 트랜치 방식의 一例이다. 이 구조는 Topological的으로는 대단히 우수하나 그 제법이 트랜치를 形成시킨 다음 내부 트랜지스터를 供給하여야 할 난점이 있으며 아울러 트랜치 壁面이 활성영역으로 작용하기 때문에 표면 플라즈마 손상 방지책이 강구되어야 하는 등 高精度의 건식식각기술이 뒤따라야 한다.

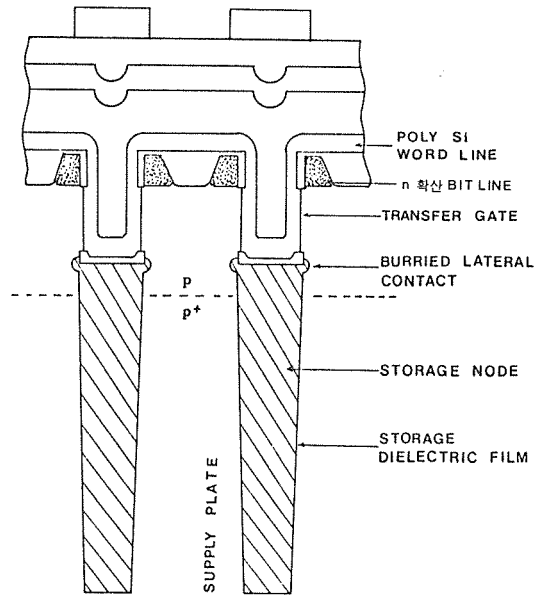


그림 4. Trench 내에 가공한 DRAM Cell의 단면도

또 하나의 방식은 트랜치 캐패시터 위에 트랜지스터를 形成시키는 방식으로 그림 5가 Hitachi에서 제안된 그 예시이며 이 경우 트랜지스터는 절연물위의 SOI 또는 SSS(stacked switching-transistor in SOI)구조를 취하고 있다.

上述한 立体化나 3次元化 技術에 있어서 중요한 것은 단순히 多層化에 의한 集積度の 증가만을 기한다면 Yield의 低下나 生産時期의 연장 등에 의해 微細化에 의한 방법보다 능가할 수 없으므로 多層化의 보다 最適의 活用방안이 開發되므로써 實用化되리라고 본다.

나. 光에피택시와 分子層 에피택시(MLE)

1) 光에피택시

超高速, 超LSI 제조에서는 보다 微細한 치수 精度가 요구되어 現行 프로세스에서는 가끔 高

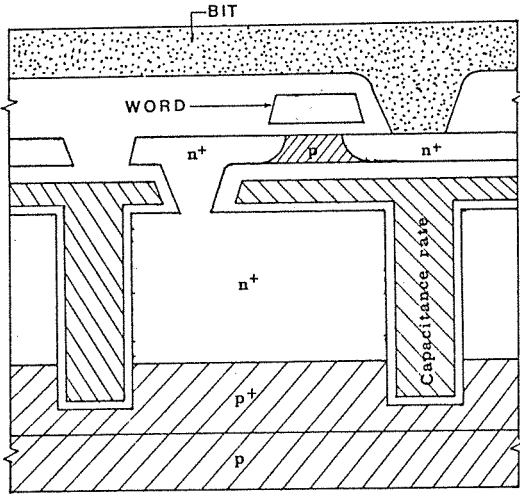


그림 5. Trench의 상부에 가공한 DRAM Cell의 단면도

溫處理에 의한 缺陷의 發生이나 傳播, 불순물의 再分布 등이 문제가 되어 低温 프로세스가 必要하게 된다.

이와 같은 低温 프로세스로서는 種래의 熱에 너지 대신에 電界에너지를 이용하는 放電化學에 의한 플라즈마法과 光에너지를 이용하는 光勵起 프로세스를 들 수 있으나 前者는 過剩 에너지에 의한 缺陷 發生을 免하기 어려우나 後者의 경우는 光量子 에너지를 적당히 택하면 單一의 이온이나 래디컬(이온化하지 않는 勵起粒子)이 生成되어 各素過程을 個別로 制御되기 때문에 缺陷發生이라는 缺點은 없어진다. 아울러 이와 같은 光에피택시 薄膜形 프로세스는 低温化, 低損傷化의 重要한 技術課題로서 適合한 光勵起 薄膜 形成技術로서 浮上해온 尖端技術이다.

이와 같은 光勵起 薄膜形成 프로세스 또는 光에피택시에서의 氣相/固相 界面 근처에서의 反應過程은 대체로 그림 6과 같이 分解된다. 形成膜에 기여하는 生成物을 얻기 위해서는 우선 氣相反應을 일으킬 수 있는 에너지와 表面吸着過程과 表面反應을 勵起하는 에너지 및 表面泳動을 勵起하는 에너지 등이 필요하게 되나 이들은 모두 光에너지에 의해 얻는 것으로 原料가스의 氣相中에서의 反應이 有效한 光波長이나 다른 불순물 가스의 分解에 有效한 波長을 알 수 있

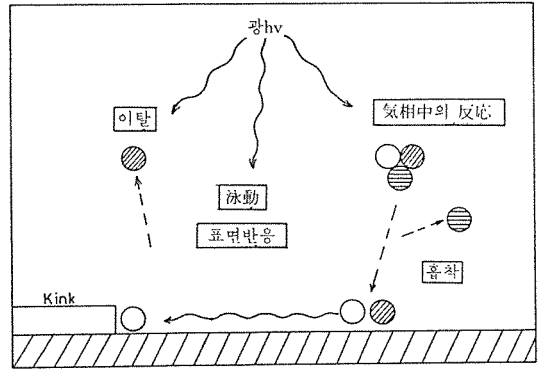


그림 6. 광여기 Process의 반응과정

으면 이들의 사용 분별에 의해 표면에 吸着하는 成分을 制御할 수 있으므로 우수한 膜質의 生成膜이 얻어질 수 있는 특징이 있으며 基本的으로 低温에서 形成膜 反應을 일으킬 수 있는 특색이 있다.

그러나 이 技術의 성패 여부는 吸着粒子의 表面泳動을 어떻게 촉진시키는가에 달려 있다.

2) 分子層 에피택시

p-sec 이하의 超高速動作이 可能한 디바이스 제조에는 原子의精度(atomic accuracy : AA)로 分子層을 셈할 수 있을 정도로 精確한 膜두께를 지닌 完全結晶薄膜이 要求된다. 이에는 原料가스를 基板表面에 交互로 홀리게만 하므로서 1分子層 식의 結晶成長을 시키는 技術이 分子層 에피택시 즉 MLE(Molecular Layer Epitaxy)이다.

1974년에 T. Suntola가 原子層 에피택시를 제 안한 이래 ZnS나 ZnTe 등의 成長에 活用되어 왔으나 오늘날 MBE(Molecular Beam Epitaxy)에 對應하는 尖端技術로서 각광을 받기 시작하고 있다.

MBE가 電子的으로 monitoring시키면서 컴퓨터 제어라는 複雑한 手법으로 膜두께를 제어함에 비해 MLE는 分子의 基板表面에의 吸着이라는 自然現象을 사용하기 때문에 어떤 특별한 제어없이도 自動적으로 單原子層식 成長을 시킬 수 있는 장점이 있다.

가령 GaAs 薄膜 MLE의 프로세스의 경우 우선 TMG[$Ga(CH_3)_3$]를 400°C 정도의 成長室에

보내면 一部分分解되면서 1分子層만 基板表面에 吸着하게 되고 다음에 真空排氣후에 AsH₃을 成長室에 보내면 역시 基板表面에 1分子層이 形成되어 이들 사이클을 반복시키면 膜두께가 1分子層 單位로 결정되는 것이다.

현재 MO系, Halogen系 등에 적용되고 있으나 앞으로 光에피택시를 竝用한 MLE'가 IC의 cell가 分子크기에 접근해 가는 半導體技術에서 중요한 役割을 다 하리라고 본다.

4. 結 論

이상 오늘날의 半導體産業技術中 exotic한 것만을 몇가지 들어 概說하였으나 요컨대 最近의

MOS 디바이스의 프로세스에 대한 요구는 苛酷하게 되고 있으며 그 요구에 應하기 위해서는 새로운 材料面에서의 開發이 꼭 필수적이다.

앞으로도 高容量化, 高耐圧化, 低stress化, 低温化, 高Step Coverage化 등 바란스가 취해진 發展이 소망되며 또한 薄膜形成에서의 영원한 테마는 無缺陷化이고 原料가스나 프로세스의 高淸淨化가 결정적으로 特性 向上에 이어진다고 본다. 아울러 앞으로는 Nanometer 加工이 필수적일 것이고 하나의 셀이 1分子에 対応하는 것까지 小型化가 進行되어 必要에 따라 分子구조를 設計하여 그 分子를 소망하는 바로 배열시키는 分子工學까지 發展해 가리라고 본다.

電子用語 略語表

CCIS : Coaxial Cable Information System	EBS : Emergency Broadcast System
CCNP : Computer Communication Network Protocol	EBU : European Broadcast Union
CCP : Communication Control Processor	E-COM : Electronic-Computer Oriented Mail
C-MAC : C-Multiplexed Analogue Components	ECS : Experimental Communications Satellite
COBOL : Common Business Oriented Language	EM : Engineering Model
CODASYL : The Conference On Data System Languages	EMSS : Experimental Mobile Satellite System
Codec : Coder and Decoder	EPBX : Electronic Private Branch Exchange
CS : Medium Capacity Communications Satellite for experimental purpose	EPS : Elektronisk Post-Service
CSELT : Centro Studi E Laboratori Telecomunicazioni S. P. A.	ESA : European Space Agency
CVD : Chemical Vapor Deposition	ET : Enhanced Telecommunication
DBMS : Data Base Management System	ETS : Engineering Test Satellite
DCNA : Data Communication Network Architecture	FACC : Ford Aerospace and Communications Corporations
DIDS : Decision Information Distribute System	FCC : Federal Communications Commission
DPSK : Differential Phase-Shift Keying	FDM : Frequency Division Multiplex
DRCS : Dynamically Redefinable Character Sets	FEMA : Federal Emergency Management Agency
DSB : Double Side Band	FEP : Front End Processor
DSU : Digital Service Unit	FINE : Financial Information Network
	FPU : Field Pick Up
	FSK : Frequency Shift Keying