

OTA 기반 회로망

The Composition of Network Utilizing OTA

(上)

전북대학교 전기공학과 부교수
金 東 龍

전북대학교 회로망합성 및 필터 개발 연구실
申 鈞 太

1. 서 론

능동RC회로는 직접 RC적을 집적하는데 제한이 따르고, RC적을 정확히 유지하기가 어렵기 때문에 일반적으로 연속시간(Continuous-Time)에서 설계된 회로를 칩 상에 집적하기 위한 Switched-Capacitor(SC)회로와 MOSFET-Capacitor(MOSFET-C)회로가 활발히 연구되어 왔다⁽¹⁻⁹⁾. 그러나 연속시간 신호를 처리하는데 있어서 SC회로는 RC적을 정확히 유지할 수 있으나 스위치, 연산증폭기, 전력 제동에서

고주파 잡음의 발생과 Sampled-data System이기 때문에 각각 Anti-Aliasing 필터와 Smoothing 필터가 필요하고 클럭을 발생시킬 수 있는 회로가 필요하게 되어 회로구성이 복잡하다. 한편, MOSFET-C회로는 이러한 SC회로의 단점을 해결할 수 있으나, RC적을 정확히 유지하기 위해 동조(Tuning)를 해야한다는 점과 저항을 MOSFET로 대체하기 때문에 비선형 저항특성을 제거하기 위하여 완전 대칭된(Fully Balanced) 회로구조^(6,7) 또는 MOSFET에 의한 선형 저항모의 방법이 요구된다^(8,9)는 단점을 갖고 있다.

(용어해설)

• SC회로 : 저항을 커패시턴스(Capacitance)와 스위치 역할을 하는 MOSFET로 구성하여 대체한 회로로서 $R=T/C=1/fC$ 의 관계가 있다. 여기서 C는 커패시턴스이고 T는 MOSFET의 스위치 주기이며 f는 스위칭 주파수이다.

• MOSFET-C회로 : MOSFET와 Capacitor로 구성된 회로로서 일반적으로 완전대칭된 회로구조

와 선형저항을 MOSFET로 모의한 회로구조가 있다.

• 완전대칭된(Fully Balanced) 회로 : 능동RC회로에서 저항R를 MOSFET로 대체할 경우 그 자체의 비선형 저항특성이 발생하므로 이를 제거하기 위해 대칭구조를 갖게하여 비선형 저항특성을 제거시킨 회로.

상기의 SC와 MOSFET-C회로의 각각의 문제점은 일반적인 연산증폭기 대신에 능동소자로서 Voltage-Controlled Current Source(VCCS)방식의 Operational Transconductance Amplifier(OTA)를 사용하여 실제회로에 저항소자가 없는 연속시간의 능동C회로를 실제함으로써 해결할 수 있다^(10,11) 또한 소자수가 적은 간단한 회로구조와 고주파에 대한 좋은 특성 및 Bias 전류에 의해 이득이 변하기 때문에 출력상태를 조정할 수 있다는 등의 장점을 갖기 때문에 집적하는데 유용하다.

그러므로 본 해설에서는 먼저 OTA를 이용하여 저항소자가 제거된 상태의 능동C적분기회로와 기본적인 OTA의 Building Block을 해석해 본 후, 최소개의 소자를 이용한 2차 능동C필터의 합성법에 대해 살펴보고, 하나의 회로에서 단지 입력상태를 변환(입력전압에 연결하거나 접지시킨다)함에 따라 각기 Lowpass, Highpass, Bandpass와 Notch 필터를 얻을 수 있는 필터 합성법에 대해서도 고찰해 보기로 한다.

2. OTA와 적분기

가. Operational Transconductance Amplifier

그림 1에 OTA의 심볼과 내부회로 및 등가회로를 나타냈다. OTA는 일반적인 연산증폭기와 유사하지만 출력측에 전류원 $g_m V_{in}$ 과 출력저항 r_o 가 병렬로 연결되어 있다는 점과 Bias 입력에 따라 g_m 을 조절하여 출력전류 값을 조절할 수

있다(이런 의미에서 OTA를 Programmable Amplifier라고도 부른다)는 점이 다르다. 그림 1(b)는 일반적인 OTA의 내부회로서 그림 1(c)와 같은 등가회로로 나타낼 수 있고 $r_{in} \approx \infty$, $r_o \approx \infty$ 로 놓으면 그림 1(d)와 같이 간단히 나타낼 수 있다. 이때 출력전류는

$$I_o = g_m \cdot V_{in} \quad (1)$$

이고, Transconductance Gain g_m 은

$$g_m = \frac{I_{out}}{V_{in}} \quad (2)$$

또는

$$g_m = \frac{I_{ABC}}{2V_T} = 19.2 I_{ABC} \quad (3)$$

이다. 여기서 I_{ABC} 는 외부에서 공급하는 Bias 전류이고, 실온에서 임계전압 $V_T = KT/g = 26mV$ 이다. 식(3)을 식(1)에 대입하면

$$I_o = 19.2 I_{ABC} V_{in} \quad (4)$$

이 되므로 출력전류 I_o 는 Bias 전류와 입력전압으로 제어할 수 있게 된다.

나. 적분기

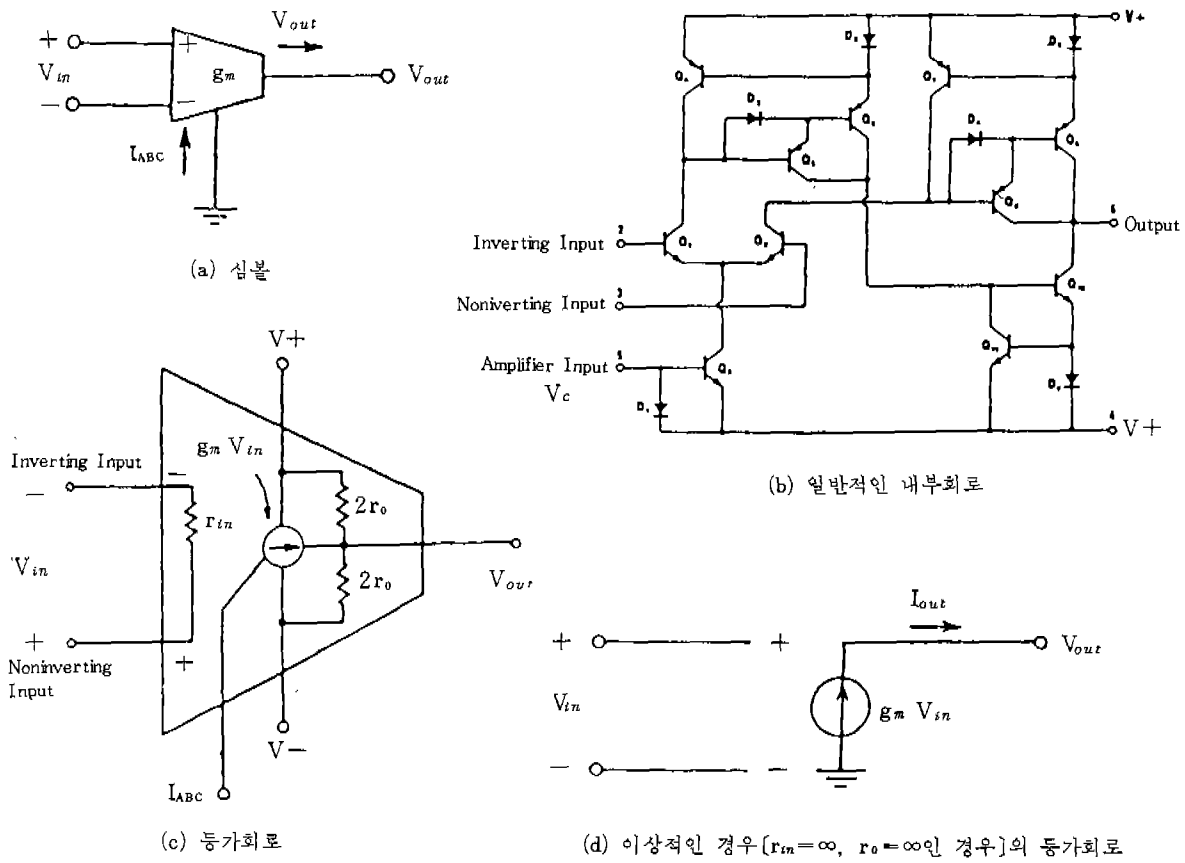
그림 2는 적분기들을 나타낸 것으로서, (a)는 능동RC회로이고, (b)는 집적화를 위해 저항R를 스위칭 주기와 커패시턴스로 모의한 SC회로이다^(1,2). 한편 SC회로의 문제점을 해결하기 위한 방법으로 (c)와 (d)의 방법이 있다. 이 방법들은 MOSFET와 커패시터로만 구성되기 때문에 MOSFET-C회로라 부른다. 여기서 (c)는 저항을 활성영역에서 동작하는 MOSEFT로 대체시킬 경우에 발생하는 MOFET의 비선형 저항특성을 제거하기 위해 완전대칭된 회로로 실

• Notch 필터 : Band-Stop 또는 Band-Elimination 필터의 일종으로서 주로 Bandpass 필터를 합성하는 데 종종 연결하여 사용한다. 이 필터의 종류로는 Symmetrical Notch, Highpass Notch, Lowpass Notch가 있다.

Notch 필터의 일반 함수식은

$$\frac{S^2 + W_z^2}{S^2 + \frac{W_0}{Q}S + W_0^2}$$

로서 $W_0 = W_z$ 일 때는 Symmetrical Notch 또는 Regular Notch라 부르고, $W_0 > W_z$ 일 때는 Highpass Notch라 부르며 $W_0 < W_z$ 일 때는 Lowpass Notch라 부른다.



〈그림 1〉 OTA

현한 것이고^(2,5), (d)는 선형 저항특성을 갖도록 2개의 MOSFET를 이용하여 저항을 모의하여 대체한 회로이다⁽⁸⁾. OTA를 이용한 적분기 회로를 살펴보면 그림 1 (e)와 같다. (e)회로는 (a)의 능동RC회로에서 저항이 제거되므로 능동C회로라 부르며, 다른 적분기 회로보다 간단함을 알 수 있다. 이 적분기의 전달함수는

$$\frac{V_o}{V_i} = \frac{g_m}{sC} = -\frac{I_{ABC}}{2V_T sC} \quad (5)$$

이므로 이득은 Bias 전류 I_{ABC} 에 비례하게 되는 것을 알 수 있다.

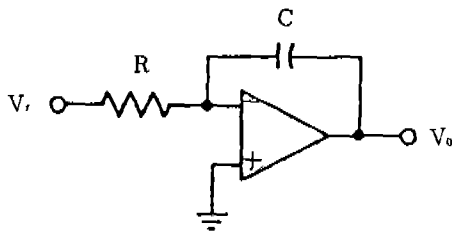
실제적인 경우 OTA는 일반적인 연산증폭기와 마찬가지로 Transconductance Gain은 OTA의 자체 특성에 의해 Roll-Off 특성을 갖는다.

그러나 그림 1 (b)의 경우에 3dB 대역폭은 2MHz이므로 이 범위내에서만 동작하는 것으로 가정하고 각종 Building Block을 설명한다. 먼저 능동C회로의 해석을 위해 기본적인 OTA의 기본 Building Block들을 해석해 본다.

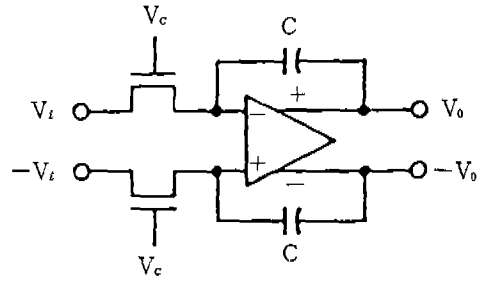
3. 기본적인 OTA Building Block 해석

기본적인 OTA Building Block의 해석 예로서 그림 3의 회로들을 살펴 보자.

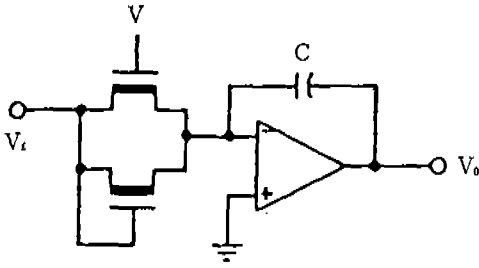
그림 3 (a)의 회로는 반전 증폭기로서 (b)와 같은 등가회로로 나타낼 수 있으며, 출력전압은 $V_o = -g_m R_L V_i$ 이므로 전달함수는



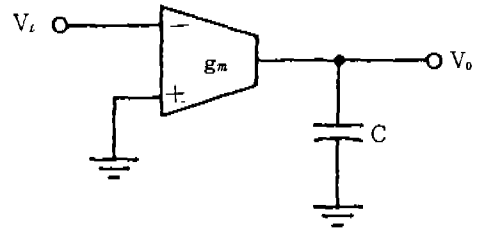
(a) 능동 RC 적분기



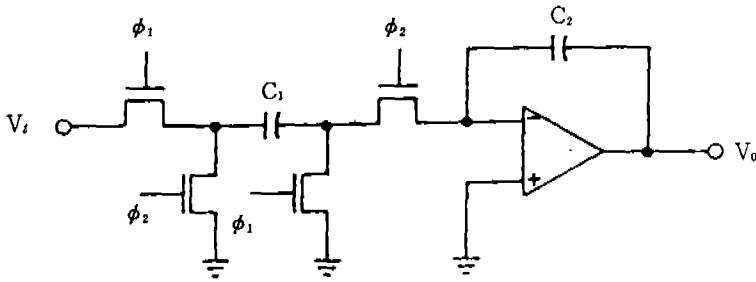
(c) Fully Balanced 적분기



(d) 2개의 MOSFET로 선형저항을 모의한 적분기



(e) OTA와 C로 구성된 능동C적분기



(b) SC 적분기

〈그림 2〉 적분기

$$\frac{V_o}{V_i} = -g_m R_L \quad (6)$$

이다. 출력임피던스 Z_o 는 입력전압 V_i 를 0으로 놓고 출력측에서 바라본 임피던스이므로 종속전류원은 개방(open)되어

$$Z_o = R_L \quad (7)$$

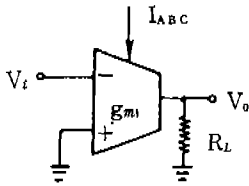
이 된다.

비반전 증폭기의 경우는 그림 3 (c), (d)와 같으며 반전 증폭기와 같은 방법으로 해석하면

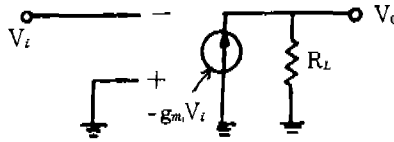
$$\frac{V_o}{V_i} = g_m R_L \quad (8)$$

$$Z_o = R_L \quad (9)$$

이 된다. 여기에서 알 수 있듯이 신호를 반전시키기 위해서는 OTA 입력단자의 부호만을 바꾸기만 하면 된다. 그러나 이 회로들은 출력임피던스가 부하저항 값이므로 종속연결(Cascade Connection)시에는 출력단에 완충기(Buffer)를 삽입하여 상호 Loading 현상을 막아야 한다. 한



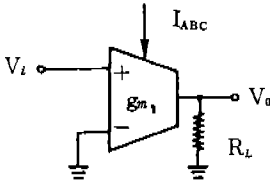
(a) 반전 증폭기



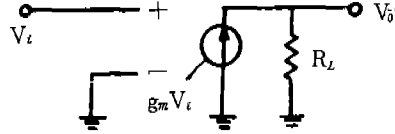
(b) (a)의 등가회로

$$\frac{V_o}{V_i} = -g_m R_L$$

$$Z_o = R_L$$



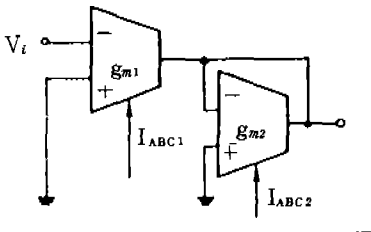
(c) 비반전 증폭기



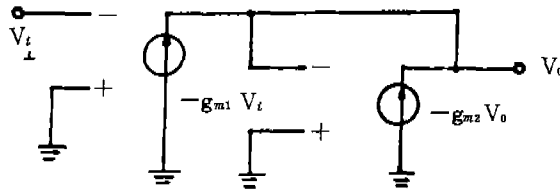
(d) (c)의 등가회로

$$\frac{V_o}{V_i} = g_m R_L$$

$$Z_o = R_L$$



(e) 능동소자로 구성된 반전증폭기



(f) (e)의 등가회로

$$\frac{V_o}{V_i} = -\frac{g_{m1}}{g_{m2}}$$

$$Z_o = \frac{1}{g_{m2}}$$

〈그림 3〉 기본적인 OTA Building Block의 예

편 상기 회로에서 저항들은 (e)와 같은 방법으로 대체될 수 있다. 이때 대체된 OTA(g_{m2})는 I_{ABC2} 를 변화시킴으로써 가변저항 역할을 하게 된다. 이 회로는 수동소자가 없으므로 집적하기에 유리하고 이득을 g_{m1} 또는 g_{m2} 로 조절할 수 있으며, 동일 칩내에 두 OTA가 들어 있는 경우에는 g_m 의 온도에 따른 변화요인들이 제거되게 된다.

(e)회로의 전달함수를 구하기 위해 V_o 절점에서 KCL을 적용하면

$$g_{m1} V_i + g_{m2} V_o = 0 \quad (10)$$

이므로

$$\frac{V_o}{V_i} = -\frac{g_{m1}}{g_{m2}} \quad (11)$$

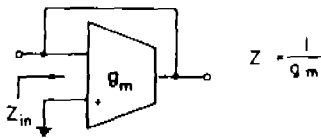
이고, 출력임피던스는

$$Z_o = \frac{V_o}{(-g_{m2} V_o)} = \frac{1}{g_{m2}} \quad (12)$$

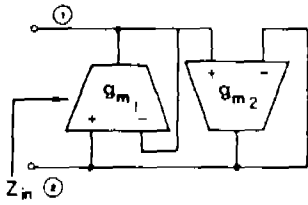
이다. 이제 임피던스를 OTA로 모의하는 회로에 대해서 살펴보자.

그림 4에 각종 임피던스를 모의한 회로들을 나타냈다. (a)는 그림 3 (e)에서 적용한 접지된 Voltage Variable Resistor (VVR)이고, (b)는 Floating VVR로서 만약 $g_{m1} = g_{m2} = g_m$ 이면 입력 임피던스는 그림 4(b)에 나타낸 것과 같게 된다. 그러나 g_{m1} 과 g_{m2} 가 서로 다르면 절점 ②를 $(g_{m1} - g_{m2})V_1$ 의 VCCS로 구동시켜 g_{m1} 값으로써 단자 ①과 ②사이에서 Floating VVR로 동작하게 된다.

(c)는 Voltage Variable Impedance Inverter이고, (d)는 Voltage Variable Floating Impe-



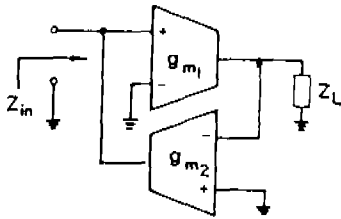
(a) Grounded Voltage Variable Resistor (VVR)



$$g_{m1} = g_{m2} = g_m$$

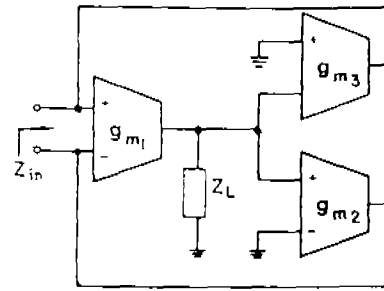
$$Z_{in} = \frac{1}{g_m}$$

(b) Floating VVR



$$Z_{in} = \frac{1}{g_{m1} g_{m2} Z_L}$$

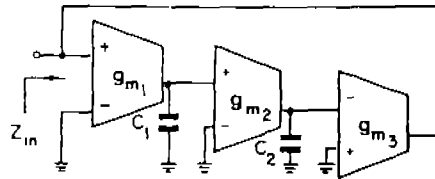
(c) Voltage Variable Impedance Inverter



$$g_{m2} = g_{m3} = g_m$$

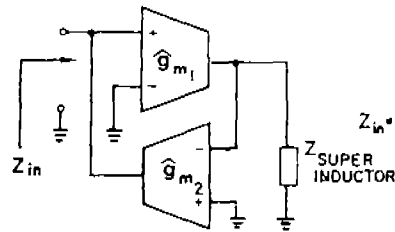
$$Z_{in} = \frac{1}{g_{m1} g_m Z_L}$$

(d) Voltage Variable Floating Impedance



$$Z_{in} = \frac{s^2 C_1 C_2}{g_{m1} g_{m2} g_{m3}}$$

(e) Super Inductor



$$Z_{in} = \frac{g_{m1} g_{m2} g_{m3}}{s^2 C_1 C_2 g_{m1} g_{m2}}$$

(f) FDNR

(그림 4) OTA와 C로 구성된 임피던스 소자

dance로서 부하 임피던스가 커패시터인 경우에는 인덕터를 모의한 것이 된다.

(e)는 Super Inductor를 모의한 경우이고, (f)는 부하 임피던스를 Super Inductor를 사용한 경우로서 그림 4 (c)의 형태이므로 FDNR (Frequency Dependent Negative Resistor)

를 얻을 수 있다.

상기에서 언급된 그림 3과 4의 회로를 회로 설계시에 이용할 경우, 회로구성 소자가 OTA와 커패시터만으로 구성되었기 때문에 집적하는데 유용하다.

(계속)

• FDNR : RLC수동회로망을 CRD[이때 D는 커패시턴스 C와 같고 FDNR이다]변환하면 임피던스가 $Z_{in} = \frac{1}{Ds^2} = \frac{1}{Dw^2}$

인 소자가 필요하게 된다. 즉 이러한 임피던스를 갖

는 것을 Frequency Dependent Negative Resistor (FDNR)라 부르는데, 이 명칭은 임피던스가 주파수에 의존하고 음의 값을 갖기 때문에 붙여진 이름이다.