

FIPOS 기술을 이용한 SOI 구조의 실온제조

(SOI Structures Formed at Room Temperature Using FIPOS Technique)

崔 光 惇*, 李 鍾 玄*, 孫 炳 基*, 申 鍾 郁*

(Kwang Don Choi, Jong Hyun Lee, Byung Ki Sohn and Jong Ug Shin)

要 約

Porous 실리콘 形成反應에서 HF濃度, 電流密度, 反應時間 및 基板의 表面狀態가 PSL(porous silicon layer)의 porosity에 미치는 影響을 실험적으로 조사하였다.

PSL을 陽極酸化 시켜서 室溫에서 FIPOS-SOI를 제조하는 방법을 연구하였다. 이 방법으로 100 μ m 폭의 SOI strip line을 제조하였으며 SOI의 stress제거를 위해 2단계 PSL 형성법을 이용하였다. 또한 이 실온 SOI 제조기술을 이용하여 이미 소자공정을 끝낸 집적회로를 SOI화 시킬 수 있는 방법을 제안하였다.

Abstract

An experimental study of the influences of HF concentration, current density, reaction time and the silicon surface, on the formation and properties of porous silicon are reported.

The SOI (Silicon-On-Insulator) strip lines with 100 μ m width are fabricated at room temperature by anodic oxidation of PSL (Porous Silicon Layers). The stress on the silicon island induced by the anodic oxidation can be avoided by the two-step PSL formation technique. At the final step of IC fabrication process, device isolation will be achieved at room temperature by this method.

I. 序 論

실리콘 집적회로기술 발전은 이미 포화단계에 도달한 것으로 평가되는 경향에도 불구하고 초집적기억 소자 및 ASIC 등에서 그 발전속도와 수요확대는 지속될 것으로 전망된다.^[1] 그러나 집적도확장과 소자축소의 기술적 한계도 쉽게 극복될 것으로 낙관되지는

않고 있다.^[2] 이에 따라 기존의 planar 기술을 바탕으로 3차원 집적회로(3D-ICs)를 실현시키기 위한 새로운 재료, 공정기술 및 소자구조에 관한 폭넓은 연구가 진행되고 있으며 그 기본이 되는 SOI(silicon-on-insulator) 구조의 몇가지 제조기술은 이미 실용수준에 이르고 있는 것으로 보인다.^[3]

지금까지 발표되어 있는 여러가지 SOI 기술은 그 제조방법에 따라 각각의 特長이 있으나, 실용관점에서 다음의 몇 가지 조건이 만족되어야 한다. 즉 SOI 박막의 quality, 공정의 신뢰성, 기존 공정 기술과의 호환성, 3D-ICs 및 신소자 응용 가능성, cost 등이다.

*正會員, 慶北大學校 電子工學科
(Dept. of Elec. Eng., Kyungpook Nat'l Univ.)

接受日字: 1988年 7月 4日

(※ 본 연구는 1987년도 한국과학재단 기초연구비에 의해 수행된 것임.)

SOI의 대표적인 기술로 잘 알려져 있는 SOS(silicon-on-sapphire),⁴⁾ SIMOX(separation by implanted oxygen),⁵⁾ ZMR(zone melting recrystallization)⁶⁾ 등은 가장 유망한 기술이나 아직은 quality, 신뢰성, cost 등이 해결되어야 할 과제로 남아 있다. 본 연구에서 사용된 FIPOS(full isolation by porous oxidized silicon)⁷⁾ 기술은 다른 SOI에 비해 막막의 quality와 cost에 가장 큰 장점을 가지고 있다.

FIPOS 기술은 실리콘단결정을 陽極反應시켜 선택적으로 多孔質層을 형성하는 1단계공정과 이를 산화시켜 SOI 구조를 만드는 2단계 공정으로 大別된다. 단결정 실리콘기판을 고순도의 HF (20~50%) 속에 넣고 백금전극을 통하여 전류를 흘리면서 양극반응시키면 기판표면에 수십~수백Å 정도의 微細氣孔(pore)을 포함하는 多孔質 실리콘層(PSL: porous silicon layer)을 형성시킬 수 있다.⁸⁾ 이 PSL은 원래의 結晶狀態를 그대로 維持하고 있으며⁹⁾ bulk 실리콘에 비해 산화속도가 수백배나 빠르고 또 低温酸化가 가능하기 때문에 집적회로소자의 절연을 위해 연구되어 왔다.¹⁰⁾ 1981년 K. Imai¹¹⁾에 의해 PSL 산화법을 이용한 SOI 제조방법이 보고되자 많은 관심이 모이게 되고 FIPOS 기술로 알려졌다. 이미 FIPOS-SOI 技術은 回路應用水準에 到達한 것으로 발표되고 있으나^{12,13)} 그 기본공정인 PSL 형성과 산화방법에 대한 연구결과는 잘 알려져 있지 않다.

본 연구에서는 첫째로 陽極反應條件 즉 HF농도, 전류밀도, 반응시간 및 初期表面狀態가 PSL 형성에 미치는 영향을 조사하고 좋은 再現性을 얻었다. 둘째로 PSL의 양극산화로 室温에서 SOI 구조를 제조하는 방법을 시도하였으며 그 기초실험결과를 보고한다. 셋째로 2단계 PSL 형성법에 의한 氣孔度(porosity) 제어 및 stress제거 방법과 또 이 실은 SOI 제조기술을 이용하여 이미 공정이 끝난 集積回路素子를 최종단계에서 SOI 구조로 절연시키는 방법을 제안하였다.

II. Porous Silicon Layer (PSL)의 제조

실험에 사용된 실리콘 기판은 p형, (100), 6~9Ωcm이며 시편의 뒷면은 p⁺로 도우핑 하였다. 그림 1은 사용된 양극반응장치이며 모두 테프론으로 제작되었으며 두개의 백금전극을 통하여 定電流를 공급하였다. 試片의 뒷면에 Al증착을 하여 시편에 양극전압을 걸어주는 방법도 있으나 본 실험에서는 균일 전장을 얻기위해 그림과 같이 HF 용액 접촉방법을 이용하였으며 소자공정의 관점에서도 바람직한 방법이다.

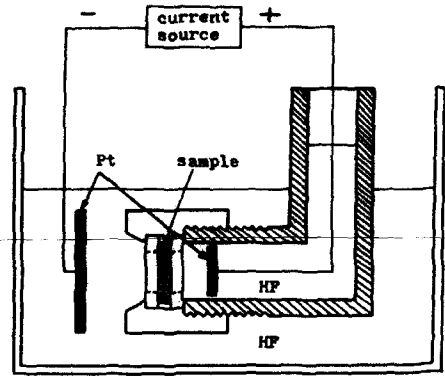
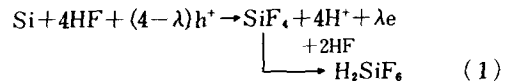


그림 1. 양극반응 장치도

Fig. 1. A schematic diagram of anodic reaction equipment.

또한 반응과정에서 생성되는 수소가스를 試片의 표면에서 제거하기 위하여 초음파발생기를 사용하였다.

HF용액내에서 실리콘이 양극반응에 의해 용해되는 현상을 Turner 등¹⁴⁾은 아래와 같이 설명하였다.



여기서 λ는 반응에 필요한 正孔의 수를 결정해주는 因子이며 λ < 4 이다. PSL이 형성되는 초기단계에는 실리콘표면에 분포되어 있는 결정결함을 통하여 전류가 흐르게 되어 pore생성이 시작된다. 표면식각이 일어나지 않고 pore의 형성이 계속되는 현상에 대한 설명으로 Unagami¹⁴⁾는 반응과정에서 생성된 silicic 酸이 표면과 pore내壁上에 부착되어 pore가 측면으로 성장하는 것을 방지해 주므로 pore는 깊이 방향으로 성장한다고 설명하고 있다. 한편 Beal¹⁵⁾은 多孔質실리콘의 저항율(~10⁶Ω-cm)이 실리콘 기판이나 HF용액의 저항율보다 훨씬 높아 전류는 용액을 통하여 pore의 끝부분으로 흐르므로 깊이 방향으로 성장한다고 주장하고 있으나 두 경우 모두 규명되어 있지 않다. 그러나 반응원리에서 실리콘의 도우핑, 전류밀도, HF농도, 반응시간, 반응온도, 表面狀態 등이 PSL의 형성에 影響을 주는 因子가 될 것이며 여기서는 HF농도, 전류밀도, 반응시간및 표면상태에 대한 실험결과를 보고한다.

1. HF농도 및 전류밀도가 PSL 형성에 미치는 영향

HF농도가 PSL의 형성에 미치는 영향을 조사하기 위하여 반응시간을 4분으로 일정하게 두고 전류밀

도에 따라 30, 40 및 48wt%의 HF 용액에서 시편을 양극반응 시켰다. 그림 2는 전류밀도를 10mA/cm²에서 100mA/cm²로 변화시키면서 반응전후의 질량차를 측정하였으며 그 결과를 나타내었다. 시편의 질량은 10 μ g 정밀도의 electrical microbalance (Mettler)로 측정하였으며, PSL을 형성시킨 후 산화를 방지하기 위해 DI water로 rinse하지 않고 N₂ gas로 blowing하여 질소분위기, 140 $^{\circ}$ C에서 4시간 동안 건조시킨 후 초기질량과의 질량차 ($\Delta W1$)를 측정하였다. 여기서 전류밀도가 증가함에 따라 질량차가 증가함을 알 수 있다. 이는 전류가 증가함에 따라 正孔의 총 공급량이 증가하기 때문으로 생각된다.

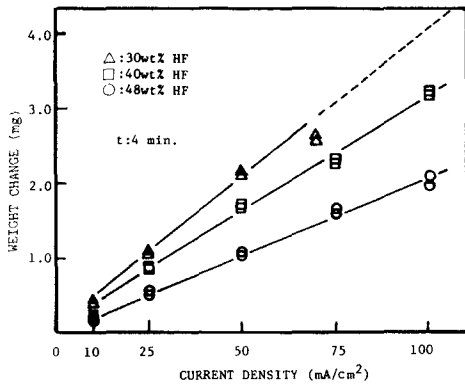


그림 2. 반응 전류밀도에 따른 무게 변화량
Fig. 2. Weight change versus current density with HF concentration as a parameter.

양극반응 전 시편의 질량은 W1이며 PSL을 형성시킨 후의 질량을 W2라 하면 양극반응 前後의 질량차는

$$\Delta W1 = W1 - W2 \quad (2)$$

이며 $\Delta W1$ 은 반응에 의해 HF용액중에 용해된 양이 된다. 또 PSL을 산화시켜 HF로 녹여낸 후 얻어진 질량을 W3라 하면 양극반응 후 PSL만의 질량은 다음과 같다.

$$\Delta W2 = W2 - W3 \quad (3)$$

결과적으로 질량으로 환산한 PSL의 평균두께는

$$T = \frac{\Delta W1 + \Delta W2}{2.33 \cdot S} \quad (\text{cm}) \quad (4)$$

와 같이 된다. 여기서 2.33은 실리콘의 밀도이며 S는 PSL의 표면적이다.

그림 3은 전류밀도의 변화에 따른 PSL의 두께변화를 나타낸 것이다. PSL 두께는 식(4)에 의해 얻어진 값이며 PSL의 SEM 사진으로 측정된 값과 일치함을 확인하였다. 식(3)의 W3를 구하는 과정에서 PSL을 산화시킬때 PSL 뿐만아니라 기판실리콘도 산화된다. 그러나 수-수십 μ m의 PSL 두께에 비하여 900 $^{\circ}$ C, 1시간의 건식산화에서 bulk 실리콘이 산화된 산화막 두께는 200 \AA 에 불과하며 이는 1% 정도의 무게 측정오차에 포함된다.

그림 4는 전류밀도와 porosity와의 관계를 나타낸 것이다. Porosity는 반응에 의해서 용해된 실리콘의 질량 ($\Delta W1$)과 多孔質 실리콘 영역의 반응전질량 (Wsi)

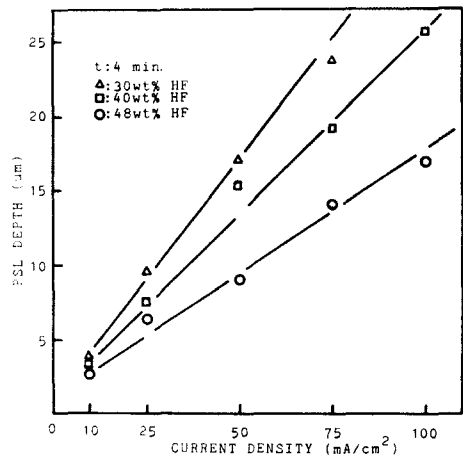


그림 3. 반응 전류밀도에 따른 PSL의 깊이
Fig. 3. PSL depth versus current density with HF concentration as a parameter.

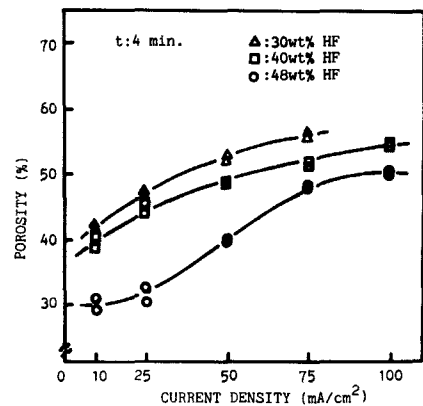


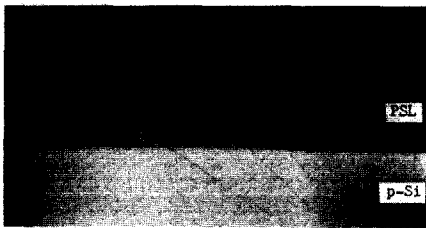
그림 4. 반응 전류밀도에 따른 PSL의 porosity.
Fig. 4. Porosity versus current density with HF concentration as a parameter.

의 비, 즉 氣孔度를 나타내며 다음과 같이 정의한다.

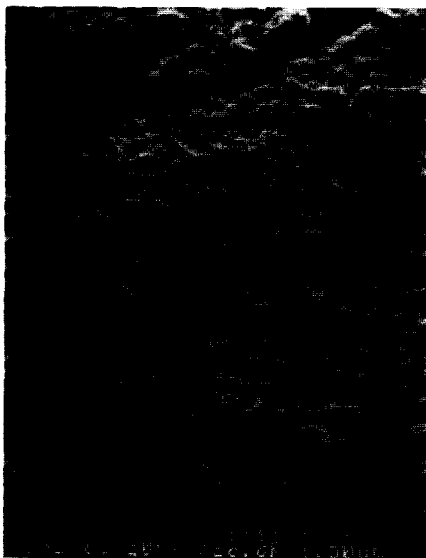
$$P = \frac{\Delta W_1}{W_{Si}} = \frac{\Delta W_1}{\Delta W_1 + \Delta W_2}$$

이 porosity는 PSL을 산화시켰을때 나타나는 stress를 최소화 하기위해 가장 중요한 인자이며 열산화경 경우에는 56%의 porosity가 최적조건으로 알려져 있다.¹⁴⁾

그림 5는 HF농도 48%, 전류밀도 50mA에서 20분간의 양극반응으로 제조된 PSL의 단면을 촬영한 사진이다. 그림(a)는 PSL의 壁開面을 360배 확대한 광학현미경 사진이며 약 54 μ m 두께의 PSL이 균질하게 형성되어 있음을 볼 수 있다. PSL의 단면은 pore 형성에 의해 벽개성(cleavage)을 잃게되어 주름 잡힌 모양으로 나타나며 bulk실리콘과의 깨끗한 경계



(a)



(b)

그림 5. (a) PSL 壁開面の 현미경 사진(360X)
 (b) 45° 경사 연마된 PSL의 단면 SEM사진
 Fig. 5. (a) Optical micrograph of cleaved cross-section of PSL. (360X, $t_{PSL} = 54 \mu m$).
 (b) Cross-sectional view of PSL 45° angle lapped. (20,000X).

면을 보이고 있다. 이 壁開面은 굴곡이 심하게 나타나므로 고배율의 SEM 촬영이 어렵고 또한 극히 잘 부스러지므로 연마된 면에서도 수십Å 크기의 pore를 관찰하기는 쉽지 않다. Beal 등¹⁴⁾은 15만배의 TEM 촬영으로 pore의 형태를 관찰 보고한 바 있다. 그림(b)는 동일시편을 45° 경사연마한 후 2만배로 촬영한 SEM사진이다. 표면에 나타나는 굴곡은 사용연마제(입자크기 500Å)와 pore에 의한 것으로 생각된다.

그림 6은 HF농도 48wt%, 전류밀도 250mA/cm²으로 4분간 PSL을 형성시킬 때 PSL 표면식각이 일어나는 모양을 나타낸 사진이다. HF농도가 낮고 전류밀도가 늘어남에 따라 생성되는 pore의 크기가 커지게 되며 이와같은 식각이 일어나게 된다. PSL이 형성되기 위해서는 식(1)에서 나타난 有效溶解價數(4- λ)가 2~2.8이 되어야 하며 이 이상인 경우에는 이와 같은 electro-polishing이 일어나는 것으로 알려져 있다.¹⁴⁾ 본 실험에서는 그림 4에서와 같이 HF농도 30%, 전류밀도 100mA/cm²에서부터 이 현상이 관찰 되었다.

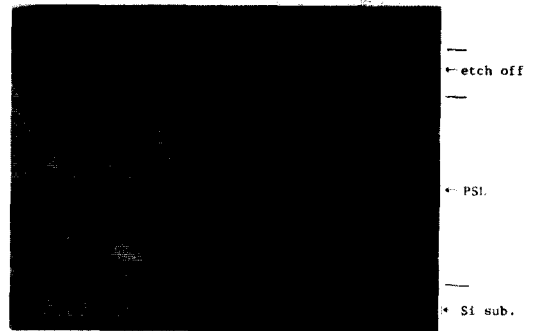


그림 6. 표면식각이 일어나는 PSL의 단면 SEM사진

Fig. 6. Cross-sectional view of electro-polished PSL. (400X, J : 250mA/cm², t : 4 min. HF concen. : 48 wt%).

2. 반응시간이 PSL의 형성에 미치는 영향
 반응시간이 증가함에 따라 공급되는 총전하가 증가하므로 반응중 용해되는 실리콘의 양은 증가한다. 그림 7은 陽極反應 前後의 질량차 ΔW_1 과 반응시간의 관계를 나타낸 것이다.

PSL은 실온에서도 식(6)과 같은 반응으로 물과 결합 산화되어 HF에 의해 식각되므로 이러한 非電氣的反應에 의한 영향도 고려되어야 한다.

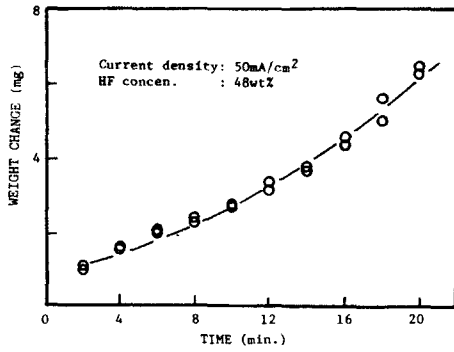


그림 7. 양극반응시간에 대한 무게 변화량
Fig. 7. Relationship between weight change and anodic reaction time.

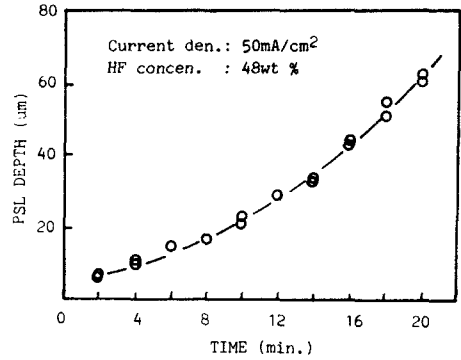


그림 9. 양극반응시간에 따른 PSL의 깊이
Fig. 9. Relationship between PSL depth and anodic reaction time.

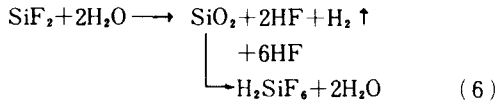


그림 8 은 식(6)의 非電氣的反應을 확인하기 위하여 48%HF, 50mA/cm²의 조건에서 제조된 PSL을 전류를 가하지 않고 48wt%의 HF 용액에 담구었을 때에 시간에 따른 질량의 변화를 본 것이다. 식(6)과 같은 반응에 의해 HF 용액중에 분당 5μg 정도의 실리콘이 용해 되므로 이는 통상 수 분 정도의 짧은 반응시간에서는 무시할 수 있는 양이다.

그림 9 및 그림 10은 시간에 따른 PSL의 두께 및 porosity의 변화를 나타낸 것이다. 전류밀도가 일정

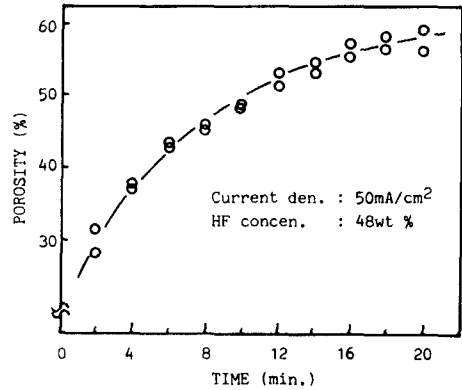


그림 10. 양극반응시간에 따른 PSL의 porosity
Fig. 10. Relationship between porosity and anodic reaction time.

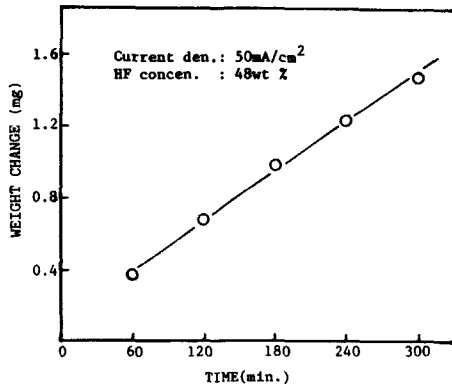


그림 8. 전류를 가하지 않은 상태에서 48wt% HF 용액에 담구어진 PSL의 경과시간에 따른 무게 변화량
Fig. 8. Relationship between weight change and dipping time in 48wt% HF solution.

할 경우 반응시간의 경과에 따라 공급되는 충전하량은 선형적으로 증가할 것이며 식(1)의 순수 전기화학적 반응으로 용해되는 실리콘의 질량은 선형적인 것이다. 또한 非電氣的反應에 의한 실리콘의 용해량도 선형적임을 그림 8에서 알 수 있다. 그림 7에서 나타나는 비선형성은 식(1) 및 식(6)의 반응만으로는 설명되지 않는다. 반응중의 試片의 저항변화는 무시할 만한 크기이므로 λ의 영향도 배제할 수 있다. 따라서 그림 7, 10의 비선형성은 시간에 따른 pore의 형태변화에 의하여 나타나는 현상으로 추측되며 TEM, B. E. T. (brunauer-emmett-teller) 를 이용한 pore의 크기, 분포에 대한 보다 정밀한 비교 분석이 요구된다.

3. 표면상태가 PSL의 형성에 미치는 영향

初期表面狀態에 따른 pore의 형성을 조사하기 위하여 試片의 鏡面을 sputtering 시켰다. 鏡面 실리콘 기판을 Ar, 300mtorr, 140W, 1min. 동안 sputtering 하여 직경 400 Å 크기의 pit를 발생시키고 PSL을 제조하였다. 그림11, 12는 표면에 pit를 발생시킨

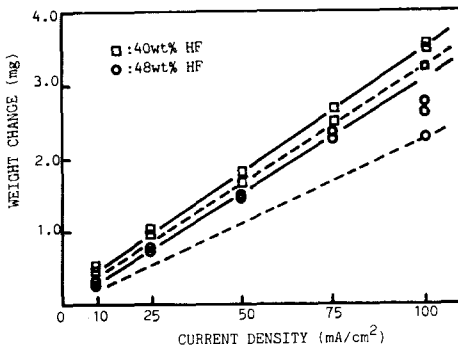


그림11. Ar sputtering 한 시편의 전류밀도에 대한 무게변화량, “—”은 경면 시편의 경우
Fig. 11. Weight change versus current density in Ar sputtered sample with HF concentration as a parameter. (“—”: sputtered sample, “---”: mirror surface sample).

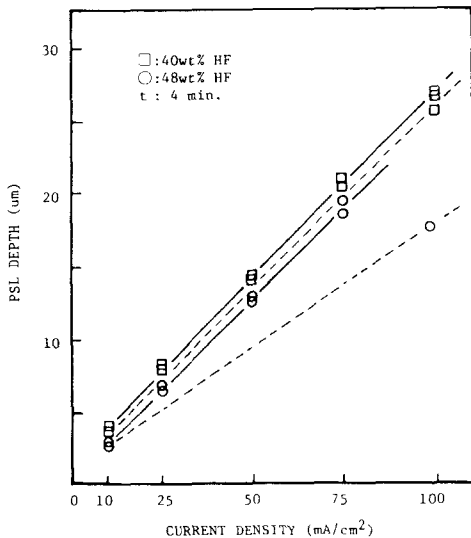


그림12. Ar sputtering 한 시편의 전류밀도에 대한 PSL의 깊이, “---”은 경면시편의 경우
Fig. 12. PSL depth of the sputtered sample compared to the mirror surface wafer. (“—”: sputtered sample, “---”: mirror surface sample).

시편을 양극반응시킨 경우 양극반응 전후의 질량차와 PSL의 두께를 나타낸 것이며 鏡面試片의 경우를 점선으로 나타내어 대비 하였다.

그림13은 표면에 pit를 발생시킨 시편과 鏡面試片의 porosity를 대비한 것이다. Sputtering 시킨 시편의 porosity가 경면시편의 경우보다 15%정도 크게 증가함을 알 수 있다. 반응초기의 pore 형성은 실리콘표면에 분포되어 있는 結晶缺陷을 통해 시작되는 것으로 알려져있으며 pit를 발생시킨 試片의 경우 초기에 형성된 pore의 밀도가 증가하기 때문인 것으로 생각된다.

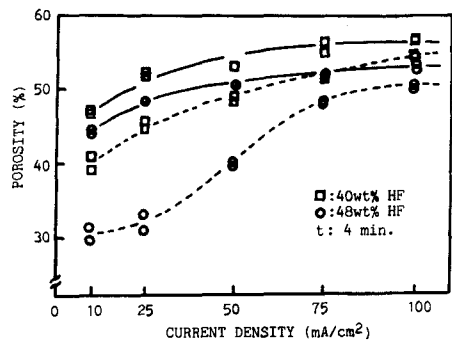


그림13. Ar sputtering 한 시편의 전류밀도에 대한 PSL의 porosity, “---”은 경면시편의 경우
Fig. 13. Porosity of the sputtered sample compared to the mirror surface. (“—”: sputtered sample, “---”: mirror surface sample).

FIPOS-SOI 제조를 위해 PSL을 열산화시킬 때 stress가 없는 OPSP(oxidized porous silicon layer)을 얻기 위한 최적 porosity는 56%로 알려져있다.¹⁸⁾ 이 56%의 porosity를 얻기 위해서는 본 실험결과에서 경면시편의 경우 40%의 HF 농도에서 100mA/cm² 이상의 큰 전류밀도를 필요로 한다. 그러나 HF농도를 감소시키고 전류밀도를 높이면 pore의 크기가 증가하고 균질한 pore 분포를 얻기가 어려우며 electro-polishing이 일어나는 한계조건에 가까워지게 된다. 따라서 의도적으로 기관표면에 균질한 미소 pit를 발생시키고 PSL을 제조하는 이 방법은 低電流, 高濃度 HF에서 porosity가 크고 均質한 PSL을 얻기 위한 좋은 방법이 될것이다. 또한 표면 pit의 크기에 따른 PSL의 porosity, pore의 형태 및 분포에 관한 분석적인 연구도 기대된다.

4. PSL의 열산화 특성

Micropore를 포함하는 PSL의 산화특성은 bulk실

리콘의 표면산화특성과 큰차이를 나타낸다. 1cm³ 체적의 PSL이 가지는 표면적을 개략적으로 계산해 보더라도, pore 직경이 10nm, 50% porosity인 경우에 약 300m²에 달하는 표면적을 가지게 된다. 따라서 이 PSL을 질산이 포함된 실리콘 부식액에 넣으면 급격한 산화반응으로 가벼운 폭발음과 함께 섬광을 관찰할 수 있다. 또한 양극반응을 경험한 PSL의 표면실리콘 원자는 bulk 실리콘의 표면과는 달리 그 결합상태가 불안정한 것으로 생각되며 이의 조사를 위해 공기중에서 TG-DTA (thermogravimetry & differential temperature analysis) 분석을 시행한 결과를 그림14에 나타내었다. PSL 시료의 초기 질량은 3mg이었으며 분말형태로 측정하였다. TG곡선을 보면 약 230℃에서 시작하여 310℃ 사이에서 시료질량이 3mg에서 3.5mg으로 급격한 변화(16.7%)가 나타났으며 이 온도범위에서 PSL의 산화반응이 일어나 질량이 증가한 것으로 판단된다. 또 이는 300℃ 부근에서 최대 발열 peak가 나타나는 DTA 결과에서도 확인된다. 840℃가 되면 시료의 질량은 4.5mg 정도로 포화되며 계속 산화되어 초기질량에 비해 50%가 증가하였다. 이와 같이 PSL은 bulk 실리콘의 경우와는 달리 공기중 저온에서도 쉽게 산화가 일어남을 알 수 있다.

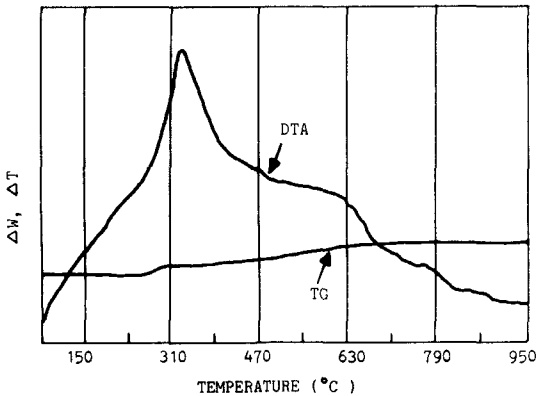


그림14. PSL의 공기중 TG-DTA 분석
Fig. 14. Typical TG-DTA curves in air of PSL. Heating rate is 15°C/min.

산화된 PSL 즉 OPSL에서 體膨服에 의해 나타나는 stress는 다음에 논의되는 FIPOS-SOI 제조에 있어서 SOI층에 결정결함을 일으키는 중요한 원인이 된다. 이 stress는 PSL의 porosity, pore크기 및 분포, 또 열산화시의 분위기, 온도 및 시간에 극히 민감하여 제어하기 가장 어려운 문제이다.^[17]

III. 양극산화법에 의한 FIPOS-SOI의 실온제조

1. FIPOS의 원리

FIPOS 기술이란 그 원리를 간략히 소개하면 그림15와 같다.^[18] 그림(a)와 같은 n-확산층을 가지는 실리콘기판을 고농도 HF속에서 양극반응을 시키면 정공에 의해 전류가 공급되는 P형 기판실리콘은 그림(b)의 과정을 통해 그림(c)와 같이 다공질 실리콘층으로 만들어진다. 이것을 산화하면 그림(d)와 같이 단결정실리콘 island가 남게되고 SOI구조가 얻어지게 된다. 본 연구에서는 그림15와 같은 원리적인 공정에 따라 PSL을 제조하고 고온 열산화방법 대신에 실온에서 PSL을 양극산화시켜 SOI 구조를 얻는 방법을 시도하였다.

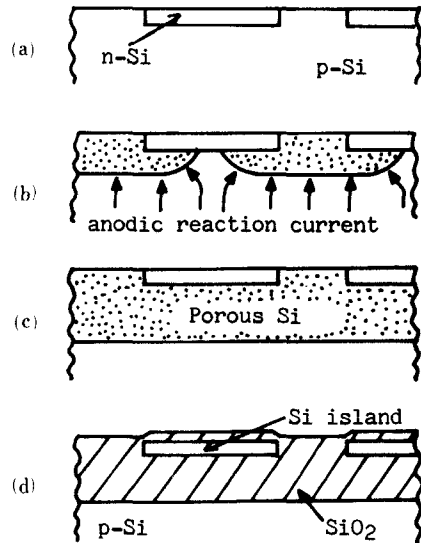


그림15. 원리적인 FIPOS 공정도
Fig. 15. Schematic of the original FIPOS process.

2. FIPOS-SOI의 제조

실험에 사용된 샘플은 p형, (100), 6-15Ω-cm 기판위에 그림15와 같이 n 확산층이 폭 20-400μm의 strip line으로 들어가 PN 접합을 이루고 있는 것이다. 이때 확산조건은 POCl₃, 950℃, 15min.의 先擴散과 1050℃, 40min의 再擴散이다. PSL 형성은 HF농도 48%, 전류밀도 50mA/cm²의 양극반응조건에서 행하였으며 제작된 테프론 반응기에서 균일한 PSL층이 형성됨을 확인하였다.

그림16은 p형 실리콘이 전류통로를 따라 선택적으로 PSL로 바뀌며 n형 실리콘 island가 형성되어 가



그림16. PSL의 형성 과정
Fig. 16. Lateral formation of PSL. (cleaved cross-section, 180X, W=200 μm).

는 과정을 보이고 있다. 이것은 시편 壁開面의 180 배 현미경사진이며 n 화산층의 幅W는 200 μm 이다.

그림17은 幅 100 μm의 단결정실리콘 island가 만들어진 모양이다. 이때 PSL의 두께는 약 100 μm 정도이며 island의 중앙부분에 “anchor”가 남아 있음을 볼 수 있다. 여기서는 뚜렷하게 나타나지 않지만 이를 양극산화시킨 후에는 그림18에서 명백히 구별된다.



그림17. PSL 형성 반응이 끝난 n형 실리콘 island의 단면사진
Fig. 17. Optical micrograph of the n-Si island. (cleaved cross-section, 360X, W=100 μm).

이제까지 보고되어 있는 PSL 산화방법으로는 산화층의 stress를 최소화하고 또 micropore가 막힘으로 인한 산화중지 현상¹⁸⁾을 없애기 위해 제안된 2~3 단계 산화법이 가장 바람직한 것으로 알려져 있다.¹⁹⁾ 그러나 이 방법은 1000°C 이상의 고온에서 수 시간의 열산화가 요구되며, 또 stress가 있을 때는 고온상태에서 island의 이동이나 변형이 일어날 수 있다. 여기서는 실온공정을 위하여 PSL의 양극산화를 처음으로 시도하여 보았다. 양극산화는 ethylene glycol (HOCH₂·CH₂OH)에 2% H₂O, 몰농도 0.04 KNO₃, 리터당 1-2 gr의 Al(NO₃)₃·9H₂O를 첨가한 용액을 사용하였다. 또 stress를 감소시키기 위하여 多段階 양극산화 즉 1,2,4mA/cm²의 정전류를 단계적으로 각각 30분씩 공급한 후, 200V의 정전압

상태로 30분 유지시켜 산화막 성장속도를 조절하였다.

그림18은 양극산화된 SOI 시편을 45° 傾斜研磨한 단면사진이다. 여기서 실리콘 island 중심에서 bulk 실리콘까지 “anchor”가 내려져 있는 모양을 뚜렷이 볼 수 있다. 또한 SiO₂층에 나타난 균열도 보이고 있다. 이 균열은 stress에 의한 것이기 보다는 slurry를 쓰지 않고 1000번 diamond lap을 사용하는 회전형 연마기의 진동에 의한 것으로 생각된다. 전기 화학적 반응에 의한 PSL의 형성이나 양극산화가 일어나는 과정이, 그 원리적으로 negative feedback process이므로 예견된 현상이지만 그림과 같이 깨끗한 “T” 자형의 실리콘이 남게 되는 것은 흥미로운 결과이다. 그러나 이것은 SOI로서는 바람직하지 못하다. 따라서 이 “anchor”를 없애기 위하여 2단계 PSL 형성법을 시도하였다. 즉 1단계로 1-6 μm 정도의 얇은 PSL을 형성시켜 끓는 물에 담구었다가 다시 2단계로 PSL을 형성시키면 1차 형성된 얇은 PSL 층은 산화되어 식각 되고 2단계 PSL 형성에서 표면 pit에 의해 porosity를 높혀주며 側方向 전류밀도를 증가시키고 결과적으로 그림18의 “anchor”가 사라지게 된다. 또한 island에 작용하는 側方向 stress도 크게 감소될 것으로 기대된다. 이 방법에 의한 결과는 그림19에 나타내었고 깨끗한 n-island가 형성됨을 알 수 있다.

IV. 토의 및 결론

1. PSL의 제조

FIPOS 기술의 核心은 良質의 산화층을 만들수 있는 最適 PSL을 형성하는데 있다. 즉 PSL의 porosity, pore의 크기 및 분포를 적절히 조절하는 기술이다. 이 PSL의 특성은 기관의 type, 불순물 농



그림18. 양극산화반응이 끝난 SOI의 anchor 사진
Fig. 18. Optical micrograph of anchor in SOI after anodic oxidation. (45° angle-lapped cross-section, 360X, W=80 μm).

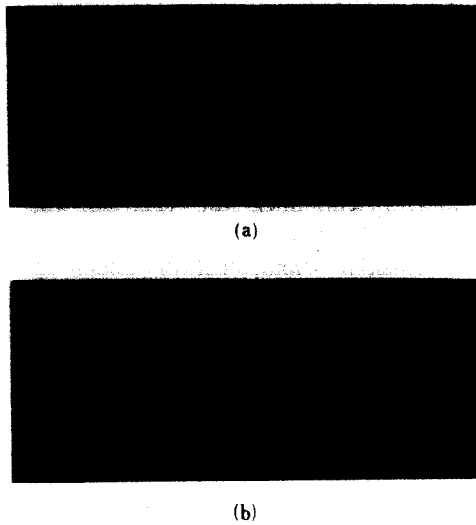


그림19. 2 단계 PSL 형성법에 의하여 제조된 FIPOS-SOI의 단면사진, 1 단계 PSL 형성조건

- (a) $J=10\text{mA}/\text{cm}^2$, $t=10\text{min}$
- (b) $J=10\text{mA}/\text{cm}^2$, $t=20\text{min}$

Fig. 19. Optical micrograph of FIPOS-SOI fabricated by 2 step PSL formation, 1st-step PSL was formed at
 (a) $J=10\text{mA}/\text{cm}^2$, $t=10\text{min}$.
 (b) $J=10\text{mA}/\text{cm}^2$, $t=20\text{min}$.
 (cleaved cross-section, a : 360X, b : 720X, $W=80\mu\text{m}$).

도, 전해액의 구성과 농도, 전류밀도와 전압, 반응 시간 및 처음 pore 형성이 시작되는 초기표면상태 등의 조건에 민감하게 의존한다. 이 6 가지 반응조건에 대해 발표되어 있는 실험적 연구결과가 충분히 못하며 연구실에 따라 一覽性이 缺如되어 있다. 따라서 본 실험에서는 4 가지 반응조건에 따른 PSL의 porosity 변화를 조사하고 재현성이 좋은 실험결과를 보고하였다.

2. PSL의 양극산화

실온에서 PSL을 산화시키기 위하여 양극산화법을 처음 시도하였다. 고온에서 장시간 열산화 시키는 경우와는 달리 실온산화의 경우는 결정의 relaxation이 기대되기 어려우므로 산화에 의해 발생하는 stress는 局部的으로 분포된다. 실리콘 island에 가해지는 stress의 영향은 고온산화의 경우보다 오히려 크게 감소하는 것으로 나타났다. 산화층의 내부에 산화되지 않고 남아있는 실리콘 덩어리가 있을

수 있으나 이는 porosity 조절로 최소화 시킬 수 있으며, 양극산화에서 가해지는 최종 전압(200V)을 곧 산화층의 절연특성으로 볼 수 있다.

3. 2 단계 PSL 형성

그림18에서와 같이 실리콘 island의 중심에서 bulk 실리콘에 내려진 수 μm 폭의 "anchor"는 SOI를 위해서는 제거되어야 한다. 이 anchor를 없애기 위한 2 단계 PSL 형성법을 시도하였다. 동일 반응장치 내에서 다른 附加工程없이 반응면을 island 두께 정도로 grooving 함으로서 anchor가 제거됨을 알 수 있었다. 또 이 grooving은 SOI의 stress를 크게 감소시키는 효과를 나타내었다. 그 원인은 grooving된 표면의 기하학적 구조에 의한 stress완충효과에 있는 것으로 볼 수 있다. 또 한가지 이유는 10mA의 저전류에서 형성된 1 단계 PSL이 식각되고 난 면에는 경면기관과는 달리 많은 micropits가 나타나서 2 단계 PSL 형성시에 이 표면 상태가 PSL의 porosity를 높여주기 때문이다. 이 경우 porosity 측정결과는 그림13에 나타낸 Ar sputtering된 시편의 경우와 비슷하게 나타났다. 여기서 이용된 2 단계 PSL 형성법은 동일 반응장치 내에서 쉽게 실행될 수 있으며 grooving에 의한 stress 감소효과 뿐만 아니라 porosity, pore 크기 및 분포의 균일성에 있어서도 개선된 효과를 나타내는 것으로 생각된다.

4. 室温 SOI 제조기술의 응용

실온공정으로 FIPOS-SOI를 제조하는 기술이 정립되면 이미 소자공정이 끝난 집적회로를 그림 20과 같이 PN 접합면에 따라 SiO₂층을 형성시켜 SOI 구조로 절연시킬 수 있을 것으로 생각된다. 이를 위해서는 소자영역과 금속연결선 부위를 보호할 수 있는 물질이 필요하며 현재로는 Waycott HR 200 negative PR과 photosensitive polyimide를 이용하여 그

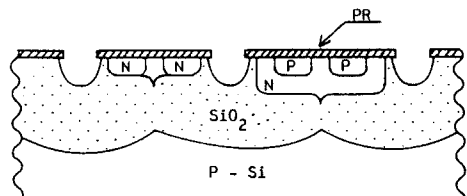


그림20. PN접합면을 따라 형성된 SiO₂에 의해 제조되는 SOI의 구조도
 Fig. 20. Schematic of fully isolated devices by SOI structures using room temperature FIPOS technique.

가능성을 얻고 있으며 계속 연구중에 있다.

5. FIPOS 기술의 연구 방향

FIPOS-SOI의 원리는 이미 잘 알려져 있다. 이 기술은 습식 전기화학공정을 바탕으로 하고 있으며 매몰 산화층의 두께를 얇게 조절하기 어렵기 때문에 고집적회로 응용을 위한 SOI로서는 여러가지 제약 조건이 있다. 더구나 2-3차의 implantation 공정,²⁰⁾ Si-MBE²¹⁾ 등의 값비싼 부가공정이 요구된다면 SOS, SIMOX, ZMR 등의 SOI 기술에 비해 FIPOS가 가지는 cost에 대한 매력도 크게 감소 된다. 따라서 FIPOS의 연구는 다음 2가지 관점에서 이루어지는 것이 바람직하다고 생각된다. 첫째로 SOI 기판재료로서의 FIPOS는 부가공정없이 값싸게, 대량으로, 양질의 SOI를 형성하여 반도체 sensors나 고전압소자 등의 특수소자에 응용하는 것이다. 두번째로는 본 연구와 같이 공정이 끝난 집적회로를 SOI화하는 방법이며 이때는 FIPOS 구조상의 제약이 문제되지 않는다.

이상에서 보고된 내용은 FIPOS-SOI 실온제조 가능성 조사를 위해 수행된 일련의 기초실험 결과이다. 그러나 여기서 시도한 2단계 PSL형성 및 PSL의 양극산화, 또 최종공정단계에서 SOI화 하는 방법들은 새로운着想이며 각 공정의 최적화를 위한 보다 엄밀한 분석연구가 기대된다.

參 考 文 獻

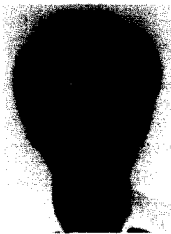
- [1] James D. Meindl, "Opportunities for gigascale integration," *Solid State Technology*, pp. 85-99, Dec. 1987.
- [2] 朴光五, "VLSI 기술개발 전망," 현대전자 반도체 기술정보, vol. 1, no. 1, pp. 5-6, 1988.
- [3] 李鍾玄, "SOI 기술의 연구동향," 대한전자공학회지, vol. 14, no. 4, pp. 49-61, 1987.
- [4] P.K. Vasudev, "Recent advances in solid-phase epitaxial recrystallization of SOS with application to CMOS and bipolar devices," *IEEE Circuits and Devices Mag.*, pp. 17-19, July 1987.
- [5] H.W. Lam, "SIMOX SOI for integrated circuit fabrication," *IEEE Circuits and Devices Mag.*, pp. 6-11, July 1987.
- [6] S. Furukawa (Ed.), *Silicon-On-Insulator: Its Technology and Applications*. KTK Scientific publishers Tokyo, pp. 3-231, 1985.
- [7] S.S. Tsao, "Porous silicon techniques for SOI structures," *IEEE Circuits and Devices Mag.*, pp. 3-7, Nov. 1987.
- [8] Y. Watanabe, Y. Arita, T. Yokoyama, Y. Igarashi, "Formation and properties of porous silicon and its application," *J. Electrochem. Soc.*, vol. 122, no. 10, pp. 1351-1355, 1975.
- [9] K. Imai, H. Unno, "FIPOS technology and its application to LSI's," *IEEE Electron Devices*, vol. ED-31, no. 3, pp. 297-302, 1984.
- [10] T. Unagami, "Oxidation of porous silicon and properties of its oxide film," *Jpn. J. Appl. Phys.*, vol. 19, no. 2, pp. 231-241, 1980.
- [11] K. Imai and S. Nakajima, "A new dielectric isolation method using porous silicon," *Solid State Electronics*, vol. 24, pp. 159-164, 1981.
- [12] K. Anzai, F. Otoi, M. Ohnishi, H. Kitabayashi, "Fabrication of high speed 1 micron FIPOS/CMOS," *IEEE IEDM 84*, pp. 796-799, 1984.
- [13] E.J. Zorinsky, D.B. Spratt, R.A. Virkus, "The islands method-A manufacturable porous silicon SOI technology," *IEEE IEDM 86*, pp. 431-434, 1986.
- [14] T. Unagami "Formation mechanism of porous silicon layer by anodization in HF solution," *J. Electrochem. Soc.*, vol. 127, no. 2, pp. 476-483, 1980.
- [15] M.I.J. Beale, "Microstructure and formation mechanism of porous silicon," *Appl. Phys. Lett.*, vol. 46, no. 1, pp. 86-88, 1985.
- [16] M.I.J. Beale, J.D. Benjamin, M.J. Uren, N.G. Ghew, A.G. Cullis, "An experimental and theoretical study of the formation and microstructure of porous silicon," *J. of Crystal Growth*, vol. 73, pp. 622-636, 1985.
- [17] Y. Arita, K. Kuranari, Y. Sunohara, "Thermal behavior of porous silicon," *Jap. J. of Appl. Phys.*, vol. 15, no. 9, pp. 1655-1664, 1976.
- [18] 李鍾玄, "SOI 기술: SIMOX와 FIPOS 중심으로," '87 정보통신의해 기념 전자통신종합학술대회(1987.9. KAIST) 논문집, pp. 171-176, 1987.
- [19] T.L. Lin, K.L. Wang, "New silicon-on-insulator technology using a two-step oxidation technique," *Appl. Phys. Lett.*,

vol. 49, no. 17, pp. 1104-1106, 1986.

[20] J.D. Benjamin, J.M. Keen, A.A. Cullis, B. Innes, N.G. Chew, "Large area, uniform silicon-on-insulator using a buried layer of oxidized porous silicon," *Appl. Phys. Lett.*, vol. 49, no. 12, pp. 716-718, 1986.

[21] S. Konaka, M. Tabe, T. Sakai, "A new silicon-on-insulator structure using a silicon molecular beam epitaxial growth on porous silicon," *Appl. Phys. Lett.*, vol. 41, no. 1, pp. 86-88, 1982. *

著 者 紹 介



崔 光 惇 (正會員)
 1959年 4月 2日生. 1982年 2月
 경북대학교 전자공학과 졸업. 1984
 年 2月 경북대학교 대학원 전자
 공학과 졸업 공학석사학위 취득.
 1985年 2月~현재 경북대학교 대
 학원 박사과정 재학중. 주관심분
 야는 반도체재료 및 SOI 등임.

●
李 鍾 玄 (正會員) 第25卷 第11號 參照
 현재 경북대학교 전자공학과
 부교수

孫 炳 基 (正會員) 第25卷 第11號 參照
 현재 경북대학교 전자공학과
 교수



●
申 鍾 郁 (正會員)
 1963年 12月 24日生. 1986年 2月
 경북대학교 전자공학과 졸업. 1988
 年 2月 경북대학교 대학원 전자
 공학과 졸업 공학석사학위 취득.
 주관심분야는 반도체공정기술임.