

급속 열처리 공정에 의한 다결정 실리콘 박막의 전기적, 구조적 특성 연구

(Effects of the Rapid Thermal Annealing on the Electrical and Structural Properties of Polysilicon Films)

金潤泰*, 俞炯濬*, 全致勳*, 張元翼*, 金尚浩*

(Youn Tae Kim, Hyung Joun Yoo, Chi Hoon Jun, Won Ick Jang and Sang Ho Kim)

要 約

본 연구에서는 급속 열처리 공정에 의한 다결정 실리콘 박막의 전기적, 구조적 특성의 변화를 고찰하였다. 다결정 실리콘에 $5E15 \text{ atoms/cm}^2$ 의 농도로 이온주입된 boron과 phosphorus 불순물의 완전한 활성화는 1000°C , 10초 이상의 급속 열처리 공정을 요구하였다. 박막의 전기저항은 $1.0 E-3 \text{ ohm-cm}$ 범위를 나타냈고, 초기에 600°C 이하에서 비정질 형태로 증착된 실리콘 박막의 저항값이 600°C 이상에서 다결정 형태로 성장시킨 박막보다 20-30% 정도 낮게 나타났다. 또, 1000°C 이상의 고온 급속 열처리 공정에서는 결정립 계면에서의 불순물 원자들의 segregation에 의한 전기저항의 증가 현상이 나타나지 않았고, 열처리 시간을 증가시킴에 따라 전기전도도가 점진적으로 개선되었다. 또, 급속 열처리 후 초기에 비정질 형태로 성장시킨 박막의 결정립 성장이 다결정 박막인 경우보다 더욱 활발히 일어났고, 열처리 후의 표면상태도 양호하게 유지되었다.

Abstract

In this study, we have investigated the effects of rapid thermal process on the electrical and structural properties of silicon films. It was shown that required times and temperatures for the successful activation of dopants (Boron, Phosphorus: $5E15 \text{ atoms/cm}^2$) were above 1000°C , 10sec, respectively. The typical resistivities of films deposited below 600°C were in the range of $1.0 E-3 \text{ ohm-cm}$ which was 20-30% lower than that of initially polycrystalline silicon deposited above 600°C . After rapid thermal process at high temperatures above 1000°C , the films did not reveal any change in resistivity due to the dopant segregation, and better electrical conductivity could be obtained by increasing the process time. The grain growth by RTA treatment was more salient in the case of the doped amorphous than that of initially polycrystalline. The surface of the films also preserved the higher structural perfection and surface smoothness.

I. 서 론

다결정 실리콘은 MOS 소자의 게이트와 연결재료 용으로, 그리고 바이폴라 트랜지스터의 에미터와 SRAM의 고저항재료 등의 마이크로일렉트로닉스 소

*正會員, 韓國電子通信研究所 化合物半導體研究部
(Compound Semiconductor Department, ETRI)
接受日字: 1988年 4月 16日

자 제조에 널리 사용되고 있다. 특히, 불순물이 주입된 다결정 실리콘인 경우 소자 제조에 필요한 여러차례의 고온 열처리 공정을 거침에 따라, 이온주입 불순물들의 활성화와 재분포, 결정립 크기의 증대에 의해 박막의 전기적, 구조적 특성이 변하기 때문에 회로의 안정성과 성능에 큰 영향을 미치게 된다.

지금까지의 연구 결과를 보면 다결정 실리콘의 특성은 증착시의 온도, 압력, 가스 유량 등의 증착조건에 의존하지만, 그 구조적 특성에 영향을 주는 가장 중요한 인자는 증착시의 반응온도이며, 600 °C 이하에서는 비정질 형태로, 그 이상에서는 완전한 결정질의 실리콘으로 구성된 다결정 실리콘 상태의 박막이 형성되는 것으로 나타났다.^[1,2] 그리고, 600 °C 이하의 저온에서 증착한 비정질 상태의 박막을 furnace에 의해 열처리시킴으로써 결정립 성장, 표면형상 등의 구조적 특성과 전기적 특성을 모두 개선시킨 결과도 보고되고 있다.^[3] 이와 더불어 furnace 공정대신에 급속 열처리 공정을 사용하여 기판에의 온도 영향을 최소화함과 동시에 다결정 실리콘의 특성을 효율적으로 개선시키려는 방법이 시도되고 있는데,^[4] 최근에는 급속 열처리 공정을 이용하여 다결정 구조의 실리콘에 이온주입한 불순물들을 10-20초 정도의 매우 짧은 시간의 열처리로 불순물들의 재분포를 최소화하면서 완벽하게 활성화시킨 결과도 보고되고 있다.^[5] 그러나, 지금까지 발표된 다결정 실리콘 박막에 관련된 연구들이 대부분 furnace에 의해 열처리한 결과였고, 급속 열처리 공정에 의한 것들도 초기에 다결정 상태에서(증착온도 620°C 이상) 증착된 박막들에 관한 결과였다.

본 연구에서는 자체 제작한 LPCVD 시스템을 사용하여 다양한 증착온도에서 비정질 상태와 다결정 상태의 실리콘을 증착시키고, 급속 열처리 시스템을 이용하여 불순물 이온의 활성화와 재결정화를 동시에 수행한 후, 실리콘 박막의 초기증착 조건에 따른 박막의 전기적, 구조적 특성 변화를 고찰하여 급속 열처리 공정의 다결정 실리콘 박막에의 응용 가능성을 알아 보았다.

II. 실험

본 연구에서 수행한 주요 공정 순서도는 그림 1과 같다.

1. 시편제작

본 연구에서 사용한 기판은 p형, <100>, 6-9 ohm-cm인 4" 실리콘 웨이퍼이며, 웨이퍼는 H₂SO₄와 H₂O₂의 4 : 1 혼합용액에서 110 °C, 10분 세척하

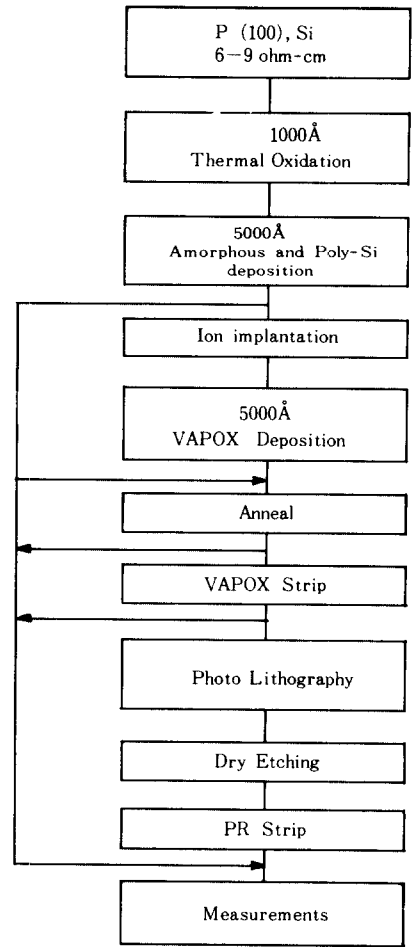


그림 1. 주요공정 순서도
Fig. 1. Process sequence.

고 탈이온수로 세정한 후, 10 : 1 HF 용액에서 10초간 담그어 표면의 자연산화막과 불순물을 제거하였다. 다결정 실리콘의 증착에 앞서 1000 Å 두께의 SiO₂를 TCE와 dry O₂ 분위기에서 열산화시켜 성장시켰다. 비정질과 다결정 구조의 실리콘 박막은 LPCVD 시스템을 사용하여 100 % SiH₄ 가스를 열분해하여 증착시켰다. 박막의 증착조건은 다음과 같다.

- 증착온도 : 540~650 °C
- SiH₄ 유량 : 120 sccm (Flange 30+Injector 90)
- 압력 : 400 mTorr
- 박막 두께 : 5000 ± 100 Å

박막의 전기적 특성을 측정하기 위해 상온에서 boron과 phosphorus를 불순물로 이온주입시켰다. 이때 dose는 5E15 atoms/cm², 에너지는 각각 50 KeV

(B)와 90 KeV(P)로 하였다. 불순물에 의한 오염 및 이온주입된 불순물 원자들의 외부 확산을 방지하고, 열처리시 IR 복사광의 반사를 감소시키기 위해 보호산화막으로 Vapox를 400°C에서 5000 Å 두께로 증착하였다. 본 연구에서의 열처리 공정은 Heatpulse 610 급속 열처리 시스템을 사용하였다. 이때 열처리 온도는 1000°C에서 1150°C까지 50°C 간격으로 변화시켰고, 열처리 시간은 5초에서 30초까지 5초 간격으로 변화시켰다. 열처리 공정 후의 굴절율과 표면저항의 측정을 위한 시편들을 10 : 1 HF 용액으로 표면의 Vapox를 제거하였다.

2. 측정

이온주입 후 열처리 공정을 거친 다결정 실리콘 박막의 표면저항은 four point probe를 사용하여 측정하였고, 전기저항은 측정시료들의 두께를 측정된 후 표면저항과의 곱으로부터 구하였다. 열처리 후 이온 주입 불순물들의 확산에 의한 재분포는 ASR (automatic spreading resistance meter)로 측정하였고, 굴절율은 MPV-SP의 optical monitor로 측정하였다. 또, 열처리 전후의 표면 형상의 변화는 surface profilometer로 측정하였다. 이온주입한 시편과 이온주입하지 않은 시편의 열처리 전후의 결정립 크기와 결정의 주된 성장방향(preferred orientation)은 X-ray 회절방법을 이용하여 측정하였다. 이때 Bragg angle의 측정범위는 10~60° (2θ), X-ray source는 Cu-Kα (λ=1.5418 Å)를 사용하였고 가속 에너지는 40 KV로 하였다. 결정립 크기는 X-ray 회절 신호 크기의 half width에 다음과 같은 Scherrer 공식을 적용하여 구하였다.

$$L = \frac{0.9\lambda}{B \cos \theta_B}$$

여기서 L은 결정립 크기, λ는 Cu radiation의 파장, θ_B는 Bragg angle, B는 회절 신호 크기의 half width이다.

III. 결과 및 논의

급속 열처리 후 박막의 구조적 특성의 변화를 굴절율의 측정으로 간접적으로 알아보았다. 그림 2는 열처리 하지 않은 상태의 박막과 1150°C, 15초 열처리한 박막의 굴절율의 변화를 나타내고 있다. 측정 결과 굴절율은 4~6.5 사이의 값을 나타내어 Kamins의 실험 결과와 거의 일치하였고^[2], 열처리 후 모든 웨이퍼의 굴절율이 다결정 구조의 값으로 거의 일정하게 변화함을 나타내 급속 열처리에 의해 저온에서 증착한 비정질 형태의 박막들이 다결정 형태로

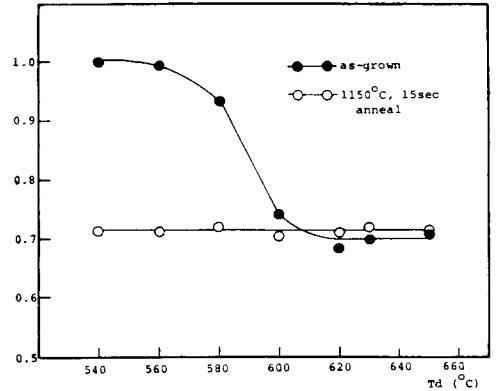


그림 2. 증착온도의 변화에 따른 실리콘 박막의 굴절율 변화

Fig. 2. Normalized refractive index as a function of deposition temp.

변화되었음을 알 수 있다.

다결정 실리콘은 서로 인접한 결정체가 결정립 계면을 사이에 두고 모여 있는 결정체의 집합체로 구성되어 있으므로 박막의 전기적 특성은 결정립 계면과 결정립 크기에 의존하게 된다. 또, 이온주입한 다결정 실리콘의 전기저항은 일반적으로 단결정 실리콘 보다 항상 높은 값을 가지게 되는데, 이 현상은 결정립 계면에서의 dopant segregation model^[6,7,8]과 carrier trapping model^[9,10]로써 설명되어질 수 있다.

Dopant segregation 현상은 일종의 열역학적 반응으로서, 불순물 원자들이 확산에 의해 상대적으로 낮은 에너지 상태인 결정립 계면으로 이동하게 되어 active carrier 농도가 감소됨으로써 전기저항이 증가하는 현상이다. 이와 같은 현상은 furnace로 950°C 이하의 저온으로 열처리한 경우 열처리 사이클과 불순물 농도에 따라 전기저항의 증가가 다르게 나타난 결과가 보고된 바 있고, 특히 n형 불순물인 phosphorus와 arsenic인 경우 흔히 발생하는 현상으로 알려져 있다!^[11]

Carrier trapping 현상은 Kamins에 의해 제안된 것으로 불순물 원자들이 다결정 실리콘 박막 전체에 균일하게 분포한다고 가정할 때, 결정립 계면에서 높은 밀도를 갖는 결함들과 dangling bond 들이 trapping state를 형성하여 carrier를 trap하고 이동을 못하게 함으로써, 전기전도에 기여하는 free carrier의 수가 감소되고 potential 에너지의 장벽이 높게 형성되어, 결국 결정립 사이에서의 carrier의 운동이 억제되어 전기저항이 높아진다고 설명하고 있다.

본 연구에서는 이온주입된 불순물들의 열처리에 의한 활성화와 손상된 박막층의 회복, 결정립 크기의 증대에 의한 다결정 실리콘의 전기저항의 변화를 알아보았다. 그림 3 과 그림 4 는 boron 을 불순물로 이온주입한 620°C 와 560°C 에서 증착시킨 실리콘 박막의 급속 열처리 후의 전기저항 변화를 열처리 온도와 시간의 변화에 따라 나타낸 것이다. 실험 결과 최소 표면 저항이 30 ohm/sq. 정도로 나타나 전기저항이 1.0E-3 ohm-cm 범위 임을 보여주고 있다. 이는 소자 제조시 요구되는 1.0E-2~1.0E-4 ohm-cm 의 값을 충분히 만족시키고 있는데, 이 값은 같은 dose로 이온 주입한 박막을 furnace 열처리(1200°C, dry N₂, 30분) 한 결과^[12]와 거의 일치하고 있고, 단결정 실리콘의 값보다는 약간 높은 값을 나타내고 있다. 그리고, 전기저항은 열처리 온도의 증가에 따라 현저하게 감소 하고 있으나, 열처리 시간의 증가에 따른 변화는 극히 미소함을 보여주고 있고, 1000 °C 이상의 고온에서 10초 이상의 열처리로 이온주입된 불순물 이온들이 거의 모두 활성화됨을 알 수 있다. 또, 박막의 전기저항은 560°C 에서 증착한 박막이 620°C 에서 증착한 박막보다 전체적으로 20~30% 정도 낮게 형성되어 나타나고 있고, 전기저항의 포화는 620°C 에서 증착한 박막은 10~15초 이후, 560°C 에서 증착한 박막은 25초 이후에 나타나고 있다. 이러한 결과는 560°C 에서 형성시킨 비정질 형태의 실리콘이 620°C 에서 형성시킨 다결정 실리콘보다 열처리 과정에서 불순물 이온들의 활성화와 더불어 활발

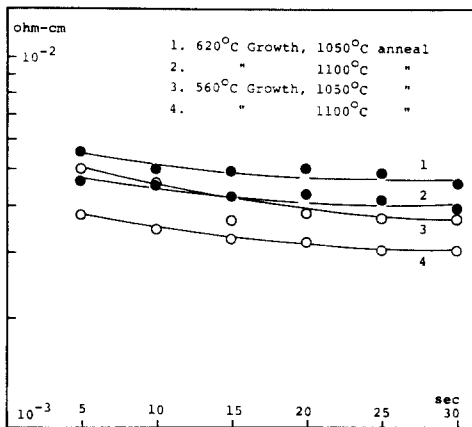


그림 3. Boron 주입 다결정 실리콘의 열처리 시간의 변화에 따른 전기저항 변화
 Fig. 3. Resistivity versus annealing time for polysilicon films implanted with B (50KeV, 5E15 /cm²).

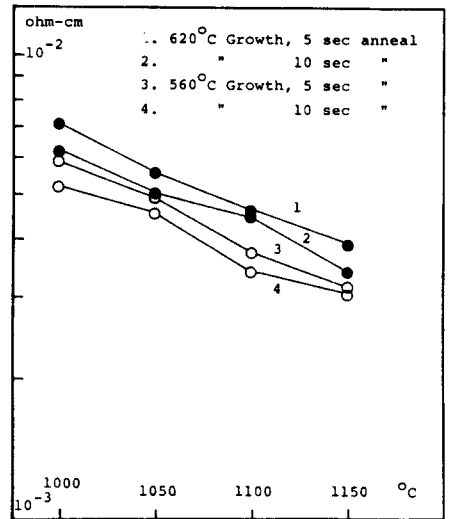


그림 4. Boron 주입 다결정 실리콘의 열처리 온도의 변화에 따른 전기저항 변화
 Fig. 4. Resistivity versus annealing temperature for polysilicon films implanted with B(50 KeV, 5E15/cm²).

한 결정화를 일으켜, 이로 인해 결정립 크기가 증가한 것이 주원인으로 추측된다. 이와 같은 결과는 X-ray 회절 방법에 의한 결정립 크기의 측정 결과와도 잘 일치하고 있다.

그림 5 는 phosphorus 를 이온주입한 560°C 와 620°C 박막의 전기저항의 변화를 나타낸 것이다. 전기저항은 boron 주입의 경우와 같이 1.0E-3 ohm-cm 범위를 나타내고 있으나, boron 주입의 경우보다 조금 높게 나타나고 있다. 또, boron 주입 웨이퍼와 같이 560°C 에서 증착한 박막의 전기저항이 620°C 에서 증착한 박막보다 낮게 나타났다. 이러한 boron과 phosphorus 주입 웨이퍼의 전기저항의 차이는 결정질 실리콘 내부의 불순물 이온들의 고용도 차이에 의한 carrier 농도의 변화에 의한 것으로 furnace 에 의한 결과^[13]와도 일치했다. 또, phosphorus 를 주입한 동일한 웨이퍼를 1000°C 에서 50°C 간격으로 반복적인 연속 열처리 공정을 수행한 결과, 전기저항의 감소와 증가에 의한 hysteresis 현상은 전혀 나타나지 않았다. 위의 결과들로 보아 1000°C 이상의 고온 급속 열처리 공정에서는 불순물 원자들의 segregation에 의한 전기저항의 증가는 거의 나타나지 않고, 열처리 온도와 시간을 증가시킴에 따라 점차 전기전도도가 개선됨을 알 수 있다. 이러한 현상들은 결정립 크기의 증대에 의한 총 결정립 계면의 면적

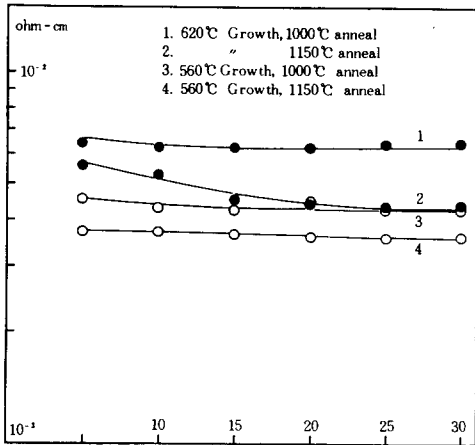


그림 5. Phosphorus 주입 다결정 실리콘의 열처리 시간의 변화에 따른 전기저항 변화

Fig. 5. Resistivity versus annealing time for polysilicon films implanted with P (90 KeV, 5E 15/cm²).

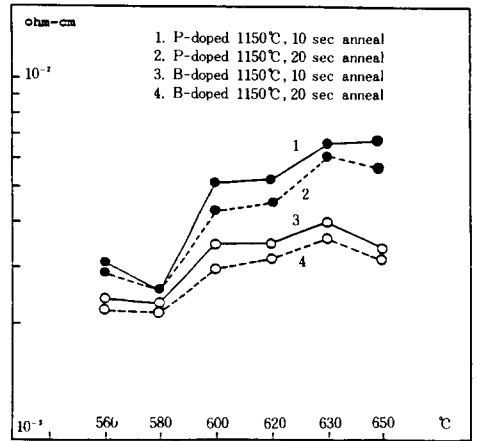


그림 6. 급속 열처리 후 이온주입 다결정 실리콘의 증착온도의 변화에 따른 전기저항 변화

Fig. 6. Resistivity of polysilicon as a function of deposition temperature after implant (B : 5 E15/cm², 50 KeV, P : 5E15/cm², 90 KeV) and RTA.

감소와 결정구조적 이완현상에 의해 carrier를 trapping 하는 결함들이 소멸되어 free carrier가 증가 되고, 결정립 계면으로 segregation 되었던 일부 불순물 원자들이 안정한 결정체의 결정립 내부로 재분포 됨으로써 전기전도가 원활히 되기 때문인 것으로 추측된다.

그림 6 은 boron과 phosphorus를 이온주입한 박막의 급속 열처리 후의 전기저항을 증착온도에 따라 나타낸 것이다. 측정 결과 560~580°C에서의 저항값이 600°C 이상에서의 값보다 작게 나타나, 저온에서 증착시킨 박막의 결정립 성장이 초기에 다결정 상태로 증착시킨 박막보다 더 활발하게 일어남을 알 수 있다. 또, 열처리 후의 불순물 이온의 확산에 의한 재분포를 측정 한 결과, phosphorus를 5E15 atoms/cm²로 이온주입한 박막을 1000°C, 10초 열처리한 경우 그림 7 과 같이 불순물 이온들이 다결정 실리콘 박막의 전체 두께 (0.5 μm) 에 걸쳐 재분포됨을 보였다. 이러한 결과는 불순물의 확산이 단결정 실리콘의 경우보다 매우 빠르게 일어남을 알 수 있는데, 이는 결정립 계면을 통해 불순물이 신속하게 확산되기 때문인 것으로 추측된다.

열처리 후 박막의 결정립 크기와 결정립의 주된 성장방향을 X-ray 회절방법을 사용하여 측정하였다. 그림 8 과 그림 9 는 이온주입 전의 시편을 1150°C, 20 초로 급속 열처리한 후의 X-ray 측정결과를 나타내고 있다. 열처리 전 X-ray peak가 전혀 나타나지

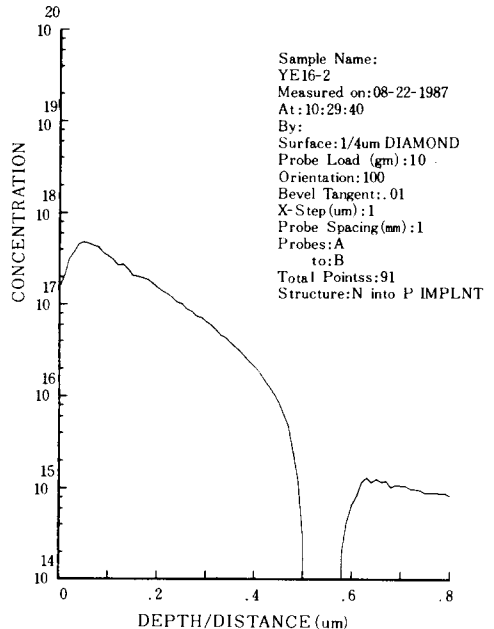


그림 7. 1000°C, 10초 열처리 후의 이온 주입 다결정 실리콘 박막의 불순물 재분포 곡선

Fig. 7. Dopant redistribution profiles for capped polysilicon films implanted with Phosphorus (5E15/cm², 90 KeV), after 1000°C, 10sec anneal.

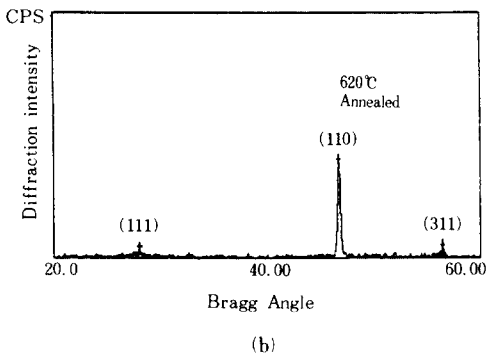
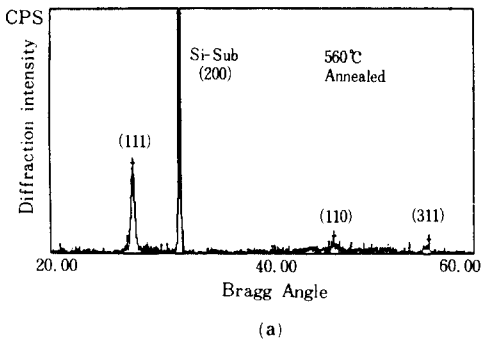


그림 8. 1150°C, 20초 열처리 박막의 X-선 회절
 Fig. 8. X-ray diffraction pattern of the 1150°C, 20sec annealed films. (a : 560°C deposited, b : 620°C deposited).

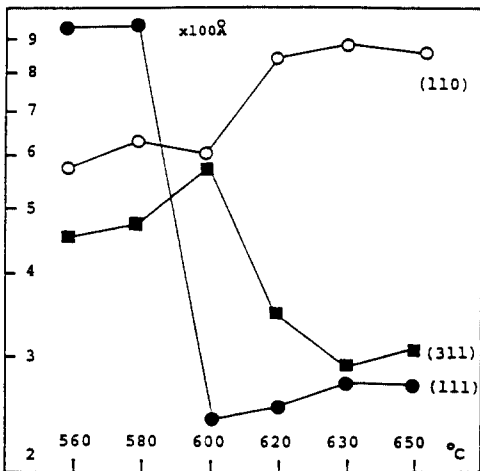


그림 9. 증착온도의 변화에 따른 다결정 실리콘 박막의 grain size의 변화
 Fig. 9. Grain size as a function of deposition temp. for polysilicon after 1150°C, 20sec anneal.

않았던 580°C 이하에서 비정질 형태로 증착된 박막은 열처리 후의 결정화에 의해 (111) 결정면이 주도적인 완전한 다결정 형태로 변화하였고, 620°C 에서 증착한 박막보다 결정립 크기가 더 크게 나타나고 있다. 600°C 에서 증착한 박막은 (311) 결정면이 강하게 나타났고, 620°C 에서 증착한 박막은 결정 성장방향의 변화없이 오직 결정립 크기만 증가하였다. 이러한 결과로 보아 열처리에 의한 결정립 크기의 증대는 초기에 결정 형태로 증착된 박막의 경우 어느 정도 제한적으로 증가하는 반면, 초기에 비정질 형태로 증착된 박막의 경우 결정립 크기의 증대가 매우 급격하게 일어남을 알 수 있다. 그림 10은 620°C에서 증

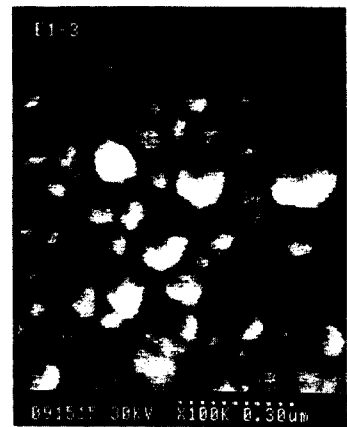
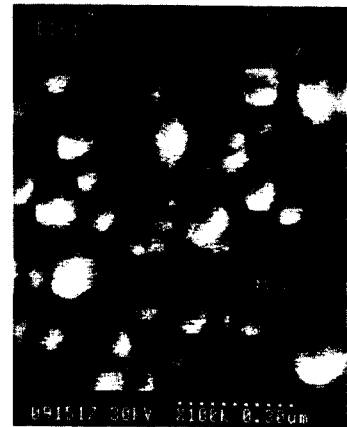


그림 10. 1150°C, 15초 열처리 후의 다결정 실리콘 박막의 표면 SEM 사진
 Fig. 10. SEM pictures of the surface of polycrystalline silicon films, after 1150°C, 15sec anneal (a : 620°C deposited, b : 560°C deposited).

착시킨 박막과 560°C에서 형성시킨 박막의 1150°C, 10초 열처리 후의 표면상태를 SEM으로 측정한 것인데, 저온에서 비정질 형태로 증착한 박막의 결정립 크기의 증가가 620°C의 고온에서 초기에 다결정 형태로 증착한 박막과 거의 같은 수준으로 일어나고 있음을 보여주고 있다.

또, 이와 같은 현상은 앞에서 설명한 열처리 후의 박막의 전기 저항의 측정결과, 즉 같은 dose로 이온 주입한 박막을 동일한 열처리 조건으로 공정을 수행했을 때 560°C에서 증착시킨 박막이 620°C의 박막보다 낮은 전기저항을 나타낸 결과와 일치하고 있는데, 이는 저온에서 비정질 형태로 증착한 박막의 활발한 재결정화에 의한 결정립 크기의 증가에 의한 것으로 추측된다.

다결정 실리콘 박막의 표면 거칠기와 박막의 표면 특성은 후속 공정에 중요한 영향을 미치게 된다. 특히 다결정 실리콘과 산화막 사이의 접합면과 다결정 실리콘상에 형성된 열산화막의 dielectric strength 등의 특성 결정에 중요한 인자로 작용하게 되므로, 고집적회로에의 응용을 위해서는 표면특성이 우수한 박막의 증착이 요구된다.

그림 11은 증착온도가 560°C와 620°C인 박막의 열처리 전후의 표면상태의 측정 결과를 나타내고 있다. 560°C에서 증착한 박막은 열처리 전 상태에서 50 Å 정도를 나타내어 표면특성이 매우 우수하게 나타나고 있다. 또, 1150°C, 10초 열처리 후의 표면상태도 거의 변화하지 않고 완벽하게 보존되고 있다. 반면 620°C에서 증착시킨 박막의 표면상태는 560°C 박막에 비해 상대적으로 매우 거칠게 나타났고, 열처리 후의 표면상태도 더욱 거칠어졌다. 이러한 현상은

박막내의 응력에 의해 실리콘이 결정립 계면을 통하여 급속히 확산되어 표면에 hillocks을 형성시킨 것에 기인한 것으로 보인다. 그러나, surface roughness가 400 Å 이하로 나타나 보호 산화막을 사용하지 않은 경우의 1000 Å 정도^[11]에 비해 매우 개선된 결과를 보이고 있는데, 이는 Vapox에 의해 실리콘의 외부 확산이 억제된 결과인 것으로 추측된다.

IV. 결 론

급속 열처리 공정에 의한 실리콘 박막의 특성 변화를 고찰한 결과, 1000°C 이상의 고온에서 10초 이상의 열처리로 거의 모든 불순물 이온들이 활성화되었고, 전기저항은 1.0E-3 ohm-cm 범위였다. 또, 600°C 이하의 저온에서 비정질 형태로 증착한 박막의 전기적, 구조적 특성이 초기에 다결정으로 증착한 박막보다 우수함을 보였다. 따라서 급속 열처리 시스템에 의한 효율적인 열처리 공정으로 이온 주입 불순물의 활성화와 재결정화를 수행하면 고품위의 다결정 실리콘 박막을 얻을 수 있다.

參 考 文 獻

- [1] T.I. Kamins, "Structure and stability of low pressure chemically vapor-deposited silicon films," *J. Electrochem. Soc.*, 125(6), pp. 927-932, June 1978.
- [2] T.I. Kamins, "Structure and properties of LPCVD silicon films," *J. Electrochem. Soc.*, 127(3), pp. 686-690, March 1980.
- [3] G. Harbeke, "Growth and physical properties of LPCVD polycrystalline silicon films," *J. Electrochem. Soc.*, 131(3), pp. 676-682, March 1984.
- [4] S.J. Krause, "Grain growth during transient annealing of As-implanted polycrystalline silicon films," *Appl. Phys. Lett.* 45(7), pp. 778-780, Oct. 1984.
- [5] R. Chow, "Activation and redistribution of implanted P and B in polycrystalline Si by rapid thermal processing," *J. Vac. Sci. Technol. A* 3(3), pp. 892-895, May/June 1985.
- [6] M.M. Mandurah, "Arsenic segregation in polycrystalline silicon," *Appl. Phys. Lett.* 36, pp. 683-685, April 1980.
- [7] M.E. Cowher, "Chemical vapor deposited polycrystalline silicon," *J. Electrochem. Soc.*, 119, pp. 1565-1570, Nov. 1972.

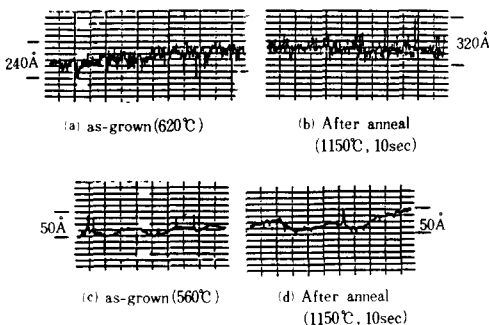


그림 11. 열처리 전후의 다결정 실리콘 박막의 표면 상태의 변화

Fig. 11. Surface roughness of the polysilicon films measured by TALYSTEP.

[8] A.L. Fripp, "Dependence of resistivity on the doping level of polycrystalline silicon," *J. Appl. Phys. Lett.* 46, pp. 1240-1244, March 1975.

[9] T.I. Kamins, "Hall mobility in chemically deposited polycrystalline silicon," *J. Appl. Phys.* 42, pp. 4357-4365, Oct. 1971.

[10] J.Y.W. Seto, "The electrical properties of polycrystalline silicon," *J. Appl. Phys.* 46, pp. 5247-5254, Dec. 1975.

[11] J.P. Colinge, "Grain size and resistivity of LPCVD polycrystalline silicon films," *J. Electrochem. Soc.*, 128(9), pp. 2009-2014,

Sep. 1981.

[12] J. Murota, "Electrical characteristics of heavily arsenic and phosphorus doped polycrystalline silicon," *J. Appl. Phys.* 53, pp. 3702-3708, 1982.


[13] Y. Wada, "Resistivity lowering limitations of heavily doped polycrystalline silicon," *Denki Kagaku*, 47, pp. 118-123, 1979.

[14] S.R. Wilson, "Properties of ion-implanted polycrystalline Si layers subjected to rapid thermal annealing," *J. Electrochem. Soc.*, 132(4), pp. 922-929, April 1985. *


著 者 紹 介

金潤泰 (正會員) 第25卷 第9號 參照
현재 한국전자통신연구소
근무


俞炯瀟 (正會員) 第25卷 第9號 參照
현재 한국전자통신연구소
반도체 기술연구단
선임연구원



金尚浩(正會員)
1958年 3月 29日生. 1982年 2月
영남대학교 기계공학과 졸업 공학
사학위 취득. 1984年 2月 영남대
학교 대학원 기계공학과 공학석사
학위 취득. 1984年 5月~현재 한
국전자통신연구소 화합물반도체연
구부 공정장비연구실 재직. 주관심분야는 Diffusion
Furnace, LPCVD, R/MCVD, PHOTOCVD등 반도체
공정장비 개발분야등임.



全致勳(正會員)
1959年 7月 18日生. 1982年 2月
경북대학교 기계공학과 졸업. 1984
年 2月 경북대학교 대학원 기계
공학과 석사학위 취득. 1985年 10
月~현재 한국전자통신연구소
화합물반도체연구부 공정장비연구
실 재직. 주관심분야는 반도체 공정장비 개발분야,
Hydrodynamics of Crystal Growth등임.



張元翼(正會員)
1959年 4月 18日生. 1982年 2月
경북대학교 기계공학과 졸업 공학
사 학위 취득. 1984年 2月 경북대
학교 대학원 기계공학과 공학석사
학위 취득. 1985年 10月~현재 한
국전자통신연구소 화합물 반도체
연구부 공정장비연구실 재직. 주관심분야는 CVD,
FIB등 반도체 공정장비개발 관련분야의 기반기술등
임.