論文 88-25-2-10

Hot-carrier 효과로 인한 MOSFET의 성능저하 및 동작수명 측정

(Hot-carrier Induced MOSFET Degradation and its Lifetime Measurement)

金千洙,* 金光洙,* 金如煥,* 金輔祐,* 李振孝*

(Cheon Soo Kim, Kwang Soo Kim, Yeo Hwan Kim, Bo Woo Kim and Jin Hyo Lee)

要 約

채널길이가 1.2, 1.8μm인 n-MOSFET에 DC bias stress를 가하여, hot carrier 효과에 의한 소자의 성능저하 현상을 조사하고, 같은 채널길이의 LDD 구조의 소자와 그 특성을 비교하였다. 이를 기초로 동작 전압($V_{DS}=V_{GS}=5V$)에서의 소자의 수명을 추정하였다. 채널길이가 1.2μm인 소자의 동작수명은 일반적인 드레인 구조가 17일이었고, LDD 구조의 소자는 약 12년 정도로 추정되었다.

LDD 소자에서 기판전류가 최소되는 n-영역의 이온주입 도즈량은 1E13cm^{-2}인 반면, bias stress에 대한 소자의 성능저하 정도는 n-영역의 이온주입 도즈가 2.5E13cm^{-2}에서 가장적게 나타났다.

이러한 결과로 bias stress에 의한 소자의 성능저하 특성조사 및 동작수명의 추출은 LDD 소자의 최적 공정조건을 찾거나, sub-micron급 소자의 신뢰도를 평가 하는데 반드시 측정해야 할 측정변수이다.

Abstract

Hot carrier induced device degradation characteristics under DC bias stress have been investigated in n-MOSFETs with channel length of 1.2, 1.8 um, and compared with those of LDD structure device with same channel length. Based on these results, the device lifetime in normal operating bias ($V_{GS}=V_{DS}=5V$) is evaluated. The lifetimes of conventional and LDD n-MOSFET with channel length of 1.2 um are estimated about for 17 days and for 12 years, respectively.

The degradation rate of LDD n-MOSFET under the same stress is the lowest at n-region implantation dose of 2.5E15 cm^{-2}, while the substrate current is the lowest at the dose of 1E13 cm^{-2}.

These results show that the device degradation characteristics are basic measurement parameter to find optimum process conditions in LDD devices and evaluate a reliability of sub-micron device.

*正會員, 韓國電子通信研究所 信賴性研究室
(E. T. R. I. Reliability Technology Sec.)

接受日字 : 1987年 9月 12日

I. 서 론

고속, 고집적도의 VLSI소자를 구현하기 위해서, MOSFET의 채널 길이는 계속 감소하여 최근 sub-micron급의 소자들이 개발되고 있다. 이러한 짧은 채

널 MOSFET에서는 소오스와 드레인 사이의 높은 전장으로 인하여 hot carrier 효과가 크게 나타나, 소자의 성능이 동작시간에 따라서 저하되어 신뢰도에 심각한 문제를 일으키는 사실은 잘 알려져 있다.[1,2] 특히 이러한 소자성능의 저하 현상은, n채널 소자에서 채널길이가 1.5μm 정도 이하가 되면 더욱 가속화되어, 동작시간에 따라서 소자의 threshold 전압이 증가하고, transconductance가 감소하여 드레인 전류를 감소시킨다. 이러한 영향을 줄이기 위해서 드레인 구조를 변화시킨 LDD(lightly doped drain) 구조 또는 DDD (double diffused drain) 구조의 MOSFET가 개발되었다.[3] 그러나 LDD MOSFET의 특성을 좌우하는 공정 parameter가 n-영역의 농도, 측면 spacer의 길이, 또한 n-영역의 위치 등 여러가지이므로, 최적의 소자제조 공정조건을 찾아내거나 소자의 특성을 충분히 평가하기가 상당히 어렵다. 일반적으로 기판 전류(substrate current)량으로 LDD 소자의 최적 공정조건을 알 수 있지만, 최근에는 bias stress를 가하여 소자의 성능저하 정도를 측정함으로서 최적 공정조건을 구한다. 또한 소자의 채널길이가 짧아짐에 따라 hot-carrier 효과에 의해서 소자의 신뢰도에 심각한 영향을 미치므로, bias stress를 가하여 소자의 성능저하 특성을 측정하여 동작수명을 추출하는 것은 소자의 신뢰도 측면에서 필수적인 측정 parameter이다.

따라서 본 실험에서는 채널길이가 1.8μm, 1.2μm인 n-채널 MOSFET로서 DC bias stress에 대한 성능저하 정도를 측정함으로서 소자의 신뢰도를 조사하였고, 이러한 결과를 기초로 실제 소자가 V_{GS}=5 V, V_{DS}=5V로 동작시 소자의 동작 수명을 예측하였으며, 드레인 구조가 다른 LDD 구조의 소자와 비교 하였다. 또한 n-영역의 이온주입 도즈량을 변화시킨 LDD구조의 소자에 일정한 stress (Isub=100μA)를 가하여 대신호 transconductance (G_m)의 감소량으로 LDD 소자의 최적의 n-영역의 이온주입 도즈량을 구하였다.

Ⅱ. 측 정

본 실험에 사용된 소자는 n-MOSFET로 게이트 산화막의 두께가 250Å이고, n-well CMOS 공정을 사용하였으며, 드레인 구조는 일반적인구조와 LDD 구조의 소자였다. 또 LDD n-MOSFET에서는 n-영역의 이온주입 도우즈량을 여러가지로 변화시킨 소자로써 표 1에 측정에 사용된 소자의 특징을 정리하였다.

그림 1은 측정장치의 구성을 개략적으로 나타낸 것이다. DC bias stress는 기판 전류가 최대가 되는 게이트 전압과 드레인 전압으로 가하였으며, stress 를

표 1. 실험에 사용된 소자의 특성
Table 1. Device characteristics used in experiment.

소자 종류	채널 길이	n-이온주입량	주 입 원
단일 드레인 구조	1.8μm		As
단일 드레인 구조	1.2μm		As
LDD 구조1	1.2μm	7.5E12cm^{-2}	P : As
LDD 구조2	1.2μm	1 E13cm^{-2}	P : As
LDD 구조3	1.2μm	2.5E13cm^{-2}	P : As
LDD 구조4	1.2μm	5 E13cm^{-2}	P : As

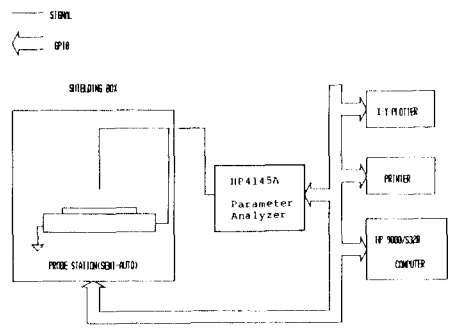


그림 1. 측정 장치의 개략도
Fig. 1. Schematic diagram of measurement system.

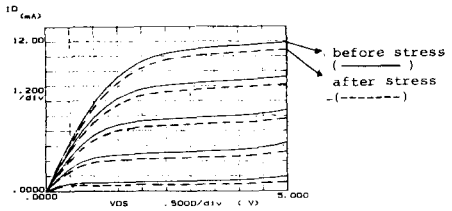
가한 후 threshold voltage, transconductance, 기판 전류 등의 변화를 조사하였다.

Stress후의 측정은 반드시 소오스와 드레인을 바꾸어서 측정하였고,[4] 소자의 수명은 stress를 가하여 대신호 transcondutance (G_m) 최대값이 10% 감소하는데 소요되는 시간으로 정의하였다. Bias stress 및 측정은 HP4145A Parameter analyzer를 사용하였고, HP 9000/series320 computer로써 stress 시간 및 bias를 제어함으로서 자동측정을 구현하였다.

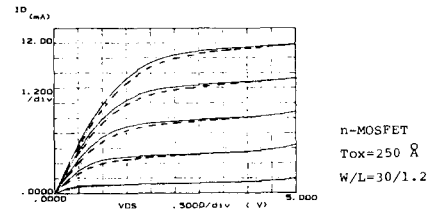
Ⅲ. 측정 결과 및 검토

1) 일반적인 드레인 구조소자의 성능저하 특성

그림 2는 채널 폭/길이가 30μm/1.2μm인 일반적인 드레인 구조의 n-channel 소자에 기판 전류가 700μA 되는 드레인 및 게이트 전압 (V_{DS}=6.5V, V_{GS}=2.4V)으로 25분 stress를 가한 후 I-V 특성을 나타낸 것으로, 그림 2의 (a)는 bias stress를 가한후 소오스와 드레인을 바꾸어서 측정한 특성이고, 그림 2의 (b)는 stress를 가한 단자와 같은 소오스 드레인 단자로써 측



(a)



(b)

그림 2. Stress를 가하기 전과 후의 I－V 특성 (stress 조건 V_{DS}=6.5V, V_{GS}=2.4V, I_{sub} 700μA, 1500초)
(a) stress후 소오스와 드레인을 바꾸어서 측정
(b) stress후 소오스와 드레인을 바꾸지 않고 측정

Fig. 2. I－V characteristics measured before and after stress.
(stress condition V_{DS}=6.5V, V_{GS}=2.4V, I_{sub}=700μA, for 1500 sec)
(a) Measured with reverse source, drain (after stress).
(b) Measured with same source, drain (after stress).

정한 특성이다. 그림(a)과 같이 bias stress후 소오스와 드레인을 바꾸어서 측정하면, stress후 드레인 전류가 감소하는 것으로 threshold 전압이 증가하고 transconductance가 감소하는 경향을 쉽게 알 수 있다. 그러나 그림(b)와 같이 stress후 소오스와 드레인을 바꾸지 않고 측정하면, 선형 영역에서는 드레인 전류 감소가 분명히 나타나지만 포화 영역에서는 그 차이가 적게 나타나 threshold 전압이나 transconductance의 변화를 쉽게 알 수 없다.

이는 stress중 소오스와 드레인간의 높은 전장으로 인한 hot carrier가 거의 드레인 가장자리 부근에서 발생하여, 드레인 부근의 게이트 산화막에 계면 trap 혹은 전자 trap이 형성되기 때문에, 이러한 전하가 소자특성에 미치는 영향을 측정할 때는, stress시 드레인으로 사용한 단자를 측정시는 소오스로 사용하여야 stress로 인한 영향을 쉽게 측정할 수가 있다.[5] 따라서 이후의 모든 측정은 stress후 소오스와 드레인을 바꾸어서 측정하였다.

그림 3은 기판 전류가 146μA 되는 bias(V_{DS}=5.5, V_{GS}=2.4V)로 3시간 동안 stress 후의 I_{DS}－V_{GS} 특성과 G_m－V_{GS} 특성을 측정한 결과이다. Stress 후의 최대 G_m 값의 감소가 뚜렷이 나타남을 알 수 있다. 또 I_{DS}－V_{GS} 특성은 shift하여 threshold 전압이 커지는 경향을 보여주지만, 선형 영역의 I_{DS}－V_{GS} 특성에서 드레인 전류를 외삽하는 방법으로 V_T를 측정할 경우 증가하는 경향이 뚜렷이 나타나지 않음을 그림 3에서 알 수 있다. G_m－V_{GS} 특성에서 최대 G_m 값 이후에 나타나는 peak는 HP4145A Parameter Analyzer의 전류측정 범위가 변함으로써 발생하는 계기상의 오류이며, 소자특성과는 무관하다.

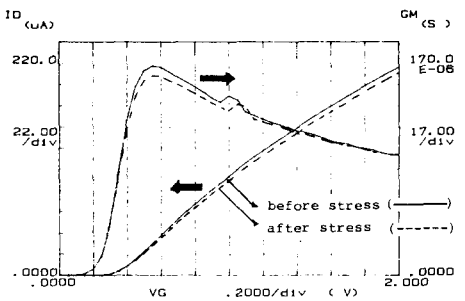


그림 3. Stress전과 후의 I_{DS}－V_{GS} 특성과 G_m－V_{GS} 특성 (stress조건 V_{DS}=5.5V, V_{GS}=2.4V, I_{sub}=146μA, 3시간)

Fig. 3. I_{DS}－V_{GS} and G_m－V_{GS} characteristics before and after stress.
(stress condition V_{GS}=5.5V, V_{GS}=2.4V, I_{sub}=146μA, for 3 hour)

그림 4는 채널 폭/길이가 30/1.2이고, 일반적인 드레인 구조의 소자에 기판전류를 각각 146μA, 283μA, 704μA가 되는 bias (V_{DS}=5.5V, 6.0V, 6.5V)로 stress를 가한후 시간에 따라 transconductance가 감소하는 경향을 나타낸 것으로서 G_m 감소 특성이 선형적이다. 이로서 transconductance의 변화량($\Delta G_m/G_m(0)$)과 stress time과는

$$\Delta G_m/G_m(0) \propto t^n \qquad [\text{단 } \Delta G_m(0) - G_m(t)]$$

의 관계를 가짐을 알 수 있으며, 그 기울기 n값은0.6－0.65이었다. Stress를 받음에 따라 소자의 G_m 값이 감소하는 원인으로는, 드레인 가장자리 부근에서 발생한 hot carrier들이 게이트 산화막 내로 trapping 되거나, interface trap의 형성으로 채널 carrier의 이

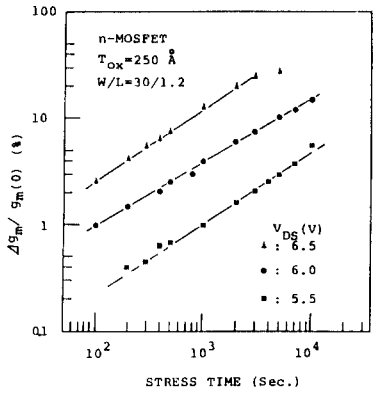


그림 4. Stress 시간에 따른 transconductance의 감소
(stress 조건 I_{sub}=704μA, 283μA, 146μA)

Fig. 4. The decrease of the transconductance with stress time.
(stress condition I_{sub}=704μA, 283μA, 146μA).

동도가 감소하여 transconductance가 감소하는 것으로 알려져 있다.[5]

2) LDD 구조소자의 성능저하특성

그림 5는 채널 폭/길이가 30μm/1.2μm이고 n-영역 이온주입 도즈량이 1E13cm^{-2} 인 LDD구조의 소자에, 기판 전류가 200μA가 되는 bias (V_{DS}=7, V_{GS}=2.5)로 3시간 stress를 가한 뒤 I-V 특성을 측정한 것이다. 그림 2에서와 같이 그림 5 (a)는 stress를 가한뒤 소오스와 드레인을 바꾸어서 측정한 I-V 특성이고, 그림 5 (b)는 stress시와 같은 소오스와 드레인으로 측정한 I-V 특성이다. 일반적인 드레인 구조와 같이 소오스와 드레인을 바꾸어 측정한 특성이 드레인 전류가 감소되는 정도가 더 크게 나타나며, (b)에서는 선형 영역이 포화영역보다 그 영향이 크게 나타난다. 이는 일반적인 드레인 구조에서 나타나는 결과와 비슷하다.

그림 6은 LDD 소자에서 n-영역 이온주입 도즈가 1E13cm^{-2}이고 채널길이가 1.2μm인 소자에 기판 전류를 320μA, 192μA, 87μA가 되는 bias (V_{DS}=7.5V, 7V, 6.5V, V_{GS}=2.5V)로써 stress를 가했을때, G_m이 성능저하 되는 경향을 나타낸 것이다. Stress 시간에 따른 G_m의 감소량이 선형적이고 그 기울기는 0.5 이었다. 이로서 일반적인 드레인 구조의 $\Delta G_m/G_m(0)$와 stress 시간과 관계에서 기울기 0.6-0.65 보다 작은 것으로 미루어, LDD 구조가 stress에 대해 성능저하 되는 정도가 적은 것을 알 수 있다.

그림 7은 채널 폭/길이가 각각 30/1.2, 30/1.8, 0.7

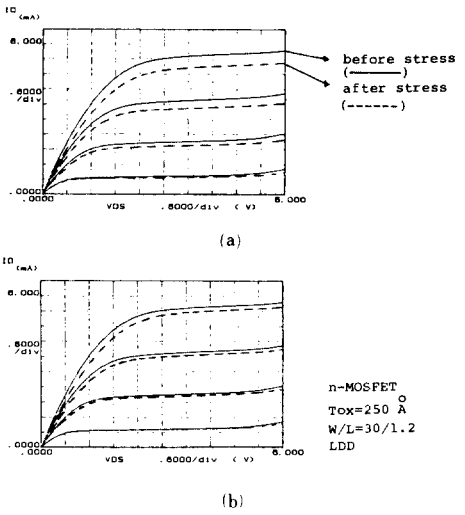


그림 5. Strss를 가하기 전과 후의 I-V 특성
(stress 조건 V_{DS}=7V, V_{GS}=2.6V, 3시간)
(a) stress후 소오스와 드레인을 바꾸어 측정
(b) stress후 소오스와 드레인을 바꾸지 않고 측정

Fig. 5. I-V characteristics measured before and after stress.
(stress condition V_{DS}=7V, V_{GS}=2.6V, for 3 hour)
(a) measured with reverse source drain (after stress).
(b) measured with same source drain (after stress).

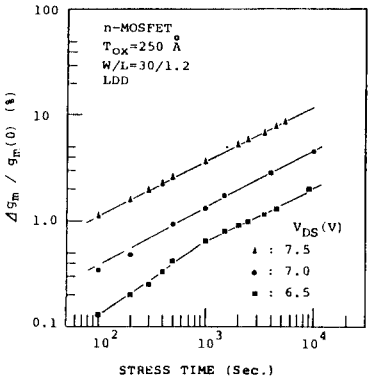


그림 6. Stress 시간에 따른 transconductance 감소
(stress 조건 I_{sub}=320μA, 192μA, 87μA)

Fig. 6. The decrease of the transconductance with stress time
(stress condition I_{sub}=320μA, 192μA, 87μA).

/1.2이고 드레인 구조가 서로 다른 몇개의 소자에 대해서, stress를 가한 기판전류와 G_m이 10% 감소하는데 걸리는 시간 즉 소자의 동작 수명(lifetime)과

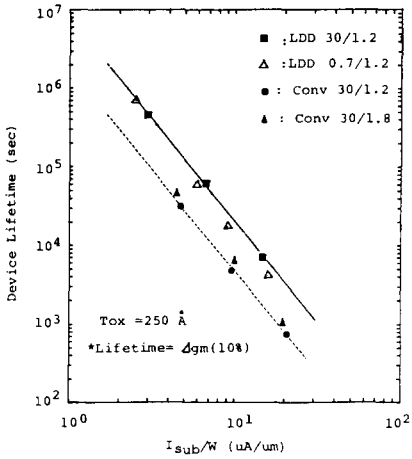


그림 7. Stress를 가하는 substrate 전류량과 소자 동작수명과의 관계

Fig. 7. Relationship bewteen device lifetime and substrate current for several device.

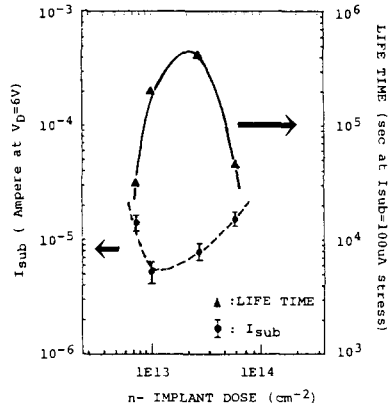


그림 8. N-implant 도우즈량이 다른 LDD n-MOSFET에서 stress 시간에 따른 G_m 감소경향 (stress 조건 I_{sub}= 100μA)

Fig. 8. The decrease of transconductance with stress time for different n-implant dose LDD MOSFET (stress condition I_{sub}= 100μA).

의 관계를 나타낸 것이다. 일반적인 드레인 구조 소자와 LDD 구조 소자가 다같이 일정한 기울기를 가지고 그 기울기 값은 2.9~3.0이었다. 또한 단위 채널폭 당 같은 크기의 기판 전류(10μA/μm)로 stress를 가했을 때 G_m이 10% 감소 하는데 소요되는 시간은 LDD 소자가 $1\sim2\times10^4$ sec 정도이고 일반적인 드레인 구조에서는 $5\sim7\times10^3$sec 정도로서, LDD 구조가 성능저하 되는 정도가 적은 것으로 나타났다. 그림7로 부터 실제 소자의 동작전압 (V_{DS}=5V, V_{GS}=5V)로 동작할 시 기판 전류를 측정하면 소자의 수명을 예측할 수 있다. 즉 V_{DS}=5V, V_{GS}=5V일때 LDD 구조 소자의 단위 폭 당기판 전류값이 0.08~0.1μA이고, 일반적인 드레인구조 소자의 기판전류값이 0.7~1μA 정도이므로 그림7에서 외삽하여 소자의 수명을 구하면, 크기가 30/1.2인 일반적인 드레인구조의 소자가 약 1.5×10^6sec이었고, 같은 크기의 LDD 구조 소자는 4×10^8sec 정도이었다.

Takeda,[6] Hu[7] 등은 소자의 동작수명과 기판전류의 실험적인 관계를

lifetime = $A\,I_{sub}^{-n}$ (단 A, n=constant)

로서 표시하였다. 여기서 n값은 2.7~3.1로서 본 측정에서 얻은 기울기 값과 잘 일치함을 알 수 있다.

그림 8은 채널 폭/길이가 30μm/1.2μm이고, n-영역의 이온주입 도우즈량이 7.5E12, 1E13, 2.5E13, 5E13 cm^{-2}인 LDD 소자에 100μA의 일정한 기판 전류로 stress를 가했을 때 G_m 감소 경향을 측정하였다. 100μA의 일정한 기판전류를 가하기 위한 게이트전압과 드레인 전압은 각각 V_{GS}=3~3.6, V_{DS}=6.8~7.5V이었다. 그 결과 이온 주입 도우즈량이 2.5E13cm^{-2}인 소자가 G_m이 10% 감소하는데 걸리는 시간이 가장 크게 나타났으며, 더 이상의 도우즈량인 소자는 오히려 그 시간이 감소하였다. 이로서 LDD 소자에서는 bias stress에 대해서 G_m의 성능저하 정도가 가장 적은 n-영역 이온주입 도즈량은 2.5E13cm^{-2} 부근임을 알 수가 있다.

그림 9는 LDD 소자에서 n-영역의 이온주입 도우즈량에 대해서 기판전류량과 100μA의 기판전류로 stress를 가했을 때 G_m이 10% 감소하는데 걸리는 시간을 나타낸 것이다. 기판전류의 값은 각 소자마다 조금씩 차이가 나므로, 웨이퍼당 20개 이상의 값을 측정하였고(V_{DS}=6V 일때), 그 오차범위를 표시하였다. 그 결과 n-영역 이온주입 도즈량이 1E13cm^{-2}인 소자가 기판 전류값이 가장 작게 나타나는 반면, 소자수명의 최대 값은 이온 주입 도우즈량이 2~2.5E13cm^{-2}인 소자임을 알 수 있다. 그 원인은 n-영역의 농도에 따라서 소오스와 드레인사이에 전장의 최대치(E_{max})가 변하지만, 게이트 가장자리에 대한 E_{max}의 위치도 변하기 때문인 것으로 설명하고 있고, 또 게이트 가장자리에 대한 E_{max}의 위치는 hot-carrier 효과에 의한 소자의 신뢰도에 중요한 영향을 미치는 요소이다.[8] 그러나 E_{max}의 값이나, 위치는 계산하기가 상당히 복잡하다. 그래서 최근에는 LDD 소자의 최적공정 조건을 찾아내는 방법으로 bias stress를 가하여 소자의 성능저하 정도를 측정함으로써 구하는 실험적인 방법을 많이 사용한다.

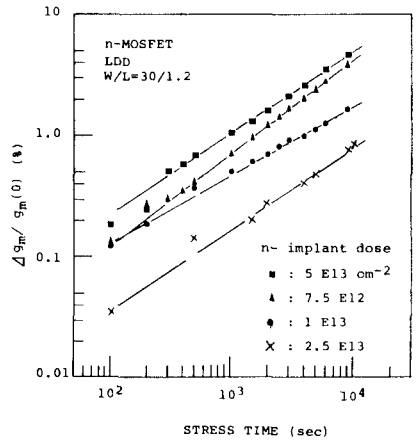


그림 9. N-implant 도우즈량이 다른 LDD n-MOSFET에서 기판전류와 동작수명의 특성
(기판전류 V_{DS} = 6V 일때)
(동작수명 : I_{sub} = 100μA로 stress를 가했을 때 G_m이 10% 감소시간)

Fig. 9. I_{sub} and lifetime characteristics of LDD n-MOSFET with different n-implant dose
(I_{sub} : measured at V_{DS} = 6V)
(lifetime : stress at I_{sub} = 100μA, ΔG_m = 10%)

이러한 결과로 미루어 기판 전류가 최소되는 조건만으로 최적의 LDD 공정 변수를 찾아내는 방법은, 소자의 수명 및 신뢰도에 대한 최적조건으로서 불충분하며, bias stress를 가하여 소자의 성능저하 특성을 측정하는 것이 필수적인 측정 변수로 대두되고 있다.[7,8]

Ⅳ. 결 론

채널 길이가 각각 1.2, 1.8μm인 n-channel MOSFET에 DC bias stress를 가하여 소자의 성능저하 현상을 측정한 결과 stress 시간에 따른 $\Delta G_m/G_m(0)$는 $\Delta G_m/G_m(0) \propto$ (stress시간)^{n}의 관계를 가졌고, n값은 일반적인 드레인 구조 소자가 0.65~0.6이었고 LDD 소자는 0.5로서 LDD 구조가 stress에 대해서 성능저하되는 정도가 적음을 알 수 있었다. 이를 기초로 V_{DS} = V_{GS} = 5V 동작시의 소자의 동작 수명을 추정한 결과 채널 폭/길이가 30μm/1.2μm인 소자의 수명은 일반적인 드레인 구조가 약 17일 이었고, LDD 구조 소자는 12년 정도이었다.

LDD 소자에서 n-영역의 이온주입 도우즈량이 다른 소자에 대해서 기판전류와 소자 동작수명을 측정한 결과 기판전류가 최소되는 n-영역의 이온 주입 도우즈는 1E13cm^{-2}인 반면 bias stress에 의한 성능저하 정도는 2.5E13cm^{-2} 부근에서 가장 작게 나타났다.

따라서 bias stress에 의한 소자의 성능저하 측정은 LDD 소자의 최적 공정조건을 찾거나, hot-carrier 효과에 대한 신뢰도를 평가하는데 반드시 측정하여야 할 항목이다.

參 考 文 獻

[1] E. Takeda, Y. Nakagome and S. Asai, "New hot-carrier injection and device degradation in submicron MOSFETs," *IEE PROC.*, vol. 130. Pt. I, no 3, 1983.

[2] K.K. Ng and G.W. Taylor, "Effects of hot-carrier trapping in n-and n-channel MOSFET's," *IEEE Trans. Electron Devices*, vol. ED 30, p. 871, 1983.

[3] E. Takeda et al., "Submicrometer MOSFET structure for minimizing hot-carrier generation." *IEEE Trans. Electron Devices*, vol. ED-29, p. 611, 1981.

[4] K.L. Chen, S. Saller, I.A. Groves and D.B. Scott, "Reliability effects on MOS trnnsistors Due to hot-carrier injection," *IEEE Trans. Electron Device*, vol. ED-32 no. 2, pp. 386-393, Feb. 1985

[5] F.C. Hsu, S. Tam, "Relationship between MOSFET degradation and hot-electron induced interface-state generation," *IEEE Trans. Electron Devices, Leet.*, vol. EDL-5, no. 2, Feb. 1984.

[6] E. Takeda, "Hot-carrier effects in submicrometer MOS VLSIs" *IEE Proc.*, vol. 131, Pt. I, no. 5, Oct. 1984.

[7] C. Hu et al, "Hot-electron-induced MOSFET degradation-Model, monitor, improvement," *IEEE Trans. Electron Devices*, vol. ED-33 p. 375, 1985.

[8] S. Baba, A. Kita and J. Ueda, "Mechanism of hot carrier induced degradation in MOSFET's," *IEDM Tech. Dig.*, pp. 734-737, 1986.