

유한 요소법에 의한 GaAs MESFET 소자의 해석

(The Analysis of GaAs MESFET Device by Finite Element Method)

宋 洛 雲*
(Nag Un Song)

要 約

본 논문에서는 유한요소법(FEM: finite element method)에 의한 이차원(2D: two-dimensional) 코우드를 개발하여 이를 GaAs MESFET 해석에 적용하였다. 여기서 두개의 결합 방정식, 포아송 방정식(Poisson equation)과 전류 연속방정식(current continuity equation)을 Gummel의 방법에 의하여 반복적으로 풀었다. 한편 에너지 전송 방정식(energy transport equation)을 사용하여 온도에 관한 정보를 포함시켰다. 이를 사용하여 전위와 전자분포를 구하여 이로부터 소자의 I-V 특성 및 소자 용량변수들의 변화를 구하고 이를 검토하였다. 아울러 이러한 방법이 소자 수준의 characterization 및 소, 대신호 모델로 응용 가능성이 확인되었다.

Abstract

In this work, two-dimensional finite element method code is developed to characterize GaAs MESFET devices. Here, two coupled equations, i.e., Poisson equation and current continuity equation, are solved iteratively by Gummel's scheme. The energy transport equation is incorporated with these to include the temperature information.

By this method, the GaAs MESFET device is analyzed by calculating the potential and electron concentration distribution. Form these the I-V characteristics and other device parameters are obtained and discussed. It is confirmed that this method can be effectively used in the device level simulation and characterization and can be extended to the small and large signal analysis of the device.

I. 서 론

GaAs MESFET 제조기술의 발전과 함께 이의 소자 특성 해석이 매우 중요하게 대두 되었다. 이에 맞추어 많은 모델링(analytical, numerical) 방법이 제안되었다.

해석 모델(analytical model)의 경우는 최초의 JFET 해석을 위한 Shockley¹⁾의 모델, 소위 graded channel model 이었다. 한편 해가 갈수록 소자의 크기가 작

아짐에 따라 다른 모델들, 소위 "Two-region model"²⁾ "Depletion (또는 velocity saturation) model"³⁾이 제안되어 고진계의 효과를 포함시켰다.

한편 컴퓨터가 더욱 고속화 됨에 따라 많은 수치 모델(numerical model), 예를들면 FDM(finite difference method), FEM(finite element method), MCM(monte-carlo method)을 사용하여 주어진 소자를 알맞는 편미분 방정식과 경계조건을 이용해 푸는 것이 매우 범용화하게 되었다. 이 방법들은 전술한 해석적 방법에 비해 여러 특이한 장점이 물리현상(예를 들면 채널 및 기판에서의 전류 흐름이라든가 전위 및 캐리어 농

*正會員, 金星半導體研究所
(GoldStar Semiconductor, Ltd.)
接受日字: 1987年 7月 6日

도의 분포등을 직관적으로 관찰할 수 있다는 장점을 갖고 있다. 간혹 MCM 방법이 이러한 일련의 물리현상들을 보다 정확히 해석할 수 있다고는 하나, 컴퓨터의 계산시간 및 저장능력 등에 제한을 받게 되므로 전술한 두 방법(FDM, FEM : 소위 hydrodynamic model)이 반도체 시뮬레이션 분야에서는 보다 범용화 되어 있다. 한편 FEM 방법은 FDM에 비해 계산시간이 더 들기는 하나, 격자(mesh) 변화에서의 융통성 및 Homogeneous Neumann 경계조건(BC : boundary condition)에서의 플럭스 보존법칙의 성립등의 장점이 있게 된다.

본 논문의 목적은 이러한 장점을 지닌 FEM 방법을 사용해 2D코우드를 개발한 후 이를 사용해 GaAs MESFET를 해석하여 소신호 변수를 포함한 소자의 특성을 찾아내며 장래의 대신호 회로 해석에 응용할 수 있는 가능성을 찾아내는데 있다. 이 경우 일단 지배 방정식이 구해지면 이를 FEM 방법에 의해 분할하여 주어진 구조를 갖는 MESFET에 적용한다. 이때 소자의 구조나 도우핑 정도는 실제 생산에 사용되는 값을 택하였다. Recessed gate, ion-implanted profile의 소자는 전 논문⁽⁴⁾에서 해석하였다.

II. 배 경

식의 공식화에 앞서 이 장에서는 Si와 GaAs 영역에서의 소자 시뮬레이션의 기발표된 연구에 관해 간단히 살펴 보았다. 이 모든 경우의 소자 시뮬레이션의 주요 방정식은 포아송 방정식(Poisson equation)과 전류 연속 방정식(current continuity equation)이 된다. 이 두 결합방정식을 전위와 캐리어 농도(Case 1), 또는 전위와 Quasi-fermi 전위(Case 2)에 관해 풀게 된다. Si분야에서 첫 연구는 Gummel에 의해 이루어졌다.⁽⁵⁾

이러한 고전계 영역에서의 수치 안정도를 증가 시키기 위해 Scharfetter-Gummel 알고리즘⁽⁶⁾이 제안되었다. 소자의 크기가 줄어들며 따라 2차원적 효과를 더욱 고려할 필요가 생겨 전술한 1차원 모델은 2차원 모델로 확장 되어가며 보다 정확한 모델링을 할 수 있게 되어 갔다.⁽⁷⁾⁻⁽¹⁰⁾(표 1 참조) 이 경우 전술한 Scharfetter-Gummel 알고리즘이 많이 응용되었다.

GaAs 분야에서는 Si에 대해 다른 특성, 즉 V-E, D-E 관계식을 포함하여 이를 결합 방정식에 포함하여 수행하는 모델링이 연구되었다.⁽¹¹⁾⁻⁽²²⁾ 한편 velocity overshoot effect 등의 중요한 물리현상이 에너지 전송 방정식(energy transport equation)을 이용해 해석에 포함되었다.^(14,23)

이러한 연구들은 다음 표 1에 보였다. 표에서 보듯이 GaAs 영역에서는 Case 1 모델(변수 : ψ , n(또는 p))이 Si에 비해 아직 지배적인 것을 알 수 있다. Case 2 모델(변수 : ψ , ϕ_n (또는 ϕ_p))의 문제점 중의 하나는 인접 노우드간의 변수변화가 심한 경우 지수항 변화가 매우 크게 변화하여 overflow가 생기는데 이 경우에 적절한 스케일링이나 댐핑이 필요하게 된다. 한편 표에서의 GaAs의 모델들의 데이터를 검토해 보면 아직 실제 제작 소자에 비해 매우 단순화 되어 있음을 알 수 있다.

본 논문에서는 FEM이 FDM에 비해 소자의 구조와 도우핑 변화에 의한 격자변화 등이 매우 자유로우므로 이를 Case 1 공식화에 의해 채택하였다.

III. FEM 공식화

이제 지배 방정식(Poisson equation과 current continuity equation)을 n-type GaAs MESFET에 적용

표 1. Si와 GaAs 소자의 수치 시뮬레이션 연구의 비교
Table 1. Comparison of numerical simulation studies of Si and GaAs devices.

	Si		GaAs	
	FDM	FEM	FDM	FEM
ψ n(or p)	Kennedy et al. ⁽⁷⁾ JFET Reiser ⁽⁸⁾ MESFET	Buturla et al. ⁽¹²⁾ MOS-FIELDAY Greenfield et al. ⁽¹³⁾ MOS-GEMINI Pinto et al. ⁽¹⁴⁾ MOS-PISCES	Yamaguchi et al. ⁽¹⁶⁾ Frey et al. ⁽¹⁷⁾ Curtice et al. ⁽¹⁸⁾	Barnes et al. ⁽¹⁹⁾ Wang et al. ⁽²⁰⁾ Lyden et al. ⁽²¹⁾ Brewitt-Taylor et al. ⁽²²⁾
ψ ϕ_n (or ϕ_p)	Slootboom ⁽⁹⁾ BJT Toyabe et al. ⁽¹⁰⁾ MOS-CADDET Selberherr et al. ⁽¹¹⁾ MOS-MINIMOS	Adachi et al. ⁽¹⁵⁾ MOS		

하기 위해 몇몇 가정을 도입한다. : (1)소자는 2차원 이고 게이트 폭 방향으로의 균일 (2)소수 캐리어 농도는 무시 (3)도우너는 전부 이온화 되며 캐리어의 생성과 결합은 무시 (4)표면 효과는 무시 (5)소자는 등방성이며 격자 방향에 의한 재질 특성변화는 무시 (6)도우핑에 의한 bandgap narrowing, permittivity의 변화는 무시한다.

이에 의해 식은 다음과 같이 간단히 얻어진다.

○ Poisson Equation : $\nabla^2 \psi = -\frac{q}{\epsilon} (N_d - n)$ (1)

○ Current Continuity Equationn : $q \frac{\partial n}{\partial t} = \nabla \cdot J$ (2)

이와 함께 쓰일 전류에 관한 전송 방정식은 다음과 같다.

○ Current Transport Equation : $J = qnv + qD \nabla n$ (3)

여기에서 변수 ψ 는 전위, n 은 전자농도, q 는 전자의 전하량, ϵ 는 반도체 물질의 permittivity, N_d 는이온화 된 도우너 도우핑농도, J 는 전류, v 는 전자속도, D 는 확산계수(diffusion coefficient)를 나타낸다. 한편 이 식들을 FEM으로 공식화하는데 있어서는 Energy functional의 최소화 방법이 있으나 여기에서는 weighted residual method에 의한 weak formulation 방법을 택하였다. 이 방법은 전반적으로 Barnes와 Lomax^[10] 또는 Riemenschneider와 Wang^[20]의 방법과 같다. 한편 두 결합 방정식의 공식화에서는 Newton-Raphson 방법과 Gummel 방법이 있으나^[21] Storage등의 문제를 고려하여 본 논문에서는 Gummel의 교대방법^[6]을 택하였다.

이 경우 두개의 변수, 전위와 전자농도는 다음과 같이 한 요소에서 basis 함수의 선형 결합식으로 나타내게 된다.

$\psi = \sum_1^N V_i \phi$ (4)

$n = \sum_1^N n_i \phi$ (5)

이 경우 1, 2...N은 한 요소의 각 노우드를 나타내며 V_i, n_i 는 i 번째 노우드에서의 전위 및 전자농도 값을 나타낸다. Basis 함수 ϕ 는 i 번째 노우드에서 1 이 되며 다른 노우드에서는 0 이 된다. 경계조건인 경우 전극에서는 Dirichlet 경계조건, 절연 경계에서는 Homogeneous Neumann 경계조건, 즉 $\nabla \psi \cdot n = J \cdot n = 0$ (이는 변수의 수적 미분치가 없음을 의미)이 된다. 먼저 포아송 방정식은 다음과 같이 변형된다.

$\sum_j (\int_0 \epsilon \nabla \phi_j \cdot \nabla \phi_j) V_j ds = \sum_j (\int_0 q \phi_j ds) (N_d - n_j) ds$ (6)

여기에서 이 관계식이 각 요소에서의 모든 노우드 i 에 대해 만족하면

$\sum_j K_{ij} V_j = \sum_j M_{ij} (N_d - n_j)$ (7)

이 얻어진다. 이는 행렬식 형태로

$[K] \{V\} = [M] \{N_d - n\}$ (8)

와 같이 행렬식과 벡터의 곱으로 표시된다. 이 element stiffness matrix를 전 요소에 대해 모아 global stiffness matrix를 구성한다. 각 반복의 경우 맨 우측항만을 계속 갱신하면 된다.

일단 포아송 방정식이 풀리면 각 요소에서의 전계는 다음식에 의해 얻어진다

$E = -\nabla \psi = -\sum_1 V_i \nabla \phi$ (9)

여기에서 각 요소에서의 전계는 적분을 하기위해 사용되었던 각 Gaussian quadrature point에서 계산된다. 한편 한 요소에서의 속도, 확산계수와 같은 전자성질을 규정하기 위해서는 각 전계의 값을 평균해서 구한다. 이에 상용되는 V-E 관계식을 써서 다음과 같이 속도를 구한다.^[10]

$V(E) = \frac{\mu_L E + V_s (E/E_{TW})^4}{1 + (E/E_{TW})^4} = \mu_{eff} E$ (10)

이때 μ_L 은 저전계 Mobility, V_s 는 saturation velocity, E_{TW} 는 negative resistivity 영역으로의 문턱 전계치를 의미한다. 다음에 확산 계수와 전계(D-E) 관계는 Einstein 관계식, $D = (RT/q) \mu$ 에 의해 구한다. 이때 mobility μ 는 유효 mobility μ_{eff} 로 대체하며, 온도 T는 에너지 전송 방정식^[18,24-26]에 의해 구한다.

이리하여 일단 D-E 관계식이 구해지면 이후 계산을 간단하게 하기 위해 다음과 같은 다항식으로 변환된다.

$D(E) = \frac{D_L + A(E/E_1)^2 + B(E/E_2)^4}{1 + (E/E_1)^2}$ (11)

여기서 D_L 은 저전계 확산 계수이며, A, B, E1, E2는 도우핑 수준에 의해 결정되는 상수가 된다.

이들로부터 전류 전송 방정식으로 부터 전류를 구한다. 다음에 전류 연속 방정식은 포아송 방정식에서와 마찬가지로 아래와 같은 표현식으로 변환한다.^[18,20]

$\sum_j (\int_0 q \phi_j ds) (\partial n_j / \partial t) dS = \sum_j \int_0 \nabla \phi_j \cdot (-q v - D \nabla \phi_j) n_j ds$ (12)

이는 행렬식형태로 다음과 같이 바꾼다.

$\sum_j M_{ij} (\partial n_j / \partial t) = \sum_j F_{ij} n_j$ (13)

여기서 시간 미분항을 다루기 위해서는 FDM시의 방법을 사용하며 이중 안정도가 높은 fully implicit 기법을 택하여 결국 다음식과 같이 변환된다.^[18,20]

$[K'] \{n\}_{new} = \{F'\}_{old}$ (14)

이 element stiffness matrix를 모아 global matrix를

구성한다.

이상의 흐름도를 그림 1에 보였다. 각 반복의 경우 수렴여부는 게이트-소스사이, 게이트 드레인 사이의 임의의 한 평면을 지나는 총전류(변위전류(displacement current)와 전도전류(conduction current)의 합)를 비교함으로써 얻어진다. 즉, 안정상태에 도달할수록 각 전류의 상대변화는 줄어들게 되며 결국 이 두 전류의 합이 일정 허용 오차치 이하가 된다. 그림 2에 FEM 코우드의 블록도를 보였다. 이는 참고서적^[27]에서와 마찬가지로 설명이 된다. 이 경우 사용자 입력은 preprocessor에서 작성한다. Solver Routine으로서 direct solver^[28]와 iteration solver^[29]를 테스트하였다. 이 경우 노우드 수가 천 이하인 경우에는 거의 direct solver가 iteration solver(여기서는 J-CG (Jacobi conjugate gradient)-symmetric case (Poisson equation): J-L/O(Jacobi-Lanczos/orthres)-non-symmetric case (current continuity equation))에 비해 빨리 계산됨을 발견하였는데 이는 참고논문^[30]에서도 지적되었다. 따라서 우리의 경우 direct solver를 택하였다. 이는 한 예를 그림 3에 보였다. 그림 3에서는 그림 1에서의 큰 루프(Poisson equation, current continuity equation 포함)한 회를 계산하기에 사용되는 시간을 X축(n-th iteration)에 대해 수렴할 때까지 계속 반복해가며 나타내었다. 이들로부터 회로 변수들 (I - V characteristics, transconductance, gate capacitance)을 postprocessor에서 구하였다.

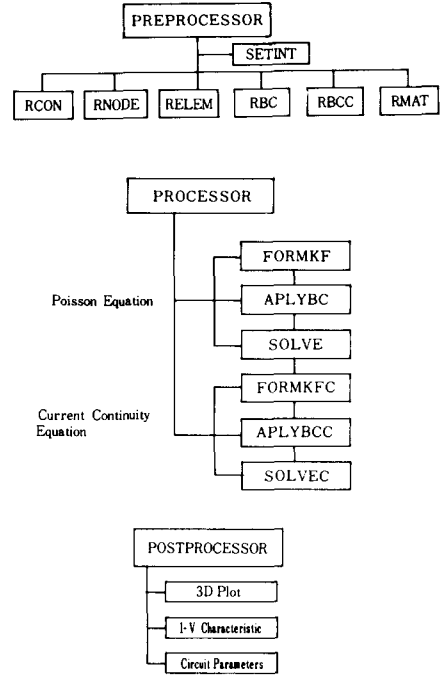


그림 2. Finite Element Code의 블록 구성도
Fig. 2. Flowchart components of Finite Element Code.

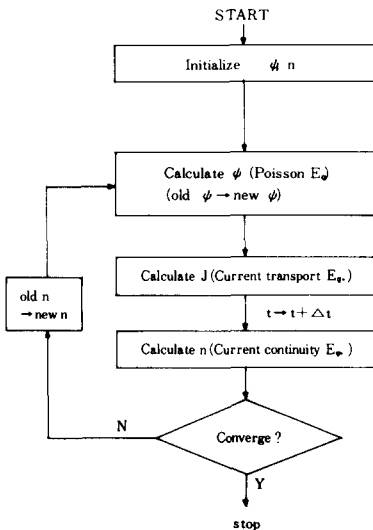


그림 2. Gummel의 방법에 의한 플로우 차트 구성
Fig. 1. Flowchart of formulation by Gummel's scheme.

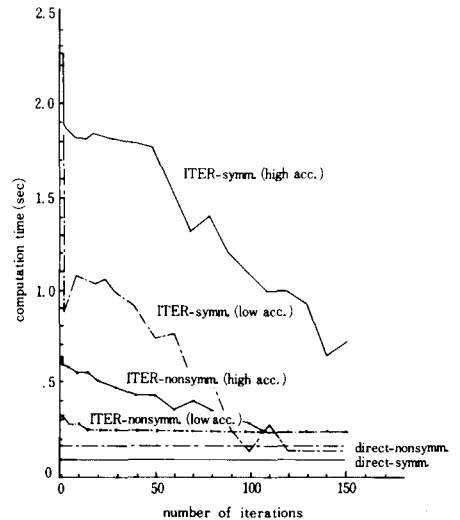


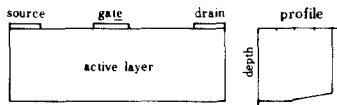
그림 3. 각종 Solver에서의 계산시간 비교 (노우드 수: 416, 고정밀도시 허용치오차: 10^{-6} , 저정밀도시 허용치: 10^{-4})
Fig. 3. Comparison of computation time in different solvers (node number: 416, high accuracy: 10^{-6} , low accuracy: 10^{-4}).

본 논문의 경우 bilinear rectangular 요소를 택하였으며 (2×2) Gaussian quadrature point를 적분에 사용하였다. 일반적으로 격자간 크기는 Debye length에 의해 정해졌으나, 전위 변화가 큰 영역(게이트 근처)에서는 이보다 작게, 변화가 작은 영역에서는 이보다 크게 잡았다. 시간폭은 도우핑 수준에 의한 dielectric relaxation time에 의해 결정이 되었다. 이 구조의 데이터의 변화는 block mesh generation을 이용하였으며 경계조건은 penalty method²⁷⁾로 적용시켜 입, 출력 데이터 작성을 용이하게 하였다. 이 방법은 최종 행렬식 크기를 좀 증가시키는 단점이 있기는 하나 기타의 방법에 비해 데이터 처리를 매우 용이하게 할 수 있다는 막강한 장점이 있다.

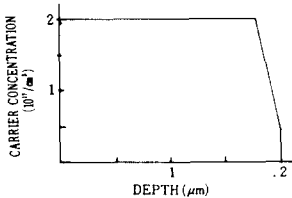
본 논문에서의 시뮬레이션은 CDC dual cyber 170/750 (University of Texas at Austin)에 의해 행하였다.

IV. 결과 및 검토

여태까지의 많은 방법들이 GaAs MESFET의 대신 해석을 위한 비선형 characterization에 기여했으나,¹¹⁻²¹⁾ 이는 주로 해석적 방법에 의한 것이 대부분이었다. 본 장에서는 3장에서 개발한 2D FEM 코우드를 써서 그림 4에 주어진 소자를 해석하여 이의 가능성을



- (a) Device structure for simulation
- drain and source length .5 μ m
- gate-to-drain distance 1.4 μ m
- gate-to-source distance 1 μ m
- gate length .75 μ m
- gate width 600 μ m
- active layer depth .2 μ m
- gate built-in voltage .8V
- node numbers 7×62 (434)
- time step .01psec

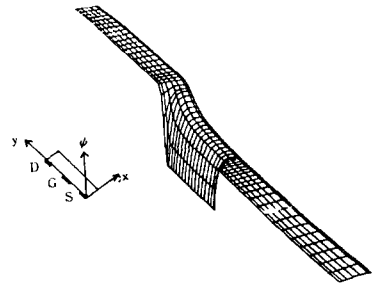


(b) Carrier profile

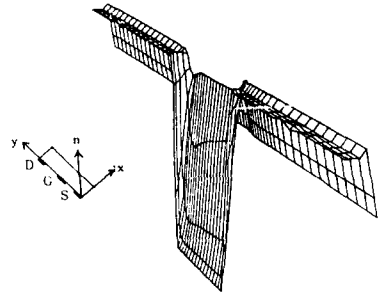
그림 4. 2 차원 MESFET 모델
Fig. 4. Two-dimensional MESFET model.

을 확인하였다. 이 경우 대부분의 데이터는 Curtice¹⁴⁾의 것과 동일하다.

그림 5에 전위와 전자 농도 분포의 시뮬레이션 수행의 한 예를 보였다. 보다시피 전위와 전자농도의 변화는 대부분 게이트 근처에서 생긴다. 이 경우 전위 분포와 관련되는 각 동가회로 변수와의 관계를 그림 6에 보였다. 단순화를 위해 몇몇 기생성분은 무시하였다. 그림 7에 전계성분(Ex, Ey)의 시뮬레이션의 한 결과를 나타내었다. 이 경우 최대치는 10⁴V/cm의 order를 갖는데, 횡전계 Ex는 게이트 아래에서 매우 크게 되며 종전계 Ey는 게이트 끝 근처에서 매우 크게 된다. 그림 8에 이 소자의 I-V 시뮬레이션 결과를 보였다. 이 결과의 값은 Curtice의 것¹⁴⁾과 비교할만하다. 일반적으로 게이트 전압이 부로 증가될수록 트랜스컨덕턴스 값은 줄어들게 된다. 그림 9에 게이트-



(a) 전위 분포



(b) 전자 농도 분포

그림 5. 전위와 전자농도 분포의 3차원 플롯 (그림 4 참조)

- (a) $V_d=1, V_g=-0.8$ (built-in voltage), $V_s=0$
- (b) 그림 4(b) profile 참조

Fig. 5. Three-dimensional plot of potential and electron density distribution (refer to Fig. 4).

- (a) $V_d=1, V_g=-0.8$ (built-in voltage), $V_s=0$.
- (b) Refer to Fig. 4(b).

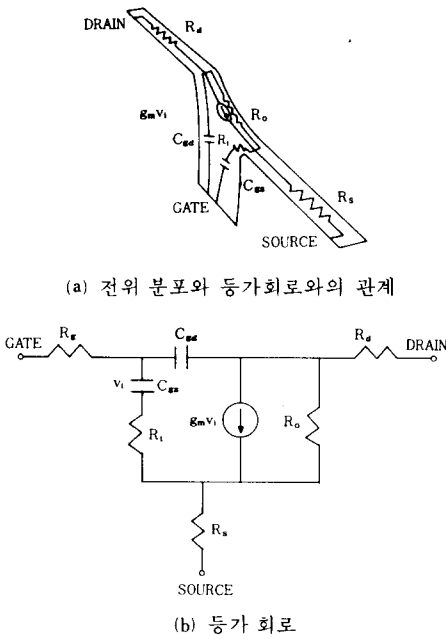


그림 6. 3 차원 전위분포 및 소자의 등가회로
 (R_d : 드레인 저항, R_s : 소스저항
 R_g : 게이트 저항, R_i : 입력저항
 R_o : 출력저항,
 C_{gs} : 게이트-소스 캐패시턴스
 C_{gd} : 게이트-드레인 커패시턴스
 g_m : 트랜스컨덕턴스)

Fig. 6. Three-dimensional potential plot and the equivalent circuit parameters of the device

- (a) The potential distribution related with equivalent circuit.
- (b) Equivalent circuit
 (R_d : drain resistance, R_s : source
 R_s : source resistance,
 R_d : gate resistance, R_i : input
 R_i : input resistance,
 R_o : output resistance,
 C_{gs} : gate-to-source capacitance,
 C_{gd} : gate-to-drain capacitance,
 g_m : transconductance).

소스 캐패시턴스(C_{gs})의 변화를 바이어스점을 바꾸어 가며 플롯 하였다. 게이트 바이어스 증가에 따라 C_{gs} 가 감소하는 이유는 공핍층 폭의 증가에 기인한다. 이 경우 C_{gs} 의 변화는 abrupt junction을 갖는 역바이어스 다이오드의 그것과 어느정도 비슷하다. 게이트-드레인 캐패시턴스 C_{gd} 의 게이트 전압에 따라 변화는 이보다 현저하지는 않으며 대체로 드레인 전압에 따라 변화하였다. (그림10참조). 이때 드레인 전

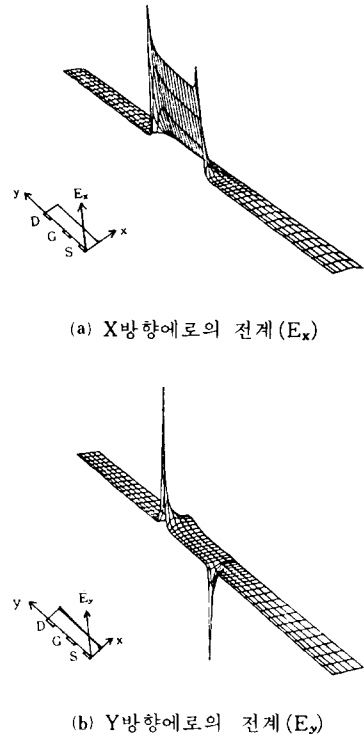


그림 7. X 및 Y방향으로의 전기의 플롯(그림 4 참조)
 (싸인은 역이며 최대치는 10^4 V/cm order)
 Fig. 7. The plot of electric field along X and Y direction
 (Refer to Fig. 4, Sign: reversed, order of max.: 10^4 V/cm).

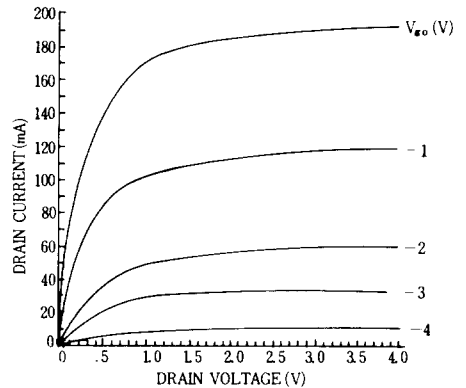


그림 8. 2-D 시뮬레이션에 의해 얻어진 I-V 특성 곡선
 Fig. 8. I-V characteristics obtained from 2-D simulation.
 (a) Electric field along X direction.
 (b) Electric field along Y direction.

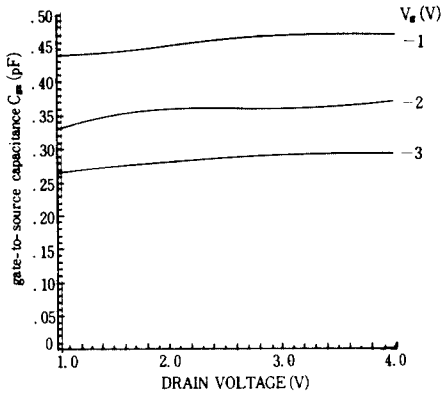


그림 9. 게이트-소오스간 캐패시턴스 C_{gs}
 Fig. 9. Gate-to-Source capacitance C_{gs} .

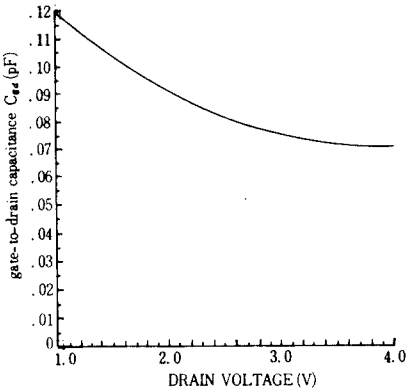


그림 10. 게이트-드레인간 캐패시턴스 C_{gd}
 Fig. 10. Gate-to-Drain capacitance C_{gd} .

에 따른 C_{gd} 의 감소는 드레인-게이트간에서의 공핍층 폭의 증가에 인한다.

한편 이 경우 high pinchoff 소자에서 드레인 전압증가에 따라 C_{gs} 가 증가하는 경향은 기 발표 논문처럼^[11] 현저하지는 않으며 총 게이트 캐패시턴스($C_g = C_{gs} + C_{gd}$)는 드레인 전압에 무관하게 대체로 일정하였다. 입력저항 R_i 는 안정상태 근처로 가면서의 변위 전류(확산 전류보다는 매우 작음)의 과도 현상으로부터 예측할 수가 있게 된다. 즉 논문^[10]에서와 같은 과도 전류의 변화로부터 이 근처의 시정수는 약 1psec 보다 좀 작음을 알 수 있다. 이때 게이트-드레인 간의 충전 효과에 의해 게이트-드레인 저항이 존재한다고 믿어지나 직렬 캐패시턴스에 비해 매우 작은 임피던스값을 가지므로 이는 무시하였다. 앞에서 구한 시정수 값 τ_i 는 게이트 전압 크기가 커질수록 다소 커지는 경향을 보였으며 R_i 는 약 2Ω 정도가 되었다.

게이트 하단부에서의 전자 전달시간은 이 영역에서의 전자가 속도 V_y 로 진행할 때 걸리는 시간을 계산하면 된다. 이를 τ_g 라 하자. 이를 종합하면 게이트 근처에서의 전자의 총 전달시간 τ_{total} 은 앞서 구한 τ_i 와 지금 구한 τ_g 의 합: 즉 $\tau_{total} = \tau_i + \tau_g$ 로 나타난다. 이때 τ_i 양은 gradual region에서의 전자 전달시간에 관계하게 된다. 총 τ 의 값은 게이트 전압크기가 증가함에 따라 다소 증가하기는 하나 본 결과에 의하면 근사식 $\tau_{total} = L_{gate}/V_{sat}$ (여기에서는 약 7.5psec)는 대체적으로 잘 맞는 식임을 알 수 있다.

중성 활성영역에서의 소스 저항 R_s 와 드레인 저항 R_d 는 이 영역에서의 전압 강하에 의해 구할 수가 있다. 이에 의하면 근사적으로 R_s 는 0.6Ω , R_d 는 1Ω 이 되었다. 이 경우 이 값들은 게이트-소스, 게이트-드레인 거리에 비례한다고 생각된다.

V. 결 론

본 논문에서는 2-D FEM Code를 개발하여 GaAs MESFET를 characterize 하였다. 여기에서 두 결합 방정식, 포아송 방정식과 전류 연속방정식을 Gummel의 방법에 의해 풀었다. 공식화에서 에너지 전송 방정식을 사용하여 확산계수와 전계의 관계를 구하였다. 입력과 출력 데이터 처리는 block mesh generation에 의해, 경계조건은 penalty method에 의해 용이하게 하였다. 계산시간 면에 있어서 본 논문에 사용한 1천 이하의 노우드에서는 direct solver가 iteration solver 보다 빠름이 입증되었다.

한편 앞서의 FEM 코우드를 고-도우핑 에피소자에 적용하였을 경우 제반특성을 검토하였다. 전위와 전자의 분포로부터 I-V 특성 및 부수적으로 트랜스컨덕턴스, 출력 컨덕턴스 등이 얻어진다. 한편 캐리어 분포로부터 캐피시턴스 성분이 얻어지게 된다.

본 논문에서의 계산은 주로 intrinsic 소자의 특성 해석에 초점을 두었으나 보다 엄밀한 의미에서는 각 전극의 부유 인덕턴스, 각 기생 캐패시턴스, 전극금속 접촉면의 저항 성분도 적절한 측정을 통해 포함시켜야 한다. 허나 앞서의 해석에 의하여 이상의 방법이 intrinsic 소자의 효과적인 characterization이 될 수 있다는 것이 확인되었다.

한편 바이어스 변화에 의한 소신호 회로 변수의 변화정보로부터 장래 소자의 대신호 해석이 가능하며 또한 S-parameter 해석에 응용될 수가 있겠다. 현재, 보다 정확한 재질의 성질을 포함하는 시뮬레이션 연구가 진행중에 있다. 또한 공식화에 있어서는 Case 2 공식화(변수: potential, quasi-fermi potential) 및

Scharfetter-Gummel 방법에 의한 공식화가 연구 중에 있다.

參 考 文 獻

- [1] W. Shockly, "A unipolar FET," *Proc. IRE*, vol. 40, p. 1365, 1952.
- [2] R.A. Pucel, H.A. Haus, H. Statz, "Signal and noise properties of GaAs microwave FET's," *Advances in Electronics and Electron Physics*, vol. 38, New York; *Academic Press*, pp. 195-265, 1975.
- [3] R.E. Williams, D.W. Shaw, "Graded channel FET's: improved linearity and noise figure," *IEEE Trans. Electron Device*, vol. 25, pp. 600-605, 1978.
- [4] N. Song, D.P. Neikirk, T. Itoh, "Modeling of ion-implanted GaAs MESFET's by the Finite Element Method," *IEEE Electron Device Lett.*, vol. 7, pp. 208-210, 1986.
- [5] H.K. Gummel, "A self-consistent iterative scheme for one-dimensional steady state transistor calculation," *IEEE Trans. Electron Device*, vol. 11, pp. 455-465, 1964.
- [6] D.L. Scharfetter, H.K. Gummel, "Large-signal analysis of a silicon Read diode oscillator," *IEEE Trans. Electron Device*, vol. 16, pp. 64-77, 1969.
- [7] D.P. Kennedy, R.R. O'Brien, "Computer Aided two-dimensional analysis of the JFET," *IBM J. Res Develop*, vol. 14, pp. 95-116, 1971.
- [8] M. Reiser, "large-scale numerical simulation in semiconductor device modeling," *Comp. Meth. Appl. Mech. and eng.*, vol. 1, pp. 17-38, 1972.
- [9] J.W. Slotboom, "Computer-Aided two-dimensional analysis of bipolar transistors," *IEEE Trans. Electron Device*, vol. 20, pp. 669-679, 1973.
- [10] T. Toyabe, K. Yamaguchi, S. Asai, M.S. Mock, "A numerical model of avalanche breakdown in MOSFET's," *IEEE Trans. Electron Devices*, vol. 25, pp. 825-832, 1978.
- [11] S. Selberherr, A. Schutz, H.W. Potzl, "MINIMOS—A two-dimensional MOS transistor analyzer," *IEEE Trans. Electron Devices*, vol. 27, pp. 1540-1550, 1980.
- [12] E.M. Buturla, P.E. Cottrell, "Finite element analysis of semiconductor devices; the FIELDAY program," *IBM J. Res., Develop.*, vol. 25, pp. 232-245, 1981.
- [13] J.A. Greenfield, R.W. Dutton, "Nonplanar VLSI device analysis using the solution of Poisson equation," *IEEE Trans. Electron Device*, vol. 27, pp. 1520-1532, 1980.
- [14] M.R. Pinto, C.S. Rafferty, R.W. Dutton, "PISCES-II" *Technical Report* 1984, Stanford Electronics lab.
- [15] T. Adachi, A. Yoshii, T. Sudo, "Two-dimensional semiconductor analysis using FEM," *IEEE Trans. Electron Device*, vol. 26, pp. 1026, 1032, 1979.
- [16] K. Yamaguchi, S. Asai, H. Kodera, "Two-dimensional numerical analysis of stability criteria of GaAs FET's," *IEEE Trans. Electron Device*, vol. 23, pp. 1283-1289, 1976.
- [17] T. Wada, J. Frey, "Physical basis of short channel MESFET operation," *IEEE Trans. Electron Devices*, vol. 26, pp. 476-489, 1979.
- [18] W.R. Curtice, Y. Yun, "A temperature model for the GaAs MESFET," *IEEE Trans. Electron devices*, vol. 28, pp. 954-962, 1981.
- [19] J.J. Barnes, R.J. Lomax, "Finite element methods in semiconductor device simulation," *IEEE Trans. Electron Device*, vol. 24, pp. 1082-1089, 1977.
- [20] P.R. H. Riemenschneider, K.L. Wang, "A finite element program for modeling transient behavior in GaAs MESFET's," *IEEE Trans. Electron Device*, vol. 30, pp. 1142-1150, 1983.
- [21] C. Lyden, J.S. Campbell, "Numerical modeling of a GaAs FET," *NASCODE 3, Boole press*, pp. 162-172, 1983.
- [22] C.R. Brewitt-Taylor, P.N. Robson, J.E. Sitch, "Noise figure of MESFET's," *Proc. IEE*, vol. 127, Pt. 1, pp. 1-8, 1980.
- [23] M. Kurata, "Numerical analysis for semiconductor devices," *Lexington Books*, 1982.
- [24] R.K. Cook, J. Frey, "Two-dimensional numerical simulation of energy transport effects in Si and GaAs MESFET's," *IEEE Trans. Electron Device*, vol. 29, pp. 970-977, 1982.
- [25] M. Shur, "Influence of nonuniform field

- distribution of frequency limits of GaAs FET's," *Electron Lett.*, vol. 12, pp. 615-617, 1976.
- [26] B. Carnez, A. Cappy, A. Kaszynski, E. Constant, G. Salmer, "Modeling of a submicron gate FET including effects of nonstationary electron dynamics," *J. Appl. Phys.*, vol. 51(1), pp. 784-790, 1980.
- [27] E.F. Becker, J.T. Oden, G.F. Gray, "Finite elements," series vol. 1, Prentice-Hall, 1981.
- [28] LEQ1PB, LEQTIB in IMSL Library
- [29] D.M. Young, T. Mai "IPTPACK 3A user's guide," *Tech. Report, Center for Num. Anal.*, Univ. Texas at Austin, Oct. 1984.
- [30] S. Eisensat, A. George, R. Grimes, D. Kinkaid, A. Sperman, "some comparisons of software packages for large sparse system," *Proc. 3rd IMACS int. Symp. Comp. Meth. for PDE*, pp. 98-106, 1979.
- [31] H.A. Willing, C. Rauscher, P. Santis, "A Technique for predicting large-signal performance of a GaAs MESFET," *IEEE Trans. Microwave Theory Tech.*, vol. 30, pp. 1017-1023, 1978.
- [32] A. Madjar, F.J. Rosenbaum, "A large-signal model for the GaAs MESFET" *IEEE Trans. Microwave Theory and Tech.*, vol. 29, pp. 781-788, 1981.
- [33] J.M. Golio, P.A. Blakey, R.O. Grondin, "A general CAD tool for large signal GaAs MESFET circuit design," *1985 IEEE Microwave Theory Tech. Symp. digest*, pp. 471-420.
- [34] W.R. Curtice, "The performance of sub-micron gate length GaAs MESFET," *IEEE Trans Electron Devices*, vol. 30, pp. 1693-1699, 1983.
- [35] T. Chen M.S. Shur, "A capacitance model for GaAs MESFET's," *IEEE Trans. Electron Devices*, vol. 12, pp. 883-891, 1985.
- [36] N. Song, T. Itoh, "Accurate simulation of MESFET by FEM including energy transport and substrate effects," *European Microwave Conference*, pp. 245-250, 1985.