

게이트 어레이의 자동 배치, 배선 시스템

(Automatic Placement and Routing System for Gate Array)

李建培*, 鄭正和*

(Keon Bae Lee and Jong Wha Chong)

要 約

본 논문에서는 게이트 어레이 설계 방식의 배치 및 배선 설계 자동화 시스템을 제안한다.

배치 설계에서 min-cut 분할 개념을 이용하여 회로를 분할하여 배치함으로써 칩 전체의 배선 밀도를 균일하게 하고 배선장을 최소화 한다.

Global 배선 설계에서는 각 채널에서의 배선 혼잡도를 균일하게 하기 위해 확률적인 배선 혼잡도 개념을 도입한다.

Detailed 배선 설계에서는 다점간 신호선을 2점간 신호선으로 분할한 후 수직 제한 그래프와 수평 제한 그래프를 동시에 함축시킨 순서화된 채널 그래프를 제안하고 이 그래프를 이용하여 신호선을 트랙에 할당하는 배선 알고리즘을 제안한다.

또한, 제안된 배치, 배선 알고리즘을 IBM/PC-AT 상에 실현함으로써 PC 레벨의 게이트 어레이 방식의 레이아웃 시스템을 구성한다.

Abstract

In this paper, a system of automatic placement and routing for gate array layout design is proposed.

In the placement stage, the circuit is partitioned and using the concept of min-cut slicing, and each partitioned module is placed, so that the routing density over the entire chip be uniformized and the total wiring length be minimized.

In the global routing stage, the concept of the probabilistic routing density is introduced to unify the wiring congestions in each channel.

In the detailed routing stage, the multi-terminal nets are partitioned into the two-terminal nets. The ordered channel graph is proposed which implies the vertical and the horizontal constraint graphs simultaneously. And using the ordered channel graph, the proposed routing algorithm assigns the signal nets to the tracks.

Also the proposed placement and routing algorithms are implemented on IBM/PC-AT to construct PC-level gate array layout system.

*正會員, 漢陽大學校 電子工學科

(Dept. of Elec. Eng., Hanyang Univ.)

接受日字: 1988年 1月 8日

(※ 본 논문은 한국전자통신연구소의 연구비 지원에 의해 수행되었음.)

I. 서 론

최근 집적 회로의 급속한 발전으로 인하여 시스템의 life-cycle이 짧아짐에 따라 소량 다품종의 집적 회로를 짧은 시간내에 설계하기 위한 설계 자동화 시스템의 필요성이 증가하였다.

집적 회로의 설계 시간을 단축시킴으로써 설계 비용을 절감하기 위하여 규칙적인 구조를 갖는 기본 구조를 이용하여 설계하는 semi-custom 설계 방식이 널리 사용되고 있다.

Semi-custom 설계 방식중의 하나인 게이트 어레이 방식은 확산 패턴까지 완료된 칩에 배선 패턴 즉, 메탈층에 의한 배선을 행함으로써 설계하고자 하는 회로를 구성하는 방법으로서, 설계 시간을 단축할 수 있는 장점으로 인해 소량 다품종 LSI/VLSI 칩 설계에 많이 이용되고 있다.

이러한 게이트 어레이 설계 방식의 레이아웃은 설계의 복잡성으로 인해 크게 배치 설계^[2~4,8]와 배선 설계^[5~11]의 2단계로 나누어 행해진다.

배치 설계는 설계할 회로도의 각 기본 셀(cell) 들을 게이트 어레이 칩 상에 위치시키는 단계로서 초기 배치와 배치 개선의 2과정으로 나누어 행해진다. 초기 배치에 의해 초기적으로 셀의 위치가 결정되면 배치 개선에 의해 배선장의 최소화, 배선 밀도의 균일화 등과 같은 목적 함수를 만족하도록 셀의 위치를 변경한다.

배치가 종료되면 기본 셀들간의 등전위를 연결하기 위하여 배선 설계가 행해진다. 배선 설계는 각 신호선이 통과 해야할 가상 경로를 결정하여 각 채널에서의 핀 정보를 출력하는 global 배선 설계^[5~7]와 global 배선 단계로부터 얻어진 채널에서의 핀 정보를 이용하여 최종 패턴을 결정하는 detailed 배선^[8~11]의 두 과정으로 구성된다.

본 논문에서는 게이트 어레이 방식의 레이아웃 자동화 시스템을 제안한다.

칩 내의 배선 혼잡도의 균일화, 100% 배선율, 배선장의 최소화등을 목적 함수로 하는 배치 설계와 배선 설계 알고리즘을 제안한다.

배치 설계에서는 min-cut 분할^[1~3]에 의한 초기 배치와 pairwise interchange 개념^[12]을 이용하여 최대 배선 밀도가 발생한 부분의 배선 밀도를 해소하기 위한 배치 개선을 행함으로써 칩 내의 배선 밀도를 균일하게 하고 선택된 게이트 어레이 칩 내에서의 100% 배선이 가능하도록 하였다.

배선 설계 단계중 global 배선에서는 각 채널에서의 배선 혼잡도를 전체 칩 상에 균일하게 배분하여 overflow가 발생하지 않도록 하기 위해 각 수평 채널에서의 확률적인 배선 혼잡도^[7]를 고려하여 각 신호선의 가상 경로를 결정함으로써 배선 혼잡도의 균일화를 시도하였다.

Detailed 배선에서는 global 배선에서 얻은 각 채널에서의 핀 정보와 신호선 연결 요구를 이용하여 최

종 배선 패턴을 얻기 위하여 다점간 신호선을 2점간 신호선으로 분할하고 분할된 2점간 신호선들로부터 수직 제한 그래프와 수평 제한 그래프를 동시에 함축시킨 순서화된 채널 그래프를 제안한다. 이 채널 그래프에 웨이트를 할당하고 할당된 웨이트와 선택 함수에 의해 각 트랙에 신호선을 배정함으로써 배선을 행하는 채널 배선 알고리즘을 제안한다.

또한, 제안된 배치 및 배선 알고리즘을 C 프로그램 언어로 프로그래밍하여 IBM/PC-AT DOS-O/S 상에서 실현함으로써 PC 레벨의 게이트 어레이 방식의 레이아웃 자동화 시스템을 구성한다.

II. Min-cut 분할에 의한 배치 설계

배치 설계는 min-cut 분할에 의한 초기 배치와 pairwise interchange에 의한 배치 개선의 2단계로 구성된다.

1. Min-cut 분할에 의한 초기 배치

전체 셀들을 게이트 어레이의 셀 row에 대응되는 셀 그룹으로 분할하기 위한 분할 과정에서 min-cut 분할 개념을 이용하였다. 이는 셀의 이동에 따라 cut line을 지나는 신호선 수에 직접 영향을 주는 critical net^[3]의 개념을 확장시켜 분할된 셀 그룹간의 연결 요구를 줄일 수 있는 이동 가능한 셀을 선택하여 이동시킴으로써 배선 혼잡도를 균일하게 하는 배치 결과를 얻도록 한다.

초기 분할 과정에서는 각 셀의 연결도를 고려하여 전체 셀을 초기의 셀 그룹으로 분할한다. 분할 개선 과정에서는 초기 분할된 셀 그룹에 속한 셀들에 대하여 각 셀의 이득을 계산한 후 셀 그룹간의 연결도를 감소시킬 수 있는 이동 가능한 셀을 선택하여 이동시킨다. 그림 1에서 셀 C2가 cut line 반대편으로 이동하는 경우 cut line을 지나는 신호선 n2가 제거되어 cut line을 지나는 신호선의 수가 감소한다. 이

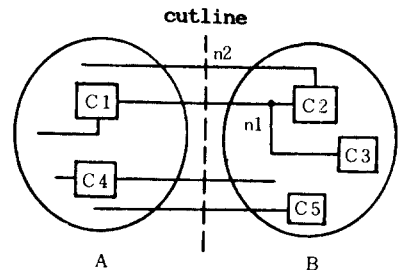


그림 1. Min-cut 분할
Fig. 1. The min-cut partition.

과정을 반복 수행하여 분할된 셀 그룹간의 연결도가 최소가 되도록 셀 그룹을 형성한다.

각 셀을 게이트 어레이 칩상에 배치하기 위해서는 분할된 셀 그룹을 게이트 어레이의 셀 row에 할당하는 과정과 셀 row 상에서의 각 셀의 위치를 결정하는 과정이 중요한 문제이다. 따라서 분할된 셀 그룹간의 연결도가 최대인 셀 그룹을 선택하여 게이트 어레이의 중앙 셀 row에 할당하고, 할당된 셀 row 내의 각 셀의 위치는 최소 배선장을 목적 함수로 하여 결정한다.

이미 할당된 셀 그룹과의 연결도가 큰 셀 그룹을 순차적으로 선택하여 할당된 셀 row의 상, 하에 할당한다. 이때 셀 그룹내의 각 셀의 위치는 이미 위치가 결정된 이웃하는 셀 row 상의 셀들과의 연결도를 고려하여 배선장이 최소가 되도록 결정한다. 이 과정을 반복하여 전체 셀의 위치가 결정되면 초기 배치의 결과를 얻게된다(그림 2).

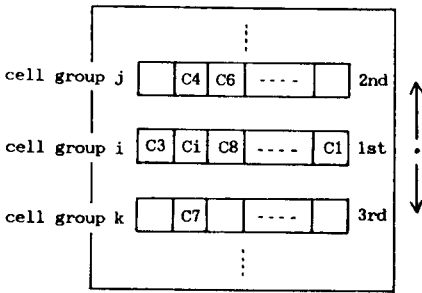


그림 2. 초기 배치
Fig. 2. The initial placement.

2. Pairwise interchange에 의한 배치 개선

초기 배치의 결과로서 셀들의 위치가 결정되면, 배치 개선 단계에서는 배선 혼잡도를 균일하게 하고 가급적 feed through의 사용을 억제하도록 하는 배치의 결과를 얻는다.

모든 다점간 신호선 연결 요구를 minimum spanning tree 알고리즘⁽¹³⁾을 적용하여 2점간 신호선 연결 요구로 분할한 후 각 셀들의 위치 정보로부터 각 채널에서의 확률적인 배선 밀도를 구한다. 확률적인 배선 밀도는 그림 3과 같이 셀 C1과 C2를 연결하기 위해서는 셀 상, 하의 채널을 사용할 수 있으므로 두 셀간의 채널 영역에는 신호선이 지날 확률이 1/2 이고, 셀 C3와 C4를 연결하기 위해서는 C3와 C4 사이의 채널을 지나므로 1의 확률을 갖는다.

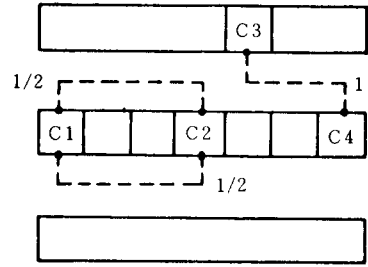


그림 3. 확률적인 배선 밀도
Fig. 3. The probabilistic routing density.

배선 영역에서의 확률적인 배선 밀도를 나타내는 신호선 배선 밀도를 구한 후 배선영역중 배선 밀도가 가장 높은 부분에 cut line을 설정한다. cut line이 설정된 부분의 배선 밀도를 감소 시키기 위해 cut line 반대편으로 이동했을때 cut line에서의 확률적인 배선 밀도가 감소하는 셀쌍을 선택하여 교환함으로써 최대 배선 밀도가 발생하는 영역의 배선 밀도를 줄인다(그림 4). 이 과정을 반복하여 최대 배선 밀도가 해소될 때까지 반복 수행한다.

따라서, 배치 개선에 의해 배선 밀도를 균일하게 함으로써 주어진 게이트 어레이 칩의 트랙 수 내에서 배선이 가능하게 한다.

배치 설계가 종료되면 칩 상에서의 각 셀의 위치 좌표와 셀 타입등이 결정되며, 이 정보를 이용하여 각 셀의 등전위를 연결하기 위한 배선을 행한다.

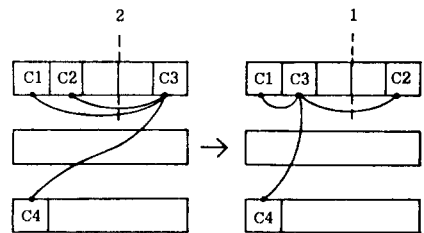


그림 4. 셀쌍 교환에 의한 배치 개선
Fig. 4. The placement improvement by a cell pair interchange.

III. 배선 설계

배선 설계에서는 확률적인 신호선 혼잡도를 이용하여 신호선의 가상 경로를 결정하는 global 배선과 순서화된 채널 그래프를 이용하여 각 채널 내에서 신호선의 최종 배선 패턴을 결정하는 detailed 배선의 2단계로 나누어 수행한다.

1. Global 배선 설계⁷⁾

Global 배선 단계는 총 배선장의 최소화과 배선 밀도의 균일화를 목적 함수로 하여 feed-through를 할당하고 detailed 배선에서 필요한 각 채널에서의 핀 정보를 출력한다.

1) 게이트 어레이 칩의 모델링

게이트 어레이 칩을 그림 5와 같이 셀 row와 채널의 일부를 포함하는 global 셀로 모델링 한다. 전체 칩을 $m \times n$ 의 global 셀 어레이로 모델링하여 global 셀내에 존재하는 각 신호선이 연결되는 핀들을 global 셀내의 한점에 집중된 것으로 간주함으로써 전체 신호선의 배선 문제를 global 셀 간의 배선 문제로 단순화할 수 있다. 또한, 각각의 공정 기술에 따라 셀 row와 배선 영역등과 같은 게이트 어레이 칩의 구조가 서로 다를 수 있으므로 global 셀을 모델링함으로써 칩의 구조에 관계없이 global 배선 알고리즘을 적용할 수 있다.

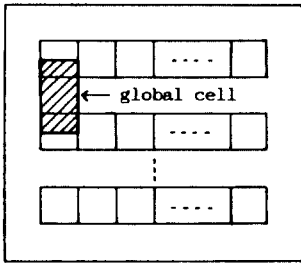


그림 5. Global 셀
Fig. 5. The global cell.

2) 초기 배선

(1) 다점간 신호선의 분할

다점간 연결 요구가 있는 신호선을 minimum spanning tree 알고리즘을 사용하여 2점간 신호선으로 분할한다. 이때 총 배선장의 최소화를 목적 함수로 하며, 가급적 수직 방향으로의 연결을 피하고 수평 방향의 연결로 유도함으로써 feed through 사용을 억제한다. 따라서, feed through의 부족으로 인한 배선 불가능 상태가 발생하지 않도록 한다.

(2) 배선 가능성 판정

게이트 어레이 칩에서 공급 가능한 feed through와 신호선의 연결을 위해 필요한 feed through를 비교하여 수직 배선 가능성을 판정한다. 수직 배선이 불가능한 경우에는 feed through 사용 요구를 조정하여 신호선을 재 분할한다.

(3) 확률적 신호선 혼잡도의 계산

각 신호선이 칩 상의 수평 채널을 통과할 확률적인 신호선 통과 요구 즉, 확률적인 배선 밀도를 구하여 이 값을 수평 채널의 최대 통과 가능 트랙수로 나누어 확률적인 신호선 혼잡도를 계산한다.

계산된 신호선 혼잡도로부터 혼잡도가 높은 영역을 피하여 신호선의 경로와 feed through를 할당함으로써 배선 밀도가 특정 부분에 집중되지 않도록 한다.

(4) 신호선 간의 ordering

2점간 신호선을 그림 6과 같이 세 그룹으로 분할하고 신호선들의 배선 순서를 결정하기 위하여 그룹 간 또는 그룹내에서의 신호선들 간에 ordering을 행한다.

① 신호선 그룹간의 배선 순서

그룹B → 그룹C → 그룹A

그룹B 신호선은 두 셀 row 사이의 채널에서 배선되어야 하므로 가장 먼저 선택되어야 하며, 그룹A의 신호선은 신호선 혼잡도를 고려하여 셀 row의 상하에서 배선이 가능하므로 최종적으로 선택된다.

② 동일 신호선 그룹내의 배선 순서

신호선 연결 요구인 2점을 대각선으로 하는 직사각형 영역을 zone이라 할 때 zone이 작은 순서로 배선을 행한다.

(5) 그룹B 신호선의 배선

그룹B내의 신호선중 zone의 크기가 작은 신호선을 먼저 배선한다. 이는 신호선이 지날 경로가 이미 다른 신호선에 의해 점유되어 신호선이 우회할 경우, zone이 작은 것보다는 큰 것이 우회하는 경로의 길이가 짧기 때문이다.

(6) 그룹C 신호선의 배선과 feed through의 할당

그룹C 신호선에 feed through를 할당하기 위하여 연결 요구로부터 셀 그래프를 구성한다(그림 7). 셀 그래프는 그룹C에 속하는 신호선에 대하여 신호선의 zone내에 존재하는 global 셀을 절점(vertex)으로 하고 수평 에지(edge)는 수평 채널에 해당하며 대응되는 수평 채널의 확률적인 신호선 혼잡도를 웨이트로 갖는다. 수직 에지는 수직 채널 즉, feed through에 해당하며 대응하는 feed through 사용 가능성과 같은 수직 채널의 정보를 갖는다.

수평 에지가 "blocked" 된것은 이 채널에서의 신호선 혼잡도가 크기 때문에 이 채널에서의 배선이 불가능한 경우를 의미하며 수직 에지가 "saturated" 된것은 이미 다른 신호선을 연결하기 위해 feed through가 할당되었으므로 할당 가능한 feed through가

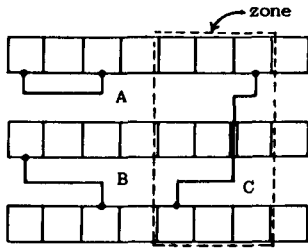


그림 6. 신호선 그룹과 zone
Fig. 6. The net group and the zone.

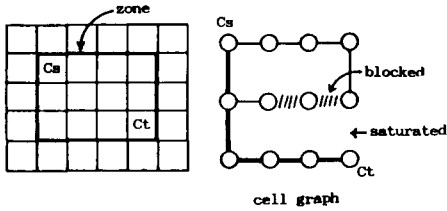


그림 7. Cell 그래프와 feed through 할당
Fig. 7. The cell graph and feed through assignment.

존재하지 않는 경우를 나타낸다.

셀 그래프가 구성되면 Cs로부터 Ct로 BFS (breadth first search)^[13] 를 수행하여 할당 가능한 feed through 를 탐색한다. 주어진 셀 그래프내에서 경로를 찾지 못하는 경우에는 셀 그래프를 zone 밖으로 확장하여 feed through 를 할당하는 경로를 탐색한다.

(7) 그룹A 신호선의 배선

그룹A에 속한 신호선들과 연결된 cell들이 위치하는 셀 row의 상, 하 채널 중 혼잡도가 작은 쪽의 채널을 택하여 배선한다.

3) Overflow 개선 및 재 배선

Overflow가 발생한 채널에 대해서는 overflow가 가장 큰 채널을 순서적으로 선택하여 그 채널을 통과하는 신호선들을 조정하여 overflow를 해소한다. 배선 개선은 할당된 신호선의 트랙을 이동하거나 feed through를 재 할당하여 신호선의 경로를 재 할당함으로써 배선 혼잡도를 균일하게 한다(그림 8).

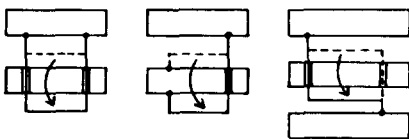


그림 8. Overflow 개선
Fig. 8. The improvement of overflow.

단순히 트랙 이동만으로 overflow 개선이 불가능한 신호선은 그 신호선을 제거한 후 zone을 확장해 가면서 maze 알고리즘^[14] 을 사용하여 경로를 찾아 배선한다.

4) 핀 할당

셀들 간의 연결 상태에 따라 배선장과 배선 밀도를 고려하여 핀을 할당한다. 상측의 셀과 연결 요구가 있는 셀은 상부 핀을 할당하고 하측의 셀과 연결 요구가 있는 셀은 하부 핀을 할당한다. 또한 논리적으로 등가인 각 셀의 입력 핀에 대해서는 좌, 우의 연결도를 고려하여 채널에서의 트랙수를 감소시키도록 입력 핀을 할당 한다(그림 9).

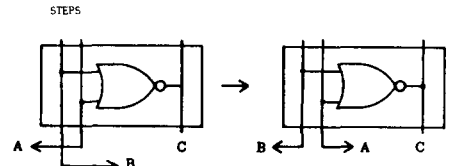


그림 9. 수평 핀 할당
Fig. 9. The assignment of horizontal pins.

2. 순서화된 채널 그래프를 이용한 detailed 배선
Global 배선으로부터 얻은 각 채널의 핀 정보로부터 각 채널내에서의 최종 배선 패턴을 결정하는 detailed 배선은 순서화된 채널 그래프^[15] 를 이용한 채널 배선법을 제안한다.

1) 입력 제한 조건

채널 내에서 사이클이 발생하는 경우 dummy 핀의 삽입으로 사이클을 해소하고 다점간 신호선을 2점간 신호선으로 분할한다. 신호선을 분할함으로써 트랙수를 감소시킬 수 있으며, 분할된 신호선들을 그림 10(b)와 같이 채널의 좌측에서 먼저 시작하는 신

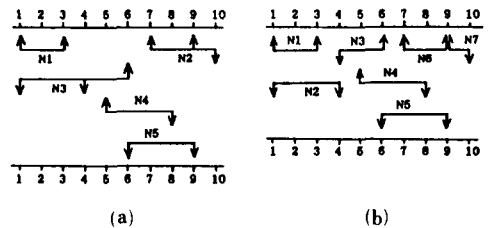


그림 10. (a)신호선 연결 요구
(b)입력 제한 조건에 의한 신호선의 재배열
Fig. 10. (a)The net connection requirement.
(b)The reordering of nets by the input constraints.

호선부터 일련 번호를 할당하여 채널의 좌측으로 부터 우측으로 재 배열하면서 신호선의 번호를 정한다.

2) 순서화된 채널 그래프

종래의 수평 제한 그래프와 수직 제한 그래프를 동시에 합축시킨 순서화된 채널 그래프는 블럭의 핀 번호를 절점으로 하고, 두 핀을 연결 요구로 갖는 신호선을 에지로 하여 구성된다.

채널 그래프를 구성하는 에지는 신호선의 연결 상태에 따라 1 방향성 에지, 무 방향성 에지, 양 방향성 에지로 구분된다.

신호선이 채널의 상부 블럭 핀과 연결되는 경우, 절점에 연결된 에지에 무 방향성을 부여하고 채널의 하부 블럭 핀과 연결되는 경우에는 incomming 에지를 부여한다. 신호선 Ni가 상부 블럭 핀 Mi에서 하부 블럭 핀 Mj간을 연결하는 신호선인 경우, 채널 그래프의 에지(신호선) Ni는 절점 Mi에서 Mj로의 1 방향성 에지로 표현된다.

따라서, 채널 그래프는 채널 내에서 신호선들간의 수직 제한과 수평 제한을 동시에 표현하는 그래프이다.

그림10(b)의 연결 요구를 채널 그래프로 표현하면 그림 11과 같다.

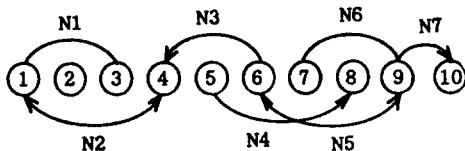


그림11. 순서화된 채널 그래프
Fig. 11. The ordered channel graph.

3) 웨이트 할당

신호선 연결 요구로부터 채널 그래프의 에지에 웨이트를 할당한다. 절점 Mk에 incomming 에지와 무 방향성 에지가 동시에 연결되어 있으면 incomming 에지에 '3', 무 방향성 에지에 '0'의 웨이트를 할당한다. 또한 절점 Mk에 한 종류의 에지만이 연결되어 있으면 웨이트 '1'을 할당한다.

하나의 신호선(에지)은 2 개의 핀(절점)사이를 연결하므로, 각 신호선(에지)에 대해 신호선 양쪽에 연결된 2 핀(절점)에서 할당된 웨이트를 합하여 신호선의 웨이트를 계산한다. 즉, 신호선의 웨이트는 2 절점에서 연결상태에 따라 할당된 웨이트의 합으로 표현된다.

4) 신호의 선택

각 신호선 Ni에 할당된 웨이트 NWi로부터 하나의 트랙에 할당 가능한 신호선들을 선택하게 된다.

(1) NWi ≤ 2 인 신호선

NWi = 0 인 신호선은 채널의 상측으로만 연결 요구가 있는 신호선이므로 상위 트랙에 할당 가능하며, NWi = 1 인 신호선은 채널의 상측과 하측에 연결 요구가 있으나 이 신호선 상측 트랙에 할당되어야 하는 다른 신호선이 존재하지 않으므로 상측 트랙에 할당 가능한 신호선을 의미한다. NWi = 2 인 신호선은 채널 하측으로만 연결 요구가 있는 신호선이지만 이 신호선 상측 트랙에 할당되어야 하는 신호선이 존재하지 않으므로 할당 가능한 신호선이다.

(2) NWi > 2 인 신호선

NWi = 3, 4 또는 6 인 신호선은 이 신호선 보다 상측에 할당되어야 하는 다른 신호선이 존재하여 수직 제한 조건이 발생하는 경우로서 상측 트랙에 할당 불가능한 신호선을 의미한다.

신호선 웨이트가 2 이하인 신호선들은 현재의 트랙에 할당 가능한 신호선들로서 이 신호선들을 이용하여 하나의 트랙에 할당 가능한 신호선 그룹을 구성한다. 따라서, 한 그룹내에 속한 신호선들은 수평 제한 조건을 만족하는 신호선들로 구성된다.

5) 신호선 선택을 위한 선택 함수

현재의 트랙에 할당 가능한 신호선 그룹들 중 하나를 선택하여 트랙에 할당하기 위하여 선택 함수를 다음과 같이 정의 한다.

- (1) 신호선 그룹내의 신호선들과 아직 배선되지 않은 신호선들간의 수직 제한이 가장 많이 존재하는 신호선 그룹
- (2) 신호선들이 한 트랙에 가급적 많은 부분을 차지하는 신호선 그룹
- (3) 채널의 가장 좌측에서 시작하는 신호선을 갖는 신호선 그룹

현재의 트랙에 할당 가능한 신호선 그룹중 위의 세가지 목적 함수를 만족하는 신호선 그룹을 선택하여 현재의 트랙에 할당한다. 위의 세 조건을 동일하게 만족하는 신호선 그룹이 여러개인 경우, 임의로 선택하여 현재의 트랙에 할당한다

위의 과정을 상부 트랙에서부터 하부 트랙의 순서로 반복하여 신호선을 할당함으로써 최종 배선 결과를 얻는다.

배선이 종료되면 각 채널에서의 최종 배선 정보는 CIF⁽¹¹⁾의 형태로 출력된다.

IV. 실험 및 고찰

본 논문의 배치 및 배선 알고리즘의 유용성을 보이기 위하여 2 개의 예제 회로에 대해 배치 및 배선을 행한 결과는 그림 12와 같다.

본 논문의 알고리즘이 적용되는 게이트 어레이 칩은 2 개의 메탈 층을 사용하는 배선 영역과 3 입력의 기본 게이트들을 실현할 수 있는 셀 row들로 구성되며 각 셀간에는 1개의 feed through가 지날 수 있는 수직 채널이 존재한다.

각각의 예제 회로와 게이트 어레이 칩에 대한 정보는 표 1과 같으며 배치 및 배선의 결과는 표 2와 같다.

예제 A 회로는 셀 수가 41개이고 신호선 수가 39개이며 회로를 실현하기 위해 선택한 게이트 어레이 칩은 셀 row 수, row 당 셀 수, 셀간의 feed through 수가 각각 6 개, 8 개, 1 개이다. 채널당 5 개의 트랙 수로 실현하는 경우에는 3 개의 신호선이 미결선되며 6 개의 트랙 수로 실현하는 경우, 모든 신호선이 배선되어 100% 배선 가능함을 알 수 있다. 이때 사용된 feed through 수는 6 개이다.

따라서, 예제 A 회로의 경우 채널당 6 개의 트랙 수를 갖는 게이트 어레이 칩을 선택하여 배치 및 100% 배선의 결과를 얻을 수 있으며 예제 B 회로의 경우에는 8 개의 트랙 수를 갖는 게이트 어레이 칩을 선택하여 배치 및 100% 배선의 결과를 얻을 수 있다.

표 1. 예제 회로와 게이트 어레이 칩 Table 1. Example circuit and gate array chip.

예제	예제 회로		게이트 어레이 칩		
	셀 수	신호선 수	row 수	셀 수/row	feed through 수
A	41	39	6	8	1
B	90	80	8	12	1

표 2. 배치 및 배선 결과 Table 2. Results of placement and routing.

예제	게이트 어레이 칩		미결선 신호선 수	사용된 feed-through 수	CPU time (sec)
	채널 capacity				
A	5	3	5	·	
	6	0	6	18	
B	7	3	18	·	
	8	0	18	34	

V. 결 론

본 논문에서는 semi-custom 설계 방식 중 게이트 어레이 방식의 배치 및 배선 설계 자동화 시스템을 제안하였다.

Min-cut 분할에 의해 칩의 전체 배선 밀도를 균일하게 하는 배치 알고리즘과 확률적인 배선 혼잡도와 채널 그래프를 이용한 global 및 detailed 배선 알고리즘을 제안함으로써 비교적 균일한 배선 밀도와 배선장을 줄이는 배치 및 배선의 결과를 얻을 수 있었다.

또한, 제안된 배치 및 배선 알고리즘을 C언어로 프로그래밍하여 IBM/PC-AT의 MS-DOS O/S 상에서 실현함으로써 PC 레벨의 게이트 어레이 배치 및 배선 자동화 시스템을 구성하였다.

앞으로의 연구 과제로는 macro를 고려한 배치 및 배선 시스템 개발의 연구가 계속되어야 할 것이다.

참 考 文 獻

[1] B.W. Kernighan and S. Lin, "An efficient heuristic procedure for partitioning graphs," *Bell system technical journal*, Feb. 1970.

[2] M.A. Breuer, "A class of min-cut placement algorithm," *Proc. 14th Design Automation Conference*, pp. 284-290, 1977.

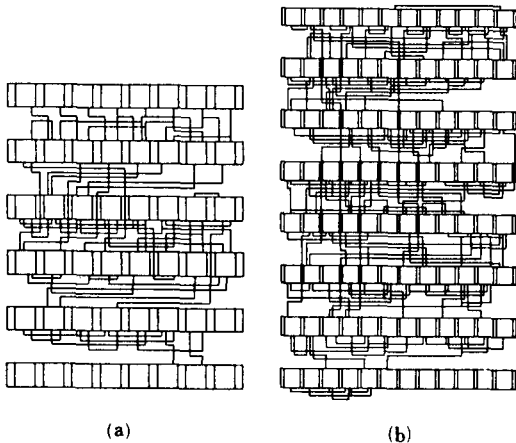


그림 12. 예제 회로의 배치, 배선 결과 Fig. 12. The result of example circuit. (a) Example A. (b) Example B.

- [3] B. Krishnamurthy, "An improved min-cut algorithm for partitioning VLSI networks," *IEEE Trans. on Computers*, vol. C-33, no. 5, pp. 438-446, 1984.
- [4] J.H. Jung, S. Goto and H. Hirayama, "A new approach to the two dimensional placement with wire-congestion in master slice layout design," *日本電子通信學會論文集*, vol J. 64-A, no. 1, 1981.
- [5] Benjamin S. Ting and Boo Nin Tien, "Routing techniques for gate array," *IEEE Trans. on CAD*, vol. CAD-2, no. 4 pp. 301-312, 1983.
- [6] Jeong-Ting Li and M.M. Sadowska, "Global routing for gate array," *IEEE Trans. on CAD*, vol. CAD-3, no. 4, pp. 298-307, 1984.
- [7] 襄英煥, "VLSI 設計 自動化를 爲한 Gate Array Global Router에 關한 研究," 漢陽大學校 大學院 碩士學位 論文
- [8] H. Shiraishi and F. Hirose, "Efficient placement and routing techniques for master slice LSI," *Proc. 17th DAC*, pp. 458-464, 1980.
- [9] T. Yoshimura and E.S. Kuh, "Efficient algorithms for channel routing," *IEEE Trans. on CAD*, vol. CAD-1, pp. 25-35, 1982.
- [10] D.N. Deutsch, "A dog-leg channel router," *Proc. 13rd. DAC*, pp. 425-433, 1976.
- [11] 姜寅, "VLSI 의 Detailed Router 開發에 關한 研究" 漢陽大學校 大學院 碩士學位 論文
- [12] Melvin. A. Breuer "Design automation of digital systems," Prentice Hall, 1972.
- [13] Aho, Ullman "The design and analysis of computer algorithms," Addison Wesley, 1974.
- [14] J. Soukup, "Fast maze router," *Proc. 15th DAC*, pp. 100-102, 1978.
- [15] 鄭正和, "Gate Array의 Detailed Router 개발," 韓國電子通信研究所 最終研究報告書, 1987.
- [16] Mead and Conway, "Introduction to VLSI system," Addison Wesley, 1980.