

# 급속 열처리 시스템의 개발 및 응용

## (Development and Application of Rapid Thermal Process System)

金潤泰\*, 鄭基鷺\*, 金豪暎\*, 金鉉泰\*, 俞炯濬\*

(Youn Tae Kim, Ki Ro Jung, Ho Young Kim, Hyun Tae Kim and Hyung Joun Yoo)

### 要約

본 연구에서는 텅스텐 할로겐 램프를 열원으로 하는 급속 열처리 시스템을 제작하였다. 시스템의 반응기 설계와 성능 분석을 위해 heating module의 모델링을 수행하였으며, 제작된 시스템으로 이온주입 활성화 공정과 산화막 형성 공정을 수행하여 시스템의 성능을 알아 보았고, 실제 반도체 공정에서의 응용 가능성을 예측하였다. 제작된 시스템으로 수행한 공정은 2~3%의 표면저항 균일도와 2~4%의 산화막 두께의 균일도를 나타냈다. 그러나, 오랜 시간동안 고온공정을 수행한 경우에는 thermal stress에 의한 slip line과 warpage 등이 관찰되었다.

### Abstract

In this study, we developed a proto-type RTP equipment by using tungsten halogen lamps. The system has been designed utilizing the result of the numerical analysis of the reactor. In order to analyze the system performance, experiments for activation of implanted atoms and oxidation process were performed. As a result, we obtained 2-3% uniformity in sheet resistance and 2-4% uniformity in oxide thickness, although after a long time process at high temperatures slip lines and warpage of the wafer have been observed.

### I. 서론

VLSI 회로의 형상 크기가 1 마이크로 이하로 축소됨에 따른 집적도의 증가는 반도체 소자의 횡방향의 형상 크기의 축소와 더불어 종방향 크기의 미세화를 요구하게 되어 고농도의 불순물 주입과 효율적인 열처리에 의한 junction depth를 축소시키기 위한 공정의 개발이 필요하게 되었다. 특히, MOSFET에서의 게이트와 소오스-드레인 간의 커패시턴스와 short channel 효과를 감소시키기 위하여 수직, 수평 방향의 불순물이온 확산 깊이의 감소가 필요하게 되었다.

이러한 불순물 이온들의 확산 깊이와 주입량의 정밀한 조절을 위해서 확산공정의 대응으로 이온주입공정이 사용되어 왔으나, 이때 발생하는 기관의 결정격자의 손상때문에 이를 보완할 수 있는 공정이 필수적으로 요구되게 되었다.

이온 주입에 의한 결정격자의 손상 회복과 활성화를 위한 현재의 열처리 기술은 furnace를 사용하여 1000°C 정도의 고온에서 수 십분 또는 수 시간 수행되어지고 있어, 불순물 이온의 극심한 재분포현상이 문제가 되고 있다. 특히 hyperabrupt 접합 다이오드와 buried layer 소자의 제작에 많은 문제점을 발생시키고 있다. 이러한 이유로 인하여 열처리 시간과 온도의 정밀한 조정으로 불순물 이온의 재분포를 최소화하면서 결정격자의 손상을 잘 보상하고 주입된

\*正會員, 韓國電子通信研究所 化合物半導體研究部  
(Compound Semiconductor Department, ETRI)  
接受日字: 1988年 4月 8日

불순물 이온을 충분히 활성화시킬 수 있는 급속 열처리 시스템의 개발과 이를 이용한 공정조건의 확립이 필요하게 되었다. 외국의 경우 수년 전부터 이에 대한 연구가 활발히 진행되어 실리콘<sup>1,2)</sup> 및 복합반도체<sup>3,4)</sup> 공정에 있어서의 불순물 이온의 활성화, 100 Å 규모의 얇은 게이트 절연박막의 형성<sup>5,6,7)</sup> 실리사이드 형성<sup>8,9,10)</sup> 등의 공정이 확립되어 소자 제조에 응용되고 있다. 그러나 국내에서는 아직 실험실 수준의 연구가 계속되고 있고, 제작된 시스템도 외국 장비에 비해 성능과 신뢰도 면에서 차이가 많아 현재까지 상품화되지 못하고 있다.

본 연구에서는 submicron급 소자 제조에의 응용이 가능한 급속 열처리 시스템의 제작을 위한 기초를 마련하기 위해, 공정조건과 장비의 사용자 요구조건을 최대한 만족시키는 시스템의 기초설계와, 웨이퍼의 최적 온도 균일도의 구현을 위한 heating module의 최적 조건과 시스템의 성능을 전산모사를 통하여 예측하였다. 또, 시제품 장비의 제작과 이를 이용한 공정실험으로 고성능 급속 열처리 시스템의 제작과 실제 반도체 제조공정의 응용 가능성을 알아 보았다.

II. 시스템 설계 및 제작

본 연구에서 설계, 제작한 급속 열처리 시스템의 구성도는 그림 1과 같다. 제작된 시스템은 램프의 개수와 배열 모양, 반사경의 위치, 가스의 유입량, 웨이퍼의 가열속도 및 냉각속도 등의 시스템 변수를 최대한 변화시킬 수 있게 하여 공정실험과 전산모사의 기초가 되는 설계변수들의 추출이 가능하도록 하였다. 시스템의 기능중에서 온도의 정확도, 온도의 안정성, 온도의 균일도(공정 후의 표면저항, 산화막 두께, slip line의 형성 등에 의한 측정), 온도 제어기능의 다양화 등에 역점을 두었다.

시스템의 열원으로는 텅스텐 할로겐 램프(rod type, 220 Volt-1.5KW, 19개)를 반응튜브의 상하에 평행하게 배열하여 웨이퍼의 윗면과 아랫면을 선택적으로 가열시킬 수 있게 하였다. 반응튜브로는 사각 석영튜브(semiconductor grade, 투과율 94%)를 사용하여 외부로부터의 오염을 방지하고, HCl, NH<sub>3</sub> 등의 부식성 가스의 사용이 가능하도록 하였고, 웨이퍼 캐리어와 flange도 석영 판(semiconductor grade)을 사용하여 웨이퍼 캐리어의 교환에 의해 4"~6" 웨이퍼의 loading이 가능하도록 하였다. 또, 온도

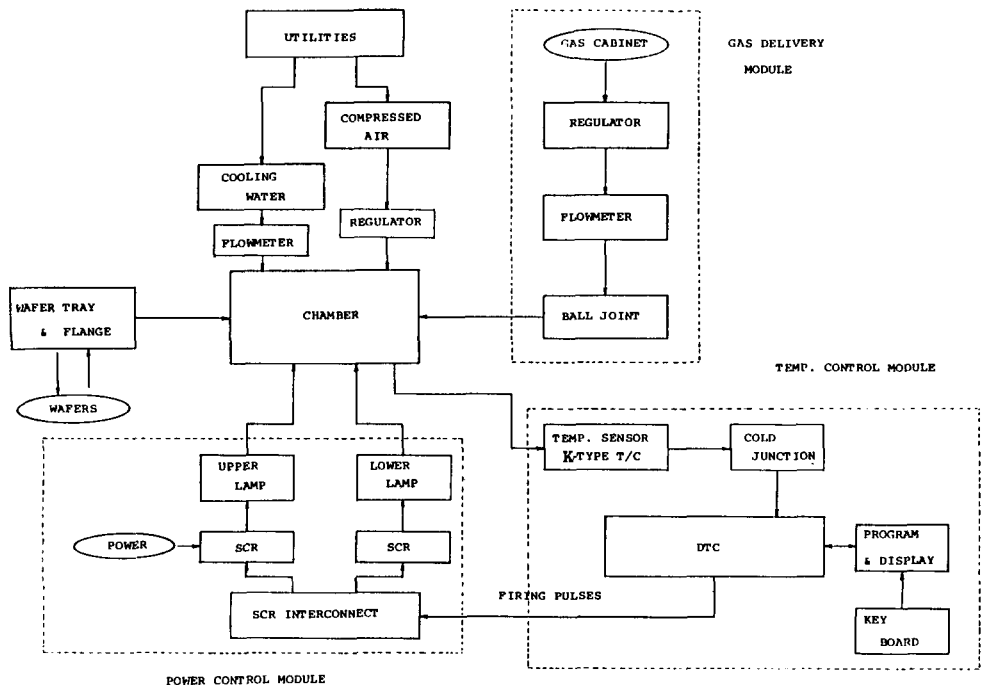


그림 1. 급속 열처리 시스템의 구성도  
Fig. 1. System block diagram of the RTP system.

의 감지를 위해서 두 선의 열전대 접촉단자를 flange에 설치하였고, 적외선 램프의 빛을 웨이퍼에 균일하게 집속시키기 위해 알루미늄판에 금을 증착하여 만든 높은 반사율의 반사경을 설치하였다. 램프, 반사경, 전극을 포함한 반응·챔버 부위의 과열방지를 위해 탈이온수를 반사경 내부에서 강제 순환시키고, 기름과 수분이 제거된 압축공기를 반사경 표면으로부터 분출시켜 냉각시켰다. 공정가스로는 N<sub>2</sub>, O<sub>2</sub>, NH<sub>3</sub> 가스를 사용할 수 있게 하여 압력조절기, 유량조절기, 차단밸브를 거쳐 ball joint를 통하여 반응 챔버에 공급되게 하였다.

제어계는 웨이퍼의 온도를 읽어 들이는 입력부, 램프에 가해지는 전력의 양을 조절하는 출력부, 그리고 입력부와 출력부를 제어하는 제어부로 구성된다. 웨이퍼 온도의 감지를 위해서 K-type 열전대(0.25 ϕ)를 사용하였으며 그 출력신호를 증폭 및 보상하여 12비트 A/D 변환기를 통해 읽어들인다. 램프에 가해지는 전력은 SCR의 위상제어를 통해 조절된다. CPU는 A/D 변환기로부터 읽어들이는 값을 선형화한 후 웨이퍼의 온도를 계산하고, 이로부터 얻어진 오차로부터 PD 제어를 수행한다. 이는 정상상태에서의 제어이며 급속한 가열과 냉각 곡선을 얻기 위해 온도 상승시와 냉각시에는 개방 루프 제어를 수행한다. 이는 실험에 의해 작성된 전력변화에 대한 온도변화율의 관계에 대한 데이터를 필요로 한다. 최적의 온도 곡선을 얻기 위해 각각의 열처리 공정은 다음의 5단계로 제어를 수행하였다.

- 1) 초기가열 : 온도 상승 효과를 좋게 하기 위한 예비단계
- 2) 급속가열 : 일정한 전력에 의한 급속한 가열단계
- 3) 도 입 : 온도 변화에서의 오버슈트를 줄이기 위한 제한 제어로 들어가기 전에 전력을 일정 비율로 감소시키는 단계
- 4) 정상상태 제어 : 센서에 의해 읽혀진 온도를 기준 입력치와 비교하여 오차를 계산한 다음, 전력의 양을 조절하는 제한 제어 단계
- 5) 급속냉각 : 전력의 감소에 의한 급속한 냉각단계

### Ⅲ. 시스템의 성능 분석

#### 1. 시스템 모델링

제작된 급속 열처리 시스템은 빠른 웨이퍼 가열속도와 냉각속도, 높은 온도균일도, 넓은 평형온도 범위, 높은 면저항 균일도 등의 사용자 요구조건을 최대한 만족시키기 위해, 빠른 응답속도에 의해 폐회로 온

도 조절이 용이하고 저온 조절특성(400~625℃)이 우수하며 효율이 85% 이상 되어 급속 열처리 시스템의 열원으로 가장 많이 사용 되어지고 있는<sup>11,12,13</sup> 텅스텐 할로겐 램프를 사용하여 적외선 가열 시스템을 구성하였다(그림 2).

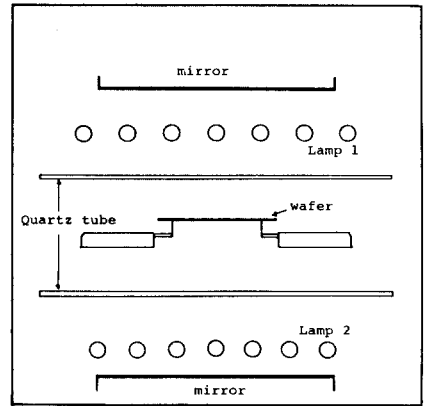


그림 2. 할로겐 램프에 의한 적외선 가열 시스템의 구성도

Fig. 2. Schematic diagram of IR heating system.

적외선 가열 시스템의 성능 분석을 위한 모델링을 위해 다음과 같이 각 모듈을 가정하였다. 즉, 반사경의 파면 왜곡과 적외광 흡수 및 열전달에 의한 반사특성의 변화는 무시하였다. 그리고, 램프의 적외선 발광원은 필라멘트의 장축선뿐이고 파장 복사분포는 회색체 분포이며, 램프 필라멘트의 고온에서의 변형과 텅스텐 증발은 무시하였다. 투과창은 순수 석영이며, 투과특성은 석영의 투과특성에 의하고, 산란 및 적외광 복사는 무시하였다. 또, 웨이퍼 지지기에서의 적외광 흡수 및 열변형과 열전대에 의한 열손실은 무시하였다. 이와 같은 모델에 의해, 웨이퍼 위의 한점에서의 적외광 조도는 그림 3과 같이 나타나고 다음의 (1)식과 같이 표현된다.

$$I = \sum_i P^\lambda T_p^\lambda \frac{\sin \theta_L}{\pi a_0^2} \left[ \frac{\theta + \sin \theta \cos \theta}{2} \right] \theta_1$$

$$I_p(T_p^\lambda, R_M^\lambda) = I + \sum_i P^\lambda T_p^{\lambda^2} R_M^{\lambda^2} \frac{\sin \theta_L'}{\pi^2 a_0^2} \left[ \frac{\theta + \sin \theta \cos \theta}{2} \right] \theta_1'$$
(1)

여기서 I<sub>p</sub>는 조도, T<sub>p</sub><sup>λ</sup>는 투과창의 투과율, R<sub>M</sub><sup>λ</sup>은

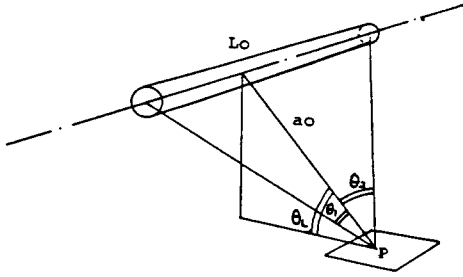


그림 3. 웨이퍼 위 한점에서의 적외광 조도  
Fig. 3. IR irradiance at a reference point on wafer.

반사경의 반사율,  $\theta_L$ 은 i 램프축과의 경사각,  $P^A$ 는 램프의 광량(필라멘트의 단위길이당),  $\theta_1, \theta_2$ 는 i 램프 양끝에서의 시각,  $a_0$ 는 수직거리,  $\lambda$ 는 파장,  $i$ 는 램프지표 등이다. (1)식의 첫째 항은 직사광, 둘째 항은 1차 반사광에 의한 조도이며, 반사경의 표면이 거울면과 같이 되어 있는 경우이다. 웨이퍼에 조사된 적외광은 실리콘 분자들이 흡수하는데, 그 흡수량은 다음의 (2)식과 같다.

$$dI_a = \int_0^1 \epsilon_\lambda P_\lambda(T) \alpha_\lambda (1-R_\lambda) I_p(T_p^A, R_\lambda^A) d\lambda dy \quad (2)$$

여기서  $dI_a$ 는 단위 체적당 흡수량,  $R_\lambda$ 는 실리콘의 반사율,  $\alpha_\lambda$ 는 실리콘의 흡수율,  $y$ 는 실리콘 내부의 깊이이다. 이와 같이 흡수된 적외광은 대부분 실리콘 분자의 격자내 진동 에너지로 변하여 웨이퍼가 가열되어 온도가 상승하고, 웨이퍼의 복사열, 웨이퍼 지지기 및 반응가스로의 열전달 등으로 일부 냉각되어 다음의 (3)식과 같은 열전달 방정식이 된다.

$$C_p^s(T) \rho_s \frac{\partial T_s}{\partial t_s} \Delta V = -\sigma_s K_s T_s^4 \Delta S_s + K_p^s \nabla^2 T_s \Delta V + Q_s \Delta V \quad (3)$$

여기서  $T_s$ 는 기관의 온도,  $\rho_s$ 는 밀도,  $C_p$ 는 열용량,  $V$ 는 체적,  $\sigma_s$ 는 복사열,  $K_s$ 는 Stephan-Boltzman 상수,  $\Delta S_s$ 는 표면적,  $K_p$ 는 열전달율,  $Q_s$ 는 단위체적당 흡수량,  $t_s$ 는 시간이다. 이밖에 웨이퍼 지지기의 열전달 방정식은 다음의 (4)식과 같다.

$$C_p^g(T) \rho_g \frac{\partial T_g}{\partial t} \Delta V_g = K_p^g(T) \nabla^2 T_g \Delta V_g \quad (4)$$

(이 모델링에서는 반응가스의 열전달과 열대류 및 복사열 등은 무시하였다.)

(1)식의 적외광 조도 분포, (2)식의 적외광 흡수, (3)식 및 (4)식의 웨이퍼 주위의 온도분포 등의 지배

방정식을 수치해석하여, 제작된 급속 열처리 시스템의 성능을 다음과 같이 분석하였다.

2. 성능 분석

램프의 높이에 따른 적외광 조도의 세기를 식(1)에 의해 계산하면 그림 4와 같이 거리에 반비례하여 변화함을 알 수 있었다. 또, 조도의 세기를 조절하기 위해 램프에 입력되는 전력을 변화시키면 램프온도가 변하여 적외광의 복사량이 달라지는데 램프온도에 따른 웨이퍼의 적외광 흡수량의 변화는 (2)식에 의해 그림 5와 같이 필라멘트의 온도에 따라 지수함수적으로 증가함을 알 수 있었다. 흡수된 적외광에 의한 웨이퍼의 가열 현상은 (3)식에 따라 그림 6과 같이 나타나는데 이 결과에 의하면 적외광 흡수량이 100, 200, 400 W/cm<sup>2</sup> 일 때 평형온도는 900K, 1100K, 1300K, 초기 가열속도는 70K/sec, 140K/sec, 280 K/sec 이다. (이 때 사용된 수치해석 방법은 유한 차분법을 사용하였다.) 웨이퍼의 온도균일도는 적외광 조도분포와 웨이퍼 지지기의 구조에 따라 크게 달라진다.

제작된 적외광 가열 시스템의 최대 단점은 직선형 램프를 사용하기 때문에 적외광의 조도분포를 균일하게 하는데 한계점이 있다는 것이다. 이의 해결을 위해 램프 배열의 변화에 의한 온도 균일도의 변화를 알아 보았다. 램프의 배열을 등간격으로 하였을 때 적외광의 조도분포와 준평형 상태에서의 온도분포는 그림 7과 같이 되어 온도균일도가 0.6%에 이른다. 이와 같은 현상을 고려하여 램프간격을 웨이

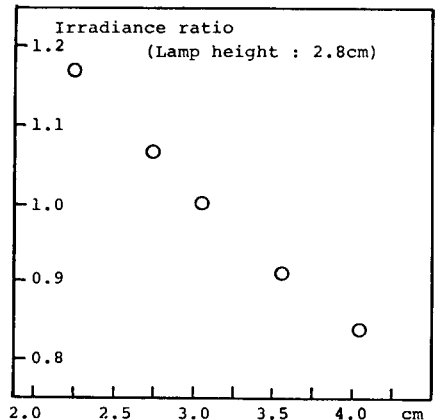


그림 4. 램프 높이의 변화에 따른 적외광 조도세기의 변화

Fig. 4. Irradiance variation of the wafer(center) dependent on lamp height.

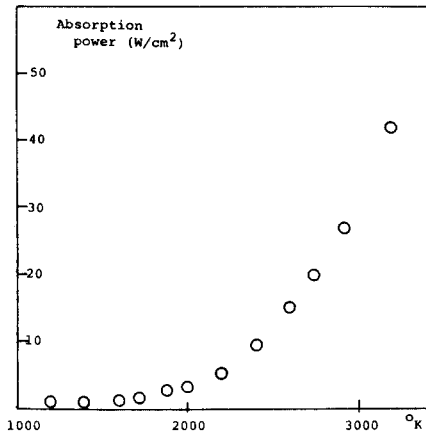


그림 5. 램프 필라멘트 온도의 변화에 따른 웨이퍼의 적외광 흡수량의 변화

Fig. 5. IR absorption of the silicon wafer for lamp filament temperature.

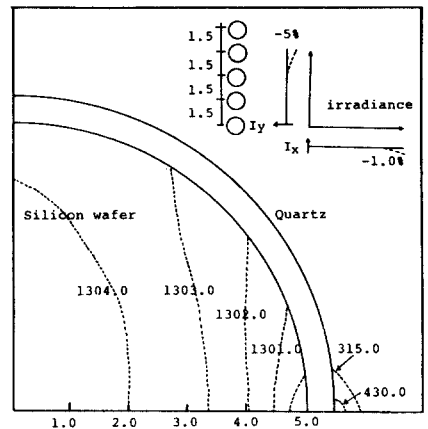


그림 7. 등간격 램프배열에서의 웨이퍼내 온도분포  
Fig. 7. Temperature profile in wafer for equal spaced lamp arrangement.

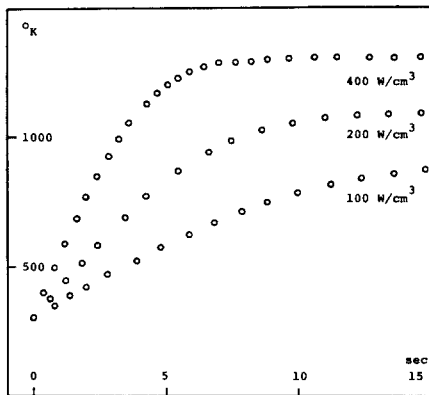


그림 6. 적외광 흡수에 의한 웨이퍼의 가열곡선  
Fig. 6. Time-temp. profile of wafer heating for several IR absorption powers.

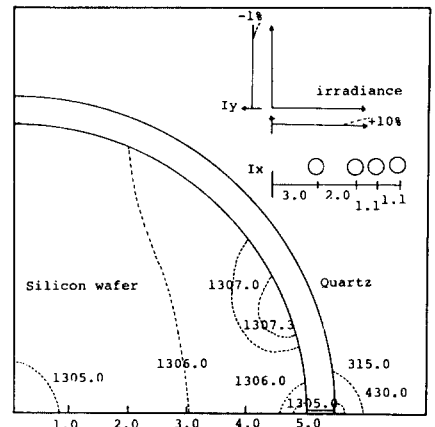


그림 8. 최적 램프배열에서의 웨이퍼내 온도분포  
Fig. 8. Temperature profile in wafer for optimized lamp arrangement.

퍼의 양 끝단에서 조도가 높아지도록 조정하면 그림 8 과 같이 0.2%이내의 좋은 온도균일도를 가지게 된다. 또한 그림 9 는 램프의 점등시부터 소등시까지의 웨이퍼의 온도 변화에 대한 이론적 분석 결과와 열전대에 의해 측정할 실제 웨이퍼의 온도를 비교하여 나타내고 있는데, 두 결과가 거의 일치하게 나타나고 있어 웨이퍼 온도 및 적외광 램프 체계 등의 이론적인 모델링이 적절하게 수행되었음을 알 수 있다.

#### IV. 공정 실험

본 연구에서는 제작된 급속 열처리 시스템의 성능 시험과 공정조건의 확립을 위해 불순물 이온의 활성화와 절연박막 물질의 형성에 관한 실험을 수행하였다. 불순물 이온의 활성화와 실험에 사용한 웨이퍼는 p형, 4inch, <100>, 6~9 ohm-cm 를 사용하였다. 불순물 이온의 주입은 As를 100 KeV 로 각각 6종류의 dose로 주입시켰고, 열처리는 950~1150°C 에서 10초 간 실시하였다. 그림10은 대표적인 1100°C, 10초 공

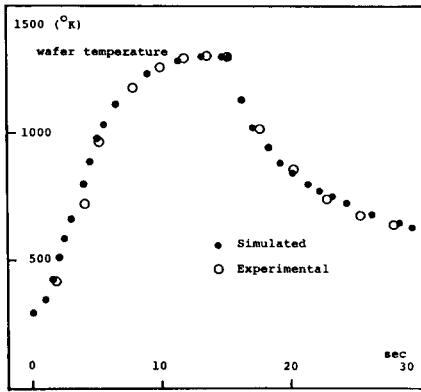


그림 9. 웨이퍼의 실제 온도와 수치해석에 의한 온도의 비교곡선

Fig. 9. Comparison of simulated wafer temperature with the experimental measurements (wafer center, 15 sec heating, lamp temperature : 2600K).

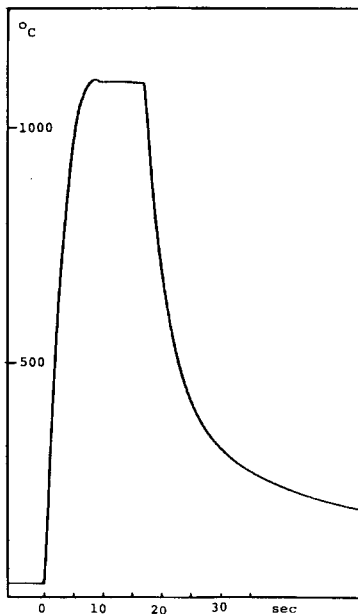


그림10. 1100°C, 10초 공정의 온도 곡선

Fig. 10. Time-temp. profile of 1100°C, 10 sec anneal.

정의 온도곡선을 나타내고 있다. 이때 분위기 가스로는 N<sub>2</sub> 를 사용하였고 유량은 2.5 liter/min 였다.

실험의 결과를 통하여 이온주입 활성화 공정에의 응용과 온도 균일도를 알아 보기 위해 표면저항과

균일도를 four point probe와 Omnimap 시스템으로 측정하였다. 그림11은 As를 2E16, 5E15 atoms/cm<sup>2</sup> 로 주입한 웨이퍼를 1100°C, 10초 열처리한 후의 표면저항을 Omnimap 시스템으로 mapping 한 것이다. 그림11의 a와 c같이 램프배열을 등간격으로 한 경우, 램프 방향과 수직인 방향의 가장자리 부분이 표면저항이 높게 나타나므로 이 부위에서 웨이퍼의 온도가 상대적으로 낮았음을 알 수 있다. 이때 표면저항의 편차는 7~9%로 나타났다. 또, 그림11의 b와 d같이 램프 배열을 웨이퍼 양 끝단의 조도가 높아지도록 배열한 경우, 표면저항의 편차는 2~3%로 개선되고 있다. 이러한 결과로 앞에서 언급한 램프배열의 변화에 따른 이론적인 온도균일도의 분석에서 양 끝단의 조도가 높아지도록 램프 배열을 조정할 경우 온도 균일도가 월등히 개선된 결과와 잘 일치하고 있다. 또한, 본 연구에서 제작한 시스템의 웨이퍼내 온도 균일도가 3% 이내로 대체로 양호함을 알 수 있는데, 이는 상업용으로 제작된 기존의 외국

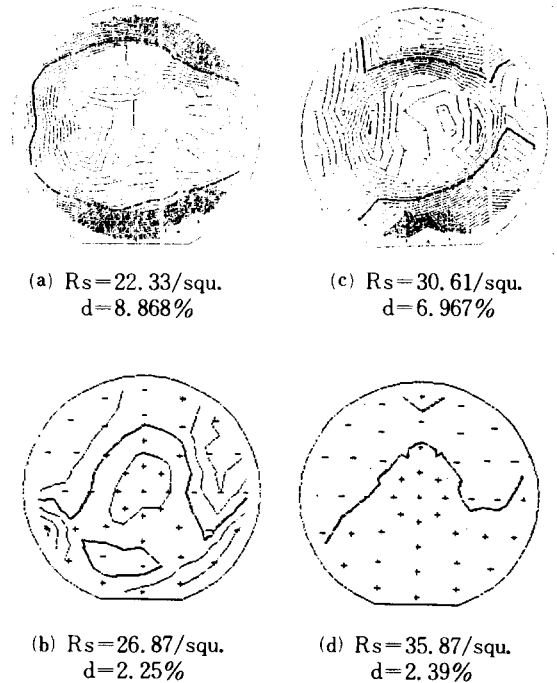


그림11. As 이온주입 웨이퍼의 활성화 후의 표면저항 분포도

Fig. 11. Resistivity distribution maps of the As implanted wafers (a, b : 2E16 atoms/cm<sup>2</sup>, 100 KeV, c, d : 5E15 atoms/cm<sup>2</sup>, 100 KeV) after RTA (1100°C, 10 sec).

장비를 사용한 결과(표면저항의 편차: 0.5~1%) 보다 크게 뒤떨어진 결과이다. 또, 그림12는 열처리 온도의 변화에 따른 이온주입 웨이퍼의 표면 저항의 변화를 나타낸 것이다. 그림에서  $5E15$  atoms/cm<sup>2</sup> 이하의 이온주입 웨이퍼는 1000°C 이상의 열처리 온도에서 면저항의 변화가 거의 없는 것으로 나타나 모든 dose의 범위에서 1000°C, 10초 이상의 열처리로 불순물 이온들이 완벽하게 활성화됨을 보여 주고 있다. 그러나,  $5E15$  atoms/cm<sup>2</sup> 이상의 고농도 이온주입에서는 온도의 증가에 따라 표면저항이 점차 감소하고 있는데 이는 이온 주입한 As 원자의 확산에 의한 substitutional percentage의 증가에 의한 것으로 여겨진다. 이와 같은 결과는 그림13의 이온주입 농도의 변화에 따른 활성화 후의 표면저항의 변화의 결과에서도 잘 나타나고 있는데,  $1E16$  atoms/cm<sup>2</sup> 이상의 고농도로 이온주입된 웨이퍼의 활성화를 위해서는 1150°C 이상의 급속 열처리 온도가 요구됨을 보여 주고 있다. 또, 활성화 후의 면저항 값들이 furnace에 의한 열처리(1000°C, 30분) 후의 값보다 작거나 같게 나타나고 있는데, 이러한 결과는 기존의 장비에 의한 활성화 공정의 결과<sup>14,15)</sup>와도 잘 일치하고 있어, 본 연구에서 제작한 시스템을 불순물 이온의 활성화 공정에 효율적으로 사용할 수 있음을 알 수 있다.

또, 웨이퍼의 온도 균일도를 열산화막의 형성에 의한 산화막의 두께 측정으로 간접적으로 알아 보았

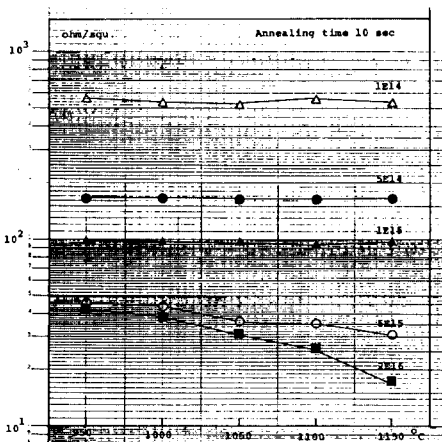


그림12. 열처리 온도에 따른 이온주입 웨이퍼의 표면저항 변화  
Fig. 12. Sheet resistivity of As implanted samples as a function of RTA temp.

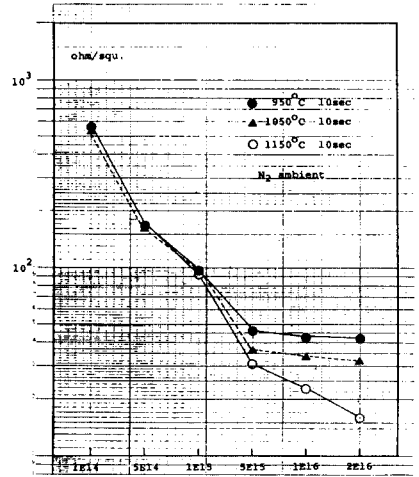
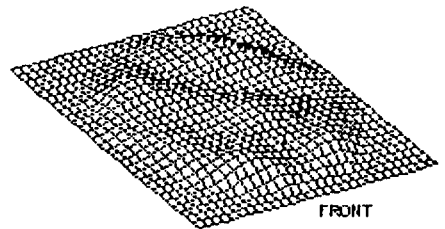
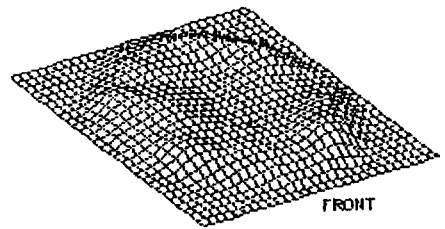


그림13. 이온주입 웨이퍼의 불순물 농도의 변화에 따른 활성화 공정 후의 표면저항의 변화  
Fig. 13. Dose dependance of sheet resistance  $R_s$  in As implanted samples (100 KeV) after RTA.

DATE: 18/17/1997  
SAMPLE#: 01-4  
BASE THICKNESS: 199  
MEAS. DIAMETER: 98  
SCALE: 1



(a) Average : 249Å  
Uniformity : 2.71%



(b) Average : 240Å  
Uniformity : 3.79%

그림14. 1100°C, 30초 산화막 형성 공정에 의한 산화막 두께 분포  
Fig. 14. Thickness profiles of the oxide films after 1100°C, 30 sec oxidation.

다. 그림 14는 dry O<sub>2</sub> 분위기에서 1100°C, 30초 산화시킨 4" 실리콘 웨이퍼의 산화막 두께를 ellipsometer를 사용하여 mapping 한 것이다. 산화막 두께는 240 Å 정도로서 급속 열처리에 의해 산화막 형성이 매우 급격하게 일어남을 알 수 있다. 이와 같은 현상은 빛이 3 eV 이상의 photon 에너지를 가질 때 산화막의 성장속도가 증가하는 현상과, 웨이퍼의 급속한 가열에 기인한 것으로 예측된다. 이때 산화막 두께의 편차는 2~4%로 나타나 시스템의 웨이퍼의 온도 균일도가 대체로 양호함을 보여주고 있다.

## V. 결 론

텅스텐 할로겐 램프를 열원으로 사용하여 급속 열처리 시스템을 시험 제작하였고, 시스템의 성능분석을 위한 모델링을 수행하여 제작장비의 최적조건과 성능을 이론적으로 분석하였으며, 이온주입 활성화 공정과 산화막 형성 공정을 수행하여 시스템의 실제 성능과 비교분석하였다. 시스템의 최대 웨이퍼 가열 속도는 170~180°C/sec, 냉각 속도는 80~100°C/sec 였다. 이온주입 활성화 공정후의 표면저항 균일도는 2~3%, 산화막 형성공정 후의 두께의 균일도는 2~4%로 나타났다. 그러나, 1000°C, 30초 이상의 고온 공정에서는 slip line 과 warpage 등의 thermal stress에 의한 영향이 나타나, 웨이퍼의 온도 균일도의 향상과 더불어 이에 대한 연구가 계속되어야 할 것이다.

## 參 考 文 獻

- [1] J. Narayan, "Rapid thermal annealing of ion-implanted semiconductors," *J. Appl. Phys.* 56(10), pp. 2913-2921, Nov. 1984.
- [2] S.R. Wilson, "Rapid isothermal annealing of As-, P-, and B- implanted silicon," *J. Appl. Phys.* 55(12), pp. 4162-4170, June 1984.
- [3] J. Wagner, "Effect of rapid thermal annealing on ion-implanted and neutron-transmutation doped GaAs," *J. Appl. Phys.* 61(8), pp. 3050-3054, April 1987.
- [4] M.D. Biedenbeuder, "Rapid thermal annealing of indium phosphide compound

semiconductors," *J. Vac. Sci. Technol. A* 5(4), pp. 1437-1441, Jul/Aug. 1987.

- [5] J. Nulman, "Electrical and structural characteristics of thin nitrided gate oxides prepared by rapid thermal nitridation," *Technical Digest of IEEE International Electron Devices Meeting, San Francisco, CA.* pp. 169-172. Dec. 1984.
- [6] J. Nulman, "Rapid thermal nitridation of thin thermal silicon dioxide films," *Appl. Phys. Lett.* 47(2), pp. 148-150, July 1985.
- [7] J. Nulman, "Rapid thermal processing of thin gate dielectrics. Oxidation of silicon," *IEEE Electron Device Letters*, EDL-6(5), pp. 205-207, May 1985.
- [8] D.L. Kwong, "Composite TaSi<sub>2</sub>/n+ poly-Si formation by rapid thermal annealing," *IEEE Electron Device Letters*, EDL-5(5), pp. 133-135, May 1984.
- [9] T. Yachi, "Formation of a TiSi<sub>2</sub>/n+ poly-Si layer by rapid lamp heating and its application to MOS devices," *IEEE Electron Device Letters*, EDL-5(7), pp. 217-220, July 1984.
- [10] D. Pramanik, "Formation of a titanium silicide rapid thermal annealing," *Semiconductor International*, pp. 94-100, May 1985.
- [11] J. Kato, "Rapid annealing of tungsten polycide films using halogen lamps," *J. Electrochem. Soc.*, pp. 794-798, April 1986.
- [12] K. Nishiyama, "Radiation annealing of boron-implanted silicon with a halogen lamp," *Jap. J. Appl. Phys.* 19(10), pp. 1563-1566, Oct. 1980.
- [13] J. Kato, "Rapid annealing using halogen lamps," *J. Electrochem. Soc.*, pp. 1145-1152, May 1986.
- [14] S.R. Wilson, "Rapid isothermal anneal of 75As implanted silicon," *Appl. Phys. Lett.*, 41 (10), pp. 978-980, Nov. 1982.
- [15] B.Y. Tsaul, "Transient annealing of arsenic-implanted silicon using a graphite strip heater," *Appl. Phys. Lett.*, 39(1), pp. 93-95, July 1981. \*



著 者 紹 介



金 潤 泰(正會員)

1957年 4月 15日生. 1980年 아주대학교 전자공학과 학사학위 취득. 1983年 2月 아주대학교 대학원 전자공학과 석사학위 취득. 1983年 ~1984年 아주대학교 전자공학과 조교. 현재 한국전자통신연구소 화합물반도체 연구부 공정장비연구실 재직. 주관심분야는 RTP, Photo-CVD, R/M CVD 등의 반도체 공정연구 및 공정장비개발분야등임.



金 鉉 泰(正會員)

1956年 9月 27日生. 1979年 2月 서울대학교 재료공학과 졸업. 1985年 2月 한국과학기술원 재료공학과 박사학위 취득. 1985年 ~현재 한국전자통신연구소 반도체기술연구단 선임연구원. 현재 일본 동경대학에서 초격자구조에 관한 국제 공동연구 수행중. 주관심분야는 반도체제조공정기술 및 초격자 구조 응용기술 분야등임.



鄭 基 鸞(準會員)

1963年 5月 27日生. 1986年 2月 서울대학교 제어계측공학과 졸업. 1986年 2月 ~현재 한국전자통신연구소 화합물반도체 연구부 공정장비 연구실 재직. 주관심 분야는 공장자동화(FA)등임.



俞 炯 濂(正會員)

1953年 5月 30日生. 1979年 8月 서울대학교 물리학과 졸업 이학사 학위 취득. 1986年 3月 ~현재 한국과학기술원 물리학과 재학중. 1979年 ~1982年 국방과학연구소연구원. 1983年 ~현재 한국전자통신연구소 반도체 기술연구단 선임연구원. 현재 일본 동경대학에서 고온초전도체의 microelectronics 분야에의 응용을 위한 국제공동연구수행중. 주관심분야는 반도체 신공정 및 장비개발, 고온초전도체 분야등임.



金 豪 暎(正會員)

1956年 1月 22日生. 1978年 2月 서울대학교 물리학과 졸업 이학사 학위 취득. 1983年 2월 한국과학기술원 물리학과 졸업 이학석사 학위 취득. 1978年 3月 ~1987年 2月 대전기계청 선임연구원. 1987年 3月 ~현재 한국전자통신연구소 집적회로개발부 공정개발실 재직. 주관심분야는 반도체 공정 및 장비개발 분야, 반도체소자제조분야 등임.