

계층 구조와 Incremental 기능을 갖는 MOS 회로 추출기

(A Hierarchical and Incremental MOS Circuit Extractor)

李建培*, 鄭正和*

(Keon Bae Lee and Jong Wha Chong)

要 約

본 논문에서는 계층 구조를 갖는 마스크 도면으로부터 설계 검증을 위한 회로도 추출하는 MOS 회로 추출기(MOS circuit extractor)를 제안한다.

계층 구조의 회로가 갖는 회로의 규칙성과 회로 표현의 간결성을 이용하고 설계, 검증, 수정이 반복되는 설계 수정 사이클의 시간을 단축시키기 위하여 계층(hierarchy) 구조와 incremental 기능을 갖는 회로 추출 알고리즘을 제안한다.

Flat 회로 추출에서는 multiple storage quad tree 데이터 구조를 이용한 회로 추출 알고리즘을 사용하였으며, 계층 구조의 장점을 이용하여 incremental 회로 추출이 가능하게 함으로써 회로의 일부가 변경되는 경우 회로 재 추출 시간을 감소시킨다.

Abstract

This paper proposes a MOS circuit extractor which extracts a netlist from the hierarchical mask information, for the verification tools.

To utilize the regularity and the simple representation of the hierarchical circuit, and to reduce the debug cycle of design, verification, and modification, we propose a hierarchical and incremental circuit extraction algorithm.

In flat circuit extraction stage, the multiple storage quad tree is used as an internal data structure.

Incremental circuit extraction using the hierarchical structure is made possible, to reduce the re-extraction time of the modified circuit.

I. 서 론

최근 집적 회로의 복잡도가 증가하고 회로의 규모가 대형화 됨에 따라 설계 자동화가 필수 불가결하

게 되었고 설계상의 오류를 검증하기 위한 검증(verification) 시스템의 필요성도 크게 대두되었다.

설계, 검증, 수정의 단계를 반복하는 집적 회로 설계 사이클에서 설계된 레이아웃 마스크 도면을 검증하기 위해서는 마스크 도면 정보인 CIF⁽¹⁾로부터 회로 시뮬레이션이나 타이밍 해석등과 같은 검증 도구의 입력 형태에 알맞은 회로도를 추출해야 하므로

*正會員, 漢陽大學校 電子工學科
(Dept. of Elec. Eng., Hanyang Univ.)
接受日字: 1988年 5月 24日

회로 추출기는 검증 시스템의 초기 단계에서 사용된다.

일반적으로 VLSI 레이아웃 도면은 계층 구조와 규칙적인 반복 구조로 구성되어 있으므로 회로 표현의 간결성과 회로의 규칙성과 같은 계층 구조의 장점을 이용하기 위해서는 계층 구조의 회로로부터 회로도도를 추출할 수 있는 회로 추출 기능이 필요하다. 전체가 마스크 레벨로만 구성된 셀로부터 회로를 추출하는 flat 회로 추출 방식과는 달리, 계층 구조의 셀은 회로내에 여러 레벨의 sub 셀을 포함하고 있으므로 계층 구조의 셀을 추출하는 경우, 중복 사용되는 기본 셀들만을 추출한 후 추출된 셀들간의 연결 상태를 추출함으로써 회로 추출 시간을 단축시킬 수 있으며 계층 구조의 회로 표현이 간결하므로 적은 메모리를 사용하여 회로를 기술할 수 있는 장점이 있다.

Flat 회로 추출기^[2~4]는 계층 구조의 셀을 추출하기 위해서 계층 구조의 셀을 마스크 도형 정보만을 포함하는 셀로 변환한 후 회로를 추출한다. 이 방법은 회로 추출 알고리즘의 실현이 용이하나, 계층 구조의 장점을 이용할 수 없으므로 회로의 일부가 수정되는 경우 전 회로를 재 추출하는 단점이 있으며 계층 구조의 셀을 마스크 레벨로 변환해 주는 단계가 선행되어야 한다.

계층 구조의 셀을 처리하는 회로 추출기중 IV^[5]는 셀간의 교차를 허용하지 않으므로 설계상의 제약 조건이 부가되어야 하며, HPEX^[6]는 교차하는 sub 셀들만을 마스크 도형으로 변환하여 회로를 추출하므로 최악의 경우로서 모든 sub 셀이 교차하는 경우에는 전체 셀을 마스크 평면으로 변환하는 단점이 있다. 교차하는 계층 구조의 셀을 처리하기 위해 disjoint transform^[7]을 사용하는 경우, 셀내에서 sub 셀들의 위치가 변경되거나 회로의 일부가 수정될때마다 disjoint transform을 다시 적용해야 하므로 회로의 재 추출시 과도한 시간이 소요된다.

또한, 집적 회로가 복잡해지고 크기가 커짐에 따라 회로 추출에 많은 시간이 소요되므로 회로가 일부 수정되는 경우에 회로를 전체적으로 재 추출하는 것은 과도한 설계 시간이 소요된다. 따라서, 일부 수정된 회로에 대해 수정된 부분만을 재 추출하는 incremental 회로 추출을 수행하는 경우 전체 설계 사이클의 시간을 단축시킬 수 있다.

본 논문에서는 계층 구조의 셀을 처리하고, 회로의 재 추출 시간을 감소시키기 위한 incremental 기능을 갖는 MOS 회로 추출기를 제안한다.

계층 구조 내에서 sub 셀들간의 부분적인 교차를

허용하고 부분적으로 교차한 셀들은 interaction 영역에서의 연결 상태를 조정함으로써 계층 구조의 셀을 전부 마스크 도형으로 변환하지 않고 추출된 sub 셀의 회로 정보를 이용하여 회로를 추출할 수 있으며, incremental 방식의 회로 추출이 가능하게 함으로써 회로가 일부 수정되는 경우 변경된 부분에 대해서만 회로를 재 추출하므로 회로 재 추출 시간을 감소시킬 수 있다.

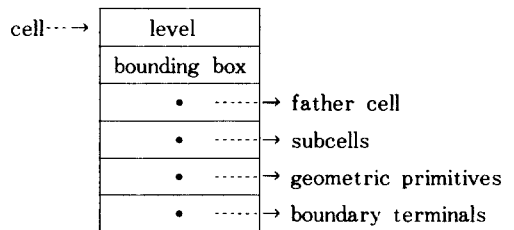
회로 추출 알고리즘에서 많이 필요로 하는 주변 정보 탐색을 빠른 시간내에 행하기 위해 계층 구조의 셀을 multiple storage quad tree^[8] 데이터 구조로 표현하고, flat 회로 추출 기능에는 multiple storage quad tree 구조를 이용한 flat 회로 추출 알고리즘^[9]을 사용한다.

II. 계층적 회로 추출

1. 계층 구조의 표현과 데이터 구조

계층 구조의 셀은 sub 셀들과 마스크 도형 정보, 셀 경계상의 터미널 정보로 구성된다. Sub 셀은 셀의 bounding box로 표현되며 셀 경계상의 터미널 정보는 셀 경계상에 존재하는 터미널의 위치와 이름, 마스크 층의 정보등을 갖는다.

계층 구조의 셀이 갖는 정보는 다음과 같다.



회로 추출 알고리즘에서 가장 많이 사용되는 주변 정보의 탐색을 빠른 속도로 수행하기 위해서 계층 구조의 셀을 multiple storage quad tree^[8]의 데이터 구조로 표현한다.

본 논문의 회로 추출기는 노드 모델^[10]을 사용하여 회로를 표현한다.

노드는 트랜지스터 간 또는 트랜지스터와 연결된 영역 중 등전위를 형성하는 영역으로 나타낸다. 노드 모델은 하나의 노드가 하나의 저항값과 캐패시턴스 값을 가지므로 RC 회로망 표현법^[2,6]에 비해 회로를 간단하게 표현할 수 있어 회로가 복잡하고 대형화됨에 따라 널리 사용되고 있다.

계층 구조를 갖는 각 셀내의 노드는 고유의 노드 이름을 가지므로 이 노드들에 계층 구조의 노드 이

름을 부여한다. Sub 셀내의 노드 이름은 그 sub 셀을 포함하는 parent 셀로의 path와 sub 셀내에서의 주어진 노드 이름으로 구성된다. 예로서, root 셀이 셀 B를 포함하고 셀 B는 셀 C를 포함하는 경우, 셀 C내의 노드가 a의 노드 이름이 부여되면 노드 이름은,

$$\text{node name} = \text{cell B/cell C/a}$$

로 표현된다.

2. 계층 구조 회로 추출

Flat 회로 추출기는 단지 마스크 도형 정보만을 갖는 셀로부터 등가의 회로도도를 추출하는데 사용되며, 회로 연결도 추출 단계와 회로 파라미터 계산 단계의 2과정으로 구성된다. 회로 연결도 추출 단계는 셀 내의 트랜지스터를 인식하고 트랜지스터 터미널 간의 연결상태를 추출하여 회로 연결도를 추출하며 회로 파라미터 계산 단계에서는 기생 저항과 기생 캐패시턴스 값을 계산한다.

계층 구조의 셀은 마스크 도형과 sub 셀을 포함하고 있으므로 flat 회로 추출 기능뿐만 아니라 계층 구조내의 sub 셀을 처리하기 위한 추가의 기능이 필요하다.

본 논문의 계층 구조 회로 추출은 bottom-up 방식으로 수행된다. 우선 셀이 포함하고 있는 sub 셀을 추출한 후 추출된 sub 셀의 회로 정보와 셀내의 마스크 정보로부터 회로도도를 추출한다. 이때, 추출된 sub 셀은 sub 셀 단위로 저장되며 sub 셀의 내부가 변경되지 않는한 추출된 회로 정보는 변하지 않는다.

본 논문의 계층 구조 회로 추출은 계층 구조상의 다음과 같은 2 가지 특성을 갖는다.

1) 계층 구조 셀내에서 sub 셀들간에 부분적인 교차를 허용한다.

부분적인 교차는 sub 셀들간의 교차에 의해 새로운 트랜지스터가 생성되거나 기존의 트랜지스터가 소멸되지 않도록 하는 교차를 의미한다. 계층 구조의 셀들간의 인접뿐만 아니라 부분적인 교차를 허용함으로써 회로 설계상의 제약 조건을 완화하고 sub 셀들이 교차하는 영역을 처리하기 위하여 interaction 영역을 정의하고 interaction 영역내에서 교차한 sub 셀들간의 상호 관계를 계산함으로써 disjoint transform⁽⁷⁾을 적용하지 않고도 계층 구조의 셀로부터 회로 추출이 가능하다.

2) 셀내의 sub 셀들간의 교차나 인접에 의해 발생한 sub 셀 내부와 외부와의 연결 상태는 그 sub 셀들을 포함하고 있는 parent 셀에서 조정하며 이로인한 회로 파라미터 값의 변화도 parent 셀에서 재 조

정해 준다. 따라서, sub 셀이 parent 셀내에서 어떻게 사용되었는가의 정보를 sub 셀이 가질 필요가 없으며 sub 셀은 그 내부가 변경되지 않는 한 추출된 회로 정보가 변경되지 않으므로 이 정보를 그대로 이용할 수 있다.

설계 법칙에 의해서 서로 다른 마스크 층간에 상호 전기적인 영향을 미치지 않는 간격을 T라 할때, 그림 1 과 같이 sub 셀간 또는 sub 셀과 도형들이 접하거나 교차하는 영역보다 T만큼 큰 영역을 interaction 영역으로 정의한다.

Interaction 영역내에 존재하는 모든 마스크 도형들에 대해서만 연결도와 회로 파라미터 값을 재 조정함으로써 parent 셀에서 이미 추출된 sub 셀의 전부를 마스크 도형으로 변환하지 않고 회로의 추출이 가능하다.

Sub 셀이 접하거나 교차하는 영역인 interaction 영역을 처리하는 과정은 크게 2 과정으로 이루어진다.

Interaction 영역을 윈도우(window)로 하여 이 영역내에 존재하는 도형들에 대해서 첫째, 접하거나 교차함에 의해서 두 노드가 등전위가 되는 경우 노드간의 연결 상태를 조정하고 둘째, 기생 저항, 기생 캐패시턴스와 같은 회로 파라미터 값의 변화를 재 조정한다.

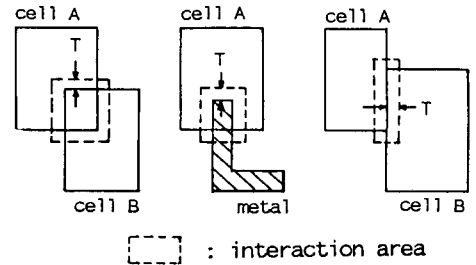


그림 1. Interaction 영역
Fig. 1. The interaction area.

(1) 회로 연결도 추출

셀내의 트랜지스터를 탐색하고 트랜지스터 간의 연결 상태를 추출하기 위하여 셀내의 마스크 도형들에 노드 이름을 부여한다. Sub 셀은 이미 추출되어 있으므로 부여된 노드 이름과 sub 셀의 회로 정보를 이용하여 연결도를 추출한다.

Sub 셀들간 또는 sub 셀과 마스크 도형이 접하거나 교차하는 부분을 처리하기 위하여 interaction 영

역을 윈도우로 설정하고 영역 탐색에 의해 이 영역 내에 존재하는 모든 마스크 도형을 찾는다. 탐색된 마스크 도형에 부여된 노드 이름으로부터 등전위를 점검하여 회로의 연결 상태를 조정한다.

Interaction 영역내의 연결상태를 조정하기 위하여 sub 셀들이 접하거나 교차함으로써 sub 셀내의 노드와 다른 sub 셀의 노드가 등전위를 형성하는 경우에는 2sub셀을 포함하고 있는 parent셀에서 2노드가 동일한 노드라는 정보를 저장한다. 그림2와 같이 sub셀 A와 B가 교차하거나 인접해서 노드 i와 노드 j가 등전위를 형성하면 parent 셀에서 노드 i와 노드 j를 같은 노드로 취급한다.

또한, 본 논문의 계층 구조는 sub 셀들간 또는 sub 셀과 마스크 도형간의 부분적인 교차만을 허용하므로 interaction 영역내의 마스크 도형에 대해 polysilicon과 diffusion의 교차에 의한 트랜지스터의 생성이나 트랜지스터와 contact의 교차에 의한 트랜지스터의 소멸등을 점검한다.

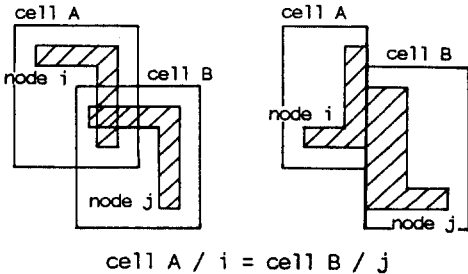


그림 2. Sub 셀의 교차 또는 인접에 의한 연결 상태의 조정

Fig. 2. The adjustment of connection by a overlap or abutment between subcells.

(2) 회로 파라미터 값의 계산

회로 파라미터 값을 계산하기 위하여 셀내의 마스크 도형들에 대하여 면적과 주변길이를 구한 후, 기생 캐패시턴스 값을 계산하고 기생 저항값을 근사화에 의해 구한다.^[9] Sub 셀의 회로 파라미터는 이미 sub 셀의 추출 단계에서 계산되므로 계층 구조의 셀을 추출하기 위하여 셀내의 마스크 도형과 이미 추출된 sub 셀의 파라미터 값을 이용한다.

회로 파라미터를 계산하는 과정에서 interaction 영역을 처리하기 위해 sub 셀들간 또는 sub 셀과 마스크

크 도형간의 교차나 인접함에 의해 변형된 노드 또는 이웃하는 노드간의 회로 파라미터 값을 재 조정한다.

(가) 접지 캐패시턴스의 조정

Sub 셀들이 접하거나 교차하여 발생한 노드의 형태 변화에 따라 면적에 비례하는 접지 캐패시턴스 값을 재 조정한다. 그림 3의 sub 셀 A, B가 교차하여 노드 i와 노드 j가 동일한 노드가 되는 경우, 노드의 실제 면적은 2노드의 합에서 교차한 면적을 제거한 면적과 같으므로 접지 캐패시턴스는 2노드의 캐패시턴스 값의 합에서 중복된 면적에 비례하는 접지 캐패시턴스를 제거한 값과 같다.

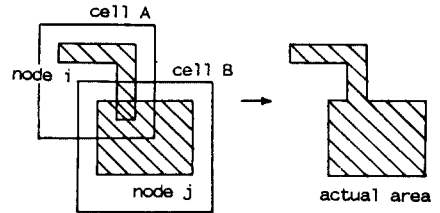


그림 3. Sub 셀의 교차에 의한 접지 캐패시턴스의 재 조정

Fig. 3. The adjustment of ground capacitance by a overlap between subcells.

(나) 결합 캐패시턴스의 고려

Sub 셀들이 접하거나 교차함으로써 서로 다른 노드간에 발생하는 결합 캐패시턴스를 고려한다. 그림 4에서 교차한 2 sub 셀의 노드 i와 노드 j가 서로 다른 마스크 층인 경우, 노드 i와 노드 j간에는 교차한 면적에 비례하는 결합 캐패시턴스가 발생하며 2 sub 셀을 포함하는 parent 셀에서 2노드간의 캐패시턴스 정보를 저장해야 한다.

2 sub 셀이 접하여 2 sub 셀의 노드간에 결합 캐패시턴스가 발생하는 경우 sub 셀 전체를 결합 캐패시턴스의 발생 가능한 영역으로 점검하지 않고 interaction 영역에 대해서만 결합 캐패시턴스의 발생을 점검한다.

(다) 기생 저항의 조정

Sub 셀들이 접하거나 교차함으로써 변화된 기생 저항값을 조정한다.

Sub 셀의 추출 단계에서 이미 계산된 2노드의 기생 저항값을 이용하여 새로 형성된 노드의 저항값을 계산하는 경우, 그림5(a)와 같이 2노드 i와 j가 직

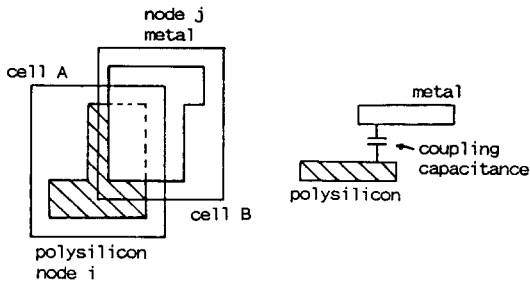


그림 4. 노드간의 결합 캐패시턴스
Fig. 4. The coupling capacitance between nodes.

렬로 연결되면 변형된 노드의 저항값은 2 배가 되고, 그림5(b)와 같이 병렬로 연결되면 저항값은 반으로 감소한다. 이처럼 노드의 형태 변화에 따라 저항값이 변하게 되므로 단순히 2 노드의 저항값의 가감으로 새로 형성된 노드의 저항값을 계산할 수 없다. 또한, 직렬, 병렬과 같은 노드의 연결 상태를 계산하는 것은 매우 복잡하다.

따라서, 그림6(a)와 같이 서로 다른 2 노드 i와 j가 연결되어 2 노드가 등전위로 되면 새로 형성된 노드의 주변길이(perimeter)와 면적(area)을 계산한 후 변경된 주변길이와 면적을 이용하여 직사각형 근사화^[10]에 의해 저항값을 계산하면 그림6(b)와 같다. 이때, 직사각형 근사화에 의해 저항값을 근사화하면 branch 노드의 경우 큰 오차가 발생하므로 변형된 노드를 구성하는 도형들에 대해 Maze 알고리즘을 적용하여 실제로 전류 경로상에 존재하는 도형들을 탐색한 후 전류 경로상에 존재하는 도형들만으로 저항값을 근사화함으로써 branch 노드의 경우에 발생하는 과도한 근사 저항값을 줄일 수 있다.

3. 계층 구조 회로 추출 알고리즘

회로 추출 알고리즘은 bottom-up 방식으로 수행된다. 이는 셀이 포함하고 있는 모든 sub 셀들을 추출한 후, 추출된 sub 셀들의 정보와 셀내의 마스크 도

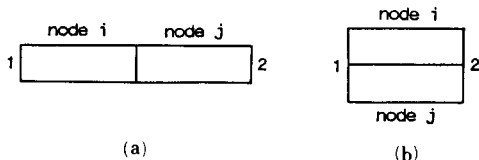


그림 5. 2 노드의 연결에 의한 저항값의 변화
(a) 직렬 연결 (b) 병렬 연결
Fig. 5. The variation of the resistance value by a connection of 2 nodes.
(a) series connection. (b) parallel connection

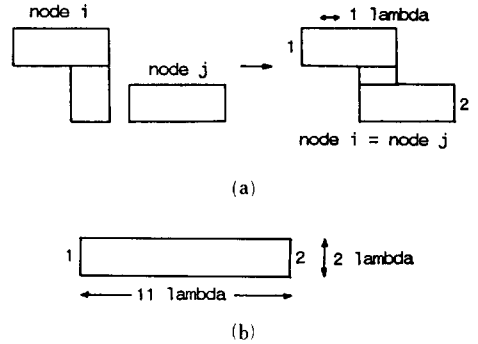


그림 6. 변형된 노드의 저항값 계산
(a) 2 노드의 연결 상태 : 새로운 노드의 면적과 주변길이는 각각 22 square lambda 와 26 lambda
(b) 직사각형 근사화^[10]에 의한 저항값 계산 (길이=11 lambda, 폭=2 lambda)
Fig. 6. Resistance calculation of a modified node.
(a) the connection of 2 nodes : area and perimeter of a new node are 22 square lambda and 26 lambda, each.
(b) resistance calculation by a rectangular approximation.^[10] (Length=11 lambda, Width=2 lambda).

형 정보를 이용하여 회로도를 추출한다. 따라서, 셀내에 포함된 모든 sub 셀이 추출될 때까지 recursive 하게 내부 sub 셀을 추출한다.

계층 구조 회로 추출 알고리즘은 다음과 같다.

```
Hier_Ext (Cell)
{
  if (Cell has Subcell) {
    List = Cell -> Subcell ;
    while (List != NULL) {
      Subcell = Current_element (List) ;
      if (Subcell is not extracted before)
        Hier_Ext (Subcell) ;
      List = Next_element (List) ;
    }
  }
  Extract (Cell) ;
  for (all interaction area) {
    Adjust_connect (window) ;
    Adjust_parameter (window) ;
  }
} /* Hier_Ext */
```

Flat_Ext(Cell) 함수는 마스크 도형 정보만을 갖는 셀을 추출하는 flat 회로 추출 기능으로서 multiple storage quad tree 데이터 구조를 이용한 flat 회로 추출 알고리즘을 사용한다.

Extract(Cell) 함수는 sub 셀들의 위치 정보와 셀 내의 마스크 도형 정보를 이용하여 회로를 추출한다. 이때, sub 셀은 bounding box의 위치만을 고려하고 셀 내의 마스크 정보를 이용하여 회로를 추출한다. 추출된 sub 셀 내의 정보는 sub 셀들간 또는 sub 셀과 마스크 도형간의 교차나 인접에 의해 생성된 interaction 영역을 처리하는 과정에서 사용된다.

Adjust_connect(window) 함수는 셀 내의 모든 interaction 영역을 윈도우로 하여 영역 탐색에 의해 윈도우 내에 존재하는 모든 마스크 도형을 탐색한 후 탐색된 마스크 도형간의 등전위를 점검하여 연결 상태를 조정한다.

Adjust_parameter(window) 함수는 interaction 영역 내에 존재하는 노드의 형태 변화와 교차하거나 인접한 노드간의 상호 영향에 의한 회로 파라미터 값을 재 조정 한다.

III. Incremental 회로 추출 기능

Flat 회로 추출은 셀 전체를 마스크 도형으로 변환하여 마스크 레벨의 도형만을 포함하는 도면으로부터 회로를 추출하는 기능을 가지므로 셀 내의 일부만이 수정되는 경우에 셀 전체에 대해 회로를 재추출해야 하는 단점이 있다. 이는 입력으로 받아들인 CIF가 비계층 구조로 구성되어 있으므로 변경된 부분에 의해 영향을 미치는 부분에 대해 한계를 정할 수 없으며, 셀 내의 등전위 영역이 변경되어 등전위 영역을 점검하기 어렵기 때문이다.

본 논문의 회로 추출 알고리즘은 II장에서 언급한 계층 구조의 특성을 이용하여 incremental 회로 추출이 가능하다.

셀로부터 회로를 추출하면 추출된 회로도 셀 단위로 저장되어 있으며 하나의 셀에서 다른 셀을 sub 셀로 호출하여 사용하면 추출된 sub 셀의 회로 정보를 이용하여 회로를 추출한다.

실제 검증에 의해 설계상의 오류가 점검되어 실제 오류를 수정하기 위해 셀 내의 sub 셀이 변경되는 경우, sub 셀 내의 논리와 회로 파라미터가 변하게 되므로 sub 셀을 재 추출해야 한다. 이때 변경된 sub 셀 내에 포함되어 있는 sub 셀(child 셀)은 그 내부가 변경되지 않으면 재 추출할 필요가 없으며 변경된 sub 셀과 동일 레벨의 다른 sub 셀들도 그 내부가 변경되지 않았으므로 재 추출할 필요가 없다. 그러나, 변경된 sub 셀을 포함하고 있는 상위 레벨의 셀

은 sub 셀의 변경에 의해 내부의 연결 상태가 변경되었으므로 재추출해야 한다.

그림7(a)에서와 같이 sub 셀 B에 마스크 도형 ml이 추가되는 경우, sub 셀 B내의 연결 상태가 변경되어 sub 셀 B내의 논리와 회로 파라미터가 변경되므로 sub 셀 B를 재 추출해야 한다. 이때, sub 셀 B가 내포하고 있는 child 셀 E와 F는 그 내부가 변경되지 않았으므로 재 추출할 필요가 없으며 sub 셀 내의 마스크 정보와 이미 추출된 child 셀 E와 F의 정보를 이용하여 sub 셀 B를 재 추출한다.

Sub 셀 B가 재 추출되면 sub 셀 B를 포함하고 있는 상위 레벨의 셀 A를 재 추출한다. 이때, 변경된 sub 셀 B와 동일 레벨의 sub 셀 C와 D는 재 추출할 필요가 없으며, 재 추출된 sub 셀 B와 이미 추출된 sub 셀 C와 D의 정보를 이용하여 셀 A를 추출한다.

따라서, 그림7(b)와 같이 변경된 셀로부터 root 셀까지의 경로 상에 존재하는 셀들 즉, sub 셀 B와 셀 A만을 재 추출하여 불필요한 재 추출을 방지함으로써 회로의 일부 변경에 의한 회로 재 추출 시간을 감소시킬 수 있다.

Incremental 회로 추출 알고리즘은 다음과 같다.

```
Incremental_Ext(Cell)
{
  if(Cell has Subcell) {
    List=Cell → Subcell ;
    while(List !=NULL) {
      Subcell=Current_element(List) ;
      if(Subcell is changed)
        Incremental_Ext(Subcell) ;
      List=Next_element(List) ;
    } /* while */
    Hier_Ext(Cell) ;
  } /* if */
  else
    Flat_Ext(Cell) ;
} /* Incremental_Ext */
```

셀 내의 일부만이 변경되거나 sub 셀이 변경되는 경우, 재 추출 시간은 변경된 부분에 비례하게 되므로 최악의 경우로서 셀 내의 최하위 레벨의 모든 sub 셀이 변경 되는 경우에는 전체 셀을 재 추출해야 한다. 그러나, 일반적으로 설계, 수정 사이클 동안에 설계상의 오류에 의해 회로가 수정되는 경우 회로의 일부만이 변경되므로 변경된 부분만을 재추출하면 된다. 또한, 상위 레벨의 셀이 변경되는 경우와 하위 레벨의 셀이 변경되는 경우를 비교해 보면, 하위 레벨의 셀이 변경되는 경우가 재 추출하는 셀의 수가

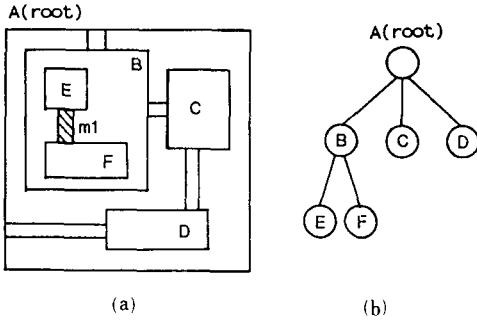


그림 7. (a) 마스크 m1 첨가에 의한 sub 셀 B의 변경
(b) 셀 A(root 셀)의 계층 구조

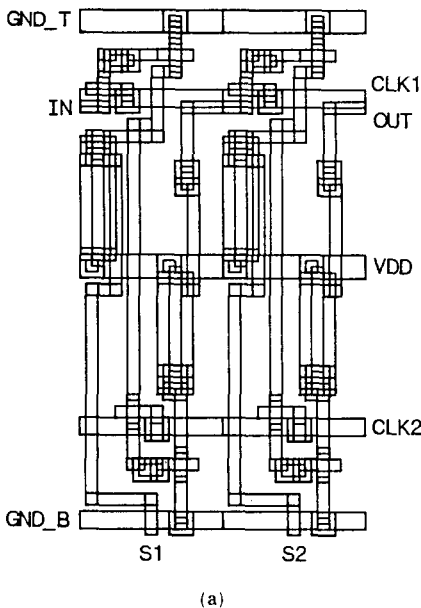
Fig. 7. (a) The modification of subcell B by adding mask m1.
(b) The hierarchy of cell A(root cell).

많아져 회로 추출 시간이 더 소요되지만, 일반적으로 계층 구조의 셀은 bottom-up 방식으로 설계되므로 하위 레벨의 셀보다는 상위 레벨의 셀이 변경되는 경우가 많다.

따라서, incremental 회로 추출 기능에 의해 설계의 잦은 변경에 따른 회로 재 추출 시간을 줄임으로써 전체 회로 설계 시간을 단축할 수 있다.

IV. 실험 및 고찰

그림8(a)는 직렬로 연결된 2 단의 NMOS 쉬프트 레지스터 회로이며, 이에 대한 CIF 입력은 그림8(b)



(a)

```

DS 504 125/1;
L NM; B 24 6 36,37; B 34 6 31,149; B 16 6 40,5; B 22 8 37,92; B
20 8 38,176; B 8 12 36,122; B 8 8 34,4; B 8 12 32,52; B 8 8
32,176; B 36 6 18,5; B 36 8 18,176; B 8 8 30,92; B 34 8 17,92; B
8 8 26,36; B 12 8 24,22; B 28 6 14,37; B 12 8 14,162; B 8 8
16,148; B 18 6 9,149; B 8 12 6,132; B 8 8 4,92; B 8 8 4,92; L ND;
B 14 4 41,146; B 8 8 36,124; B 8 8 34,4; B 4 24 36,136; B 4 12
34,24; B 8 8 32,50; B 8 8 32,176; B 4 16 34,12; B 4 22 34,39; B 4
40 32,70; B 8 8 30,92; B 4 12 32,164; B 4 4 32,90; B 4 8 32,172;
B 10 4 29,158; B 4 4 32,158; B 24 4 16,136; B 8 4 24,136; B 4 26
26,147; B 8 8 22,22; B 8 4 20,140; B 4 8 22,138; B 6 4 19,24; B
4 12 18,42; B 4 96 18,94; B 4 16 18,30; B 8 8 12,162; B 6 4
9,164; B 8 8 6,134; B 4 12 8,152; B 4 10 8,161; B 4 4 8,146; B 10
4 5,146; B 8 8 4,92; B 4 40 6,114; B 4 4 6,94; B 4 4 6,136; L NP;
B 8 6 36,119; B 12 4 34,24; B 6 4 37,84; B 4 38 38,101; B 12 32
32,70; B 12 4 32,164; B 8 6 32,55; B 6 4 29,24; B 8 8 26,36; B 6
8 27,22; B 14 4 23,164; B 4 12 26,38; B 8 4 24,42; B 24 4 14,12;
B 4 14 24,7; B 12 4 18,42; B 6 8 17,162; B 8 8 16,148; B 8 4
14,152; B 4 6 16,151; B 12 4 8,152; B 6 4 11,128; B 12 4 8,84; B
4 48 12,106; B 12 32 6,114; B 8 6 6,129; B 4 76 4,48; L NC; B 4 8
36,122; B 4 4 34,4; B 4 8 32,52; B 4 4 32,176; B 4 4 30,92; B 4 4
26,36; B 8 4 24,22; B 8 4 14,162; B 4 4 16,148; B 4 8 6,132; B 4
4 4,92; L NT; B 12 40 32,70; B 12 10 32,53; B 12 40 6,114; B 12
10 6,131; DF;
DS; 505 125/1;
C 504 T 0; C 504 T 48 0; DF;
L NM; VDD 0 92; CLK1 96 149; CLK2 96 37; GND_T 0 176; GND_B 0 6;
L ND; IN 0 146; OUT 96 146; L NP; S1 24 0; S2 72 0;
    
```

CELL SHREG-2 S :

```

fet1 dfet 2 16 GND S1 VDD S1
fet2 efet 2 2 GND CLK1 IN #2
fet3 efet 2 2 GND CLK2 S1 #5
fet4 efet 2 2 GND #2 S1 GND_T
fet5 dfet 2 16 GND #6VDD #6
fet6 efet 2 2 GND #5 #6 GND_B
fet7 dfet 2 16 GND S2 VDD S2
fet8 efet 2 2 GND CLK1 #6 #8
fet9 efet 2 2 GND CLK2 S2 #11
fet10 efet 2 2 GND #8 S2 GND_T
fet11 dfet 2 16 GND OUT VDD OUT
fet12 efet 2 2 GND #11 OUT GND_B
node VDD R 42 C 139
node GND_T R 36 C 102
node GND_B R 70 C 124
node IN R 21 C 23
node OUT R 315 C177
node S1 R 907 C 365
node S2 R 907 C 365
node CLK1 R 200 C 58
node CLK2 R 200 C 67
node #2 R 114 C 47
node #5 R 90 C 62
node #6 R 326 C 198
node #8 R 114 C 47
node #11 R 90 C 62
ccap S1 #2 C 9
ccap S2 #8 C 9
    
```

(c)

그림 8. (a) 직렬로 연결된 2 단의 NMOS 쉬프트 레지스터 회로
(b) CIF 입력
(c) 회로 추출기에 의해 추출된 회로도

Fig. 8. (a) 2 stage NMOS shift register in series connection.
(b) CIF input.
(c) Extracted netlist by a circuit extractor.

와 같다. 본 논문의 회로 추출기에 의해 추출된 회로도는 그림8(c)와 같다.

또한, 3개의 예제 회로 A1, A2, B에 대해 본 논문의 incremental 회로 추출 알고리즘을 적용한 결과는 표 1과 같다.

예제 회로 A1은 직렬로 연결된 4단의 NMOS 쉬프트 레지스터 회로로서 비계층구조로 구성된 회로이고, A2 회로는 A1과 같은 회로로서 계층 구조로 구성된 회로이다. 예제 회로 B는 계층 구조로 구성된 CMOS 모듈로 4 카운터 회로이다.

회로의 일부가 수정된 경우, 회로를 재 추출한 결과는 표 1과 같다. 본 논문의 incremental 회로 추출 방식은 계층 구조로 구성된 회로로부터 회로를 추출하는 경우, 회로 전체를 재 추출해야하는 flat 회로 추출에 비해 2~3배의 빠른 회로 재 추출 시간을 얻을 수 있다.

따라서, 계층 구조의 셀중 동일한 sub 셀이 한 셀 내에서 여러번 사용되는 경우에는 회로의 규칙성과 반복성을 이용할 수 있으므로 빠른 회로 추출이 가능하고, 설계상의 오류가 발생하여 회로의 일부분이 수정되는 경우에도 incremental 기능을 갖는 회로 추출 알고리즘을 적용함으로써 회로의 재 추출 시간이 감소되어 회로 설계시간을 단축시킬 수 있다.

또한, 레이아웃 에디터에서의 설계 검증을 위한 회로 추출기로 사용하여 custom 칩의 설계 시간을 단축함으로써 설계 비용을 줄일 수 있을 것으로 기대된다.

본 논문의 회로 추출 알고리즘은 C언어로 프로그램화하여 SSM-16상에서 실현되었다.

표 1. 회로 재 추출 결과
Table 1. The results of re-extraction.

예제 회로	(sec)	
	flat 회로 추출 ^[9]	incremental 회로 추출
A 1	78	78
A 2	78	28
B	140	55

V. 결 론

본 논문에서는 계층 구조의 셀로부터 회로 추출이 가능하고, 설계 검증에 의해 수정된 회로의 재 추출 시간을 감소시키기 위해 incremental 기능을 갖는 MOS 회로 추출기를 제안하였다.

마스크 도면으로부터 등가의 회로를 추출하는 flat

회로 추출 과정에는 multiple storage quad tree 데이터 구조를 이용한 회로 추출 알고리즘을 사용하였다.

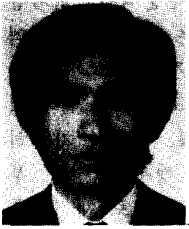
계층 구조 내에서 sub 셀들간의 부분적인 교차를 허용하고 부분적으로 교차한 셀들은 interaction 영역에서의 연결 상태를 조정함으로써 계층 구조의 셀을 전부 마스크 도형으로 변환하지 않고 회로를 추출할 수 있으며, incremental 방식의 회로 추출이 가능하게 함으로써 회로가 일부 수정되는 경우 변경된 부분에 대해서만 회로를 재 추출하므로 회로 재 추출 시간을 감소시키고 동시에, custom 방식의 회로 설계에 있어서 전체 설계 시간을 줄일 수 있다.

본 논문의 회로 추출 알고리즘을 C언어로 프로그램화하여 UNIX O/S 하에서 실현하였다.

參 考 文 獻

- [1] C. Mead and L. Conway, "Introduction to VLSI System," Addison Wesley, 1980.
- [2] S.P. McCormick, "EXCL: A Circuit Extractor for IC Design," *Proc. 21st DAC.*, pp. 616-623, 1984.
- [3] A. Goppta, "ACE: A Circuit Extractor," *Proc. 20th DAC.*, pp. 721-725, 1983.
- [4] D.T. Fitzpartrick, "MEXTRA: A Manhattan Circuit Extractor," Electronics Res. Lab. Memo M82/42, Electrons Reserch Lab. Univ. of California Berkeley, January 1982.
- [5] G.M. Tarolli and W.J. Herman, "Hierarchical Circuit Extraction with Detailed Parasitic Capacitance," *Proc. 20th DAC.*, pp. 337-345, 1983.
- [6] S.L. Su, V.B. Rao and T.N. Trick, "HPEX: A Hierarchical Parasitic Circuit Extractor," *Proc. 24th DAC.*, pp. 566-569, 1987.
- [7] M.E. Newell and D.T. Fritzpartrick "Exploitation of Hierarchy in Analysis of Integrated Circuit Artwork," *IEEE Trans. on CAD* vol. CAD-1 no. 4, pp. 192-200, Oct. 1982.
- [8] R.L. Brown, "Multiple Storage Quad Trees: A Simpler Faster Alternative to Bisector List Quad Trees," *IEEE Trans. on CAD* vol. CAD-5, no. 3, July 1986.
- [9] 이진배, 정정화, "Quad tree 구조를 이용한 회로 추출기," 대한전자공학회 논문집, pp. 101-107, 1988. 1
- [10] W.S. Scott and J.K. Ousterhout, "Magic's Circuit Extractor," *Proc. 22nd DAC.*, pp. 286-292, 1985.

著者紹介



鄭正和(正會員)

1950年 3月 10日生. 1975年 2月 한양대학교 전자공학과 졸업. 1981年 3月 일본 와세다대학 전자공학과 박사학위 취득. 일본 NEC(주) 중앙연구소 연구원, 한국과학기술원 대우교수, KIET위촉 선임 연구원, University of California, Berkeley, 교환교수. 1981년~현재, 한양대학교 전자공학과 교수
주관심분야는 VLSI CAD, 알고리즘, Compiler, 논리설계, 레이아웃 설계 및 검증, 시뮬레이션, VLSI 회로 설계 등임.



李建培(正會員)

1959年 8月 20日生. 1982年 2月 한양대학교 전자공학과 졸업. 1984年 2月 한양대학교 대학원 전자공학과 졸업. 1984年 3月~현재, 한양대학교 대학원 전자공학과 박사과정 재학중. 주관심분야는 VLSI CAD, 레이아웃 설계 및 검증, 알고리즘, 컴퓨터 그래픽스 등임.