

565Mb/s 광전송 시스템을 위한 병렬검출 방식을 이용한 프레임 동기 시스템

(A Frame Synchronization System Using a Parallel Detection Method for the 565 Mb/s Optical Transmission System)

申 東 官*, 高 楨 勳*, 李 晚 燮*, 沈 昌 燮*

(Dong Kwan Shin, Jeong Hoon Ko, Man Seop Lee and Chang Seop Shim)

要 約

565Mb/s 디지털 다중화 계위 신호에서 프레임 배열 신호를 찾아 프레임 동기 클럭을 발생하는 고속 프레임 동기 시스템을 설계하였다. 고속 동작에 기인하는 여러가지 신뢰도 저하 요인을 제거하기 위해 병렬 검출 방식을 이용한 프레임 패턴 검출기를 실현하여 저속으로 동작시켰으며, 동기 모드 제어기를 설계하여 CCITT에서 권고되는 프레임 동기 알고리즘을 구현하였다. 특히 시스템 설계시 하드웨어 구성 및 연결선의 최소화 조건을 고려하였으며, 프레임 동기 시스템의 CAD 시뮬레이션 결과 및 실험 결과는 제시된 동기 알고리즘으로부터 제시되는 적절한 요구조건을 만족한다.

Abstract

A high speed frame synchronization system has been realized which generates the frame sync clock from 565Mb/s data stream (the DS-5 digital multiplex hierarchy signal). The design of a frame pattern detector using a parallel detection method brings into low speed operation and resolves the problems due to the high speed operation. The frame synchronization algorithm recommended by CCITT is also realized by designing a sync mode controller. Appropriate design procedures are considered for an efficient hardware design and minimized connection lines. The CAD simulation as well as experiment show that the performance of the newly designed frame synchronization system satisfies the relevant requirements.

I. 서 론

5 차군 디지털 다중화 계위에서 동작하는 565Mb/s 광전송 시스템은 국내 기간 통신망에 사용될 예정이

며,¹⁾ 이 중 565Mb/s 다중화 장치는 프레임 배열 신호를 기준으로 프레임 구조를 형성하여 4 차군 디지털 다중화 계위의 중속 신호들을 다중화시키고, 565 Mb/s 역다중화 장치는 반대로 프레임 배열 신호로부터 프레임 동기 클럭을 발생시켜 이를 기준으로 4 차군 디지털 계위의 중속 신호들을 역다중화 시키는

*正會員, 韓國電子通信研究所 光通信 研究室
(Optical Communications Section, ETRI)
接受日字: 1988年 3月 14日

기능을 하는 바, 프레임 동기 클럭을 발생시킴으로써 B. S. I. (bit sequence independence) 조건²⁾ 중의 하나를 만족시키는 프레임 동기 시스템은 올바른 데이터 전송을 위해 가장 중요한 기능을 담당하는 부분 중의 하나이다.

현재 1 차군(1.544Mb/s), 2 차군(6.312Mb/s), 및 3 차군(44.736Mb/s) 디지털 다중화 계위의 전송 장치들과 90Mb/s 광전송 시스템에서 사용되고 있는 프레임 구조들은 분산식(distributed) 구조로 되어 있는 반면, 4 차군(139.264Mb/s), 5 차군(564.992Mb/s) 디지털 다중화 계위에서는 다발식(bunched) 프레임 구조를 채택하고 있으며 따라서 새로운 프레임 동기 시스템의 구현이 필요하다. 다발식 프레임 구조는 유럽 여러 나라들의 디지털 다중화 계위에서 사용되고 있지만 이에 대한 프레임 동기 시스템 기술 자료가 발표된 바 없으며, 특히 400Mb/s 급 이상의 고속 프레임 동기 시스템 설계는 고속 디지털 전송 장치의 핵심 기술이므로 기술 무기가 되고 있는 실정이다.

고속 프레임 동기 시스템을 상용 IC를 이용하여 제작할 경우, 논리 신호들의 선로 임피던스를 기판 상에서 정확히 맞추기가 어려울 뿐만 아니라, 귀환 회로 구성을 갖는 프레임 동기 시스템의 신호 지연(signal propagation delay)에 기인하는 타이밍 문제, 그리고 선로의 유도성 및 기생 용량에 의한 저주파 여파 기능(low pass filtering)으로 인한 신호 감쇠 및 고전력 소모로 인한 주위 온도 상승 등 여러가지 신뢰도 저하 요인이 있다. 따라서 전력 손실이 적고, 크기가 작으며, 또한 신뢰도가 높은 게이트 어레이 IC를 이용하여 시스템 설계를 하고 있으나 이 경우에도 귀환 회로에서의 타이밍 문제로 인해 고속 프레임 동기 시스템의 설계가 대단히 어려운 상태이다.

본 논문은 다발식 프레임 구조를 갖는 5 차군 디지털 다중화 계위 신호의 프레임 동기 클럭 발생을 위해 병렬 검출 방식을 이용하여 저속도로 동작시킴으로써 고속 동작에 기인하는 여러가지 문제점을 제거하고, 신뢰도가 높고 원하는 요구 성능도 충분히 만족하며 또한 역다중화가 고유의 기능인 채널 분리를 용이하게 할 수 있는 고속 프레임 동기 시스템의 설계(특히 출원중)에 대해 다루고 있다. 단지 분주 기능을 갖는 소자를 이용하여 565Mb/s 데이터를 4 분주한 후 분주된 저속 데이터로부터 프레임 배열 신호를 검출하여 동기 모드 제어를 위한 검출 펄스를 발생하는 프레임 패턴 검출기의 설계, 그리고 CCITT에서 권고하는 있는 프레임 동기 알고리즘을 실현하는 핵심 기능을 담당하는 프레임 동기 모드 제

어기의 설계 등에 대해 기술하고 있다.

II. 프레임 동기 시스템의 구성

프레임 동기 시스템은 그림 1에 도시된 바와 같이 채널 분주기, 프레임 패턴 검출기, 프레임 계수기, 동기 모드 제어기, 그리고 채널 분리기 등으로 구성하며, 채널 분주기는 5 차군 디지털 다중화 계위 입력 신호를 4 분주 데이터 스트림들로 분주하고 각 스트림들을 프레임 패턴 검출기의 입력으로 출력한다. 프레임 패턴 검출기는 분주된 데이터 스트림으로부터 프레임 패턴을 찾아내어 검출 펄스를 동기 모드 제어기에 인가하며, 동기 모드 제어기는 프레임 계수기의 동작을 제어하고 또한 CCITT에서 권고하고 있는 5 차군 디지털 다중화 계위 신호의 프레임 동기 알고리즘³⁾ - 프레임 동기 시스템이 동기 상태에 있을 시는 연속되는 4 번의 프레임 패턴이 잘못된 패턴으로 간주되면 비동기 상태로 전이하도록 하고, 프레임 동기 시스템이 비동기 상태에 있을 시는 동기 찾음 과정에 의해 일단 올바른 프레임 패턴을 검출한 후 이를 포함하는 연속된 3 프레임 동안 올바른 프레임 패턴이 검출됨으로써 프레임 배열 신호로 간주되면 동기 상태로 전이하게 한다. - 을 실현하는 핵심 기능을 한다. 프레임 계수기는 한 프레임 비트수를 4 분주한 672 분주 계수기로 구성되어 있으며, 프레임 동기 시스템이 프레임 동기 상태(in-frame state)인 경우 혹은 프레임 비동기 상태(out of frame state) 중 동기 찾음 과정에 의해 올

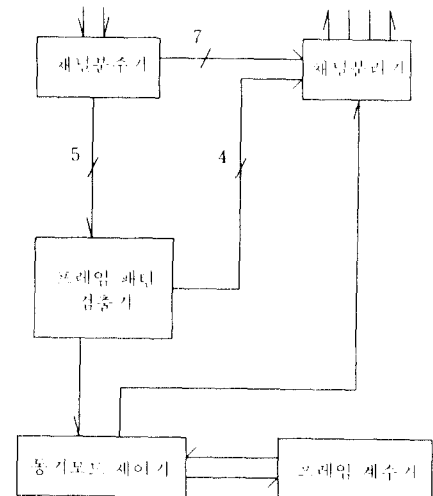


그림 1. 프레임 동기 시스템의 구성도

Fig. 1. Block diagram of the frame synchronization system.

바른 프레임 패턴을 검출하였을 경우 다음 프레임상에서 정확한 프레임 배열 신호 위치를 유지할 수 있도록 프레임 주소 번지를 세거나, 동기 찾음 과정에서 프레임 계수가 동작을 멈추고 프리 세트 (pre set) 상태에 있음으로써 올바른 프레임 패턴을 찾도록 한다. 채널 분리기 는 프레임 패턴 검출기로부터 제어 신호를 받아 채널 분주기의 출력을 올바른 경로로 나갈 수 있도록 교환시키는 기능을 한다.

III. 프레임 패턴 검출기의 설계

5 차군 디지털 다중화 계위 신호의 다중화 프레임 구조를 간략하게 살펴보면, 한 프레임당 비트수는 2688 개이고 7 개의 부프레임(subframe) 으로 구성되며, 프레임 배열 신호는 111110100000의 12비트로 되어 있다.¹⁾ 프레임 배열 신호를 기준으로 프레임 상에서 몇번째 비트인가를 그 비트의 주소 번지라 하며, 각 주소 번지를 4 로 나누어 나머지 값이 각각 1,2,3,0 이 되는 주소 번지들의 비트군을 각각 G1, G2,G3,G4 로 약속하고, 또한 이러한 각 비트군의 순차적인 데이터 스트림들을 S1,S2,S3,S4 라 약속하기로 한다. 그림 2 의 채널 분주기는 한 입력단에서 564.992Mb/s 입력 데이터를 받고, 다른 입력단

에서는 564.992MHz 입력 클럭을 받아 4 분주된 4 개의 141.248Mb/s 데이터 스트림들을 4 개의 출력단 GD1,GD2,GD3,GD4, 등으로 출력한다.

564.992Mb/s 데이터를 4 분주된 임의 위상의 141.248MHz 클럭으로 리타이밍함으로써 인해 채널 분주기의 출력 신호의 형태는 네가지 경우가 발생할 수 있다. 예를 들어, 제 1 의 경우는 S1데이터 스트림이 GD1에 출력되고, S2는 GD2에, S3는 GD3에, 그리고S4는 GD4에 출력된 경우이며, 제 2 의 경우는 S1 데이터 스트림이 GD2에 출력되고, S2는 GD3에, S3는 GD4에, 그리고 S4는 GD1에 출력된 경우이다. 각 경우에 대해 프레임 배열 신호의 검출을 위한 논리식을 채널 분주기의 각 출력단 GD1,GD2, GD3,GD4 등에서 프레임 배열 신호를 중심으로 하여 네 비트 스트링으로 서술된 명제들로서 나타내면, 각각 (1),(2),(3),(4) 등과 같이 된다.

$$\text{case1} = \{S_{GD1} = dp\} \times \{S_{GD2} = dq\} \times \{S_{GD3} = dp\} \times \{S_{GD4} = dq\} \quad (1)$$

$$\text{case2} = \{S_{GD1} = dq\} \times \{S_{GD2} = pd\} \times \{S_{GD3} = qd\} \times \{S_{GD4} = pd\} \quad (2)$$

$$\text{case3} = \{S_{GD1} = dp\} \times \{S_{GD2} = dq\} \times \{S_{GD3} = pd\} \times \{S_{GD4} = qd\} \quad (3)$$

$$\text{case4} = \{S_{GD1} = dq\} \times \{S_{GD2} = dp\} \times \{S_{GD3} = dq\} \times \{S_{GD4} = pd\} \quad (4)$$

여기서 \times 는 $\{S_{GD1} = dp\}$ 등과 같은 기본 명제들의 논리곱을 나타내고, d는 1 이나 0 중 임의의 값으로 정의하며, p와 q는 다음과 같은 패턴으로 정의한다.
 $p = 110$
 $q = 100$

스트링 벡터의 네번째 성분을 패턴 검출 시각으로 정의하면 프레임 패턴 검출기가 프레임 배열 신호를 검출할 경우의 프레임 패턴 검출기의 출력 스트링 벡터는 {0001} 이 된다. 이 때 첫번째 성분값은 프레임 패턴 검출기의 초기 상태와 관련되거나 네번째 성분에 해당하는 시각에서의 값만을 유효한 것으로 간주하여 0 으로 정하기로 한다.

프레임 배열 신호를 검출하는 프레임 패턴 검출기는 여러개의 부분 패턴 검출기로 구성할 수 있으며, 부분 패턴 검출기를 입력 스트링 벡터를 출력 스트링 벡터로 출력하는 연산자로 나타내면 모든 가능한 부분 검출기 연산자로 구성된 집합{DET1,DET2,...} 중에서 적절한 요소들의 결합으로 이루어진 프레임 패턴 검출기 연산자 DET에 대해 식 (5)가 성립하며, 또한 프레임 패턴 검출기가 입력 데이터 패턴의 시

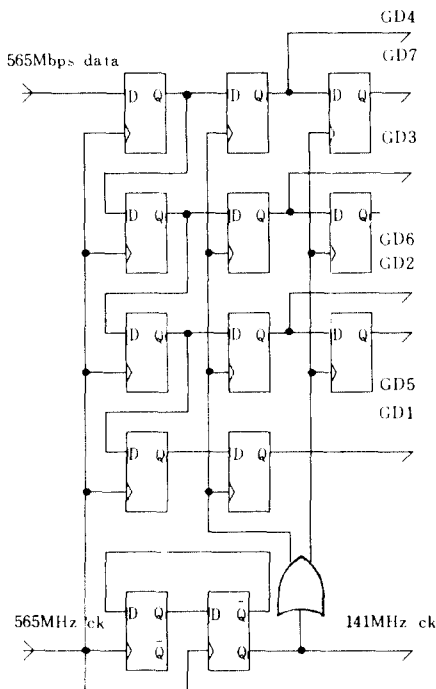


그림 2. 채널 분주기의 회로도
 Fig. 2. Circuit diagram of the channel divider.

간 지연에 무관하게 동작한다면 한 비트 지연을 나타내는 연산자 DOP에 대하여 식 (6)이 성립한다.

$$DET(case1+case2+case3+case4) = \{0001\} \quad (5)$$

$$DET_i(DOP(\text{스트링 벡터로 표현된 명제})) = DOP(DET_i(\text{스트링 벡터로 표현된 명제})) \quad (6)$$

프레임 패턴을 검출하기 위해서는 각 식 (1),(2),(3),(4)의 4 개 항들 중의 p와 q들이 모두 올바르게 검출된 결과들의 논리곱이 1이 되어야 하며, 따라서 p, q 등의 두가지 기본 패턴을 발생하여 입력된 데이터와 비교함으로써 프레임 패턴을 인식하는 부분 패턴 검출기를 먼저 설계하기로 한다. 다음으로 설계된 부분 패턴 검출기를 적절히 조합하여 각 경우의 프레임 패턴을 검출할 수 있을 뿐만 아니라 채널 분리에 필요한 정보를 제공할 수 있는 프레임 패턴 검출기를 구성하고, 이 때 구성소자 수와 연결선 수를 최소화시키기 위한 중복 제거 과정을 고려하기로 한다.

p, q 등의 두가지 기본 패턴을 검출하는 가능한 모든 부분 패턴 검출기는 여러가지 방법으로 설계할 수 있으나, 동기 디지털 시스템에 관한 공식적인(formal) 설계 과정을 거칠 경우, 부분 패턴 검출 시간의 최소화를 위해 올바른 패턴이 아닐지는 즉시 초기 상태로의 환원하는 기능을 가져야 하므로 이로 인해 부분 패턴 검출기의 설계를 위한 상태 천이도가 복잡해지며 따라서 회로 또한 복잡해진다. 이 대신에 경험적이고 직관적인 방법으로 설계를 하면, 그림 3 과 같이 두 개의 S-R D 플립플롭 및 두개의 배타적 논리합 게이트를 이용하여 부분 패턴 검출기를 실현할 수 있다. 이는 D 플립플롭의 한 출력 (= REF1)을 p 패턴 비교 입력으로 하고 다른 D 플립플롭의 한 출력 (= REF2)을 q 패턴 비교 입력으로 이용하여 원하는 패턴이 인식되면 출력이 0 이 되고, 잘못된 패턴이 입력될 때는 항상 초기 상태로 환원되어 대기하고 있다.

그 동작을 설명하면 (IN1, IN2) = (1, 1) 이 아니고, D 플립플롭 (FF1), (FF2)의 출력(REF1, REF2) = (0, 0) 일 때는 배타적 논리합 게이트의 선연결 논리합(wired-or) 출력은 1 이되어 D 플립플롭(FF1), (FF2) 들을 각각 리셋/세트 시킴으로써 (REF1, REF2) = (0, 0) 을 계속 유지하게 한다. (IN1, IN2)가 (1, 1) (1, 0) (0, 0) 의 순서대로 인가되면 이 때 (REF1, REF2) = (0, 0) (0, 1) (1, 1) 이 되며 특히 (REF1, REF2) = (1, 1) 이 되는 시간에 출력은 0 이 된다. 만일 (IN1, IN2) 순서쌍이 올바른 순서대로 되지 않는

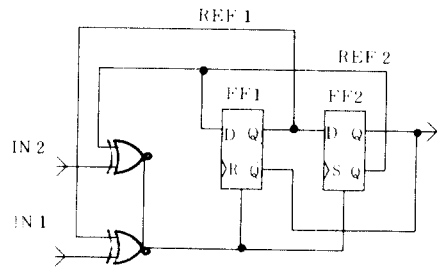


그림 3. 부분 패턴 검출기의 회로도
Fig. 3. Circuit diagram of the partial pattern detector.

경우에는 배타적 논리합 게이트의 선연결 논리합 출력이 1이 되어(REF1, REF2)은 초기 상태인 (0, 0)로 환원하게 되며, 이러한 검출기 연산자 DET2에 대한 관계식은 다음과 같다.

$$DET2(\{S_{GD1}=dp\} \times \{S_{GD2}=dq\}) = \{0001\} \quad (7)$$

부분 패턴 검출기는 배타적 논리합 게이트를 세개나 네개를 이용하여 p나 q를 중복하여 세가지 또는 네가지 입력을 검출할 수 있다. 따라서 부분 패턴 검출기의 집합을 이러한 종류로 한정하고 이들을 각각 DET3, DET4라 하면 DET2, DET3, DET4 등을 조합하여 프레임 패턴 검출기를 구성할 수 있다. 채널 분주기의 4 개의 비트 스트림들은 각각의 경우에 대해 같은 위상으로 조절하여 채널 분리기에 인가해야 하므로 이를 위해 채널 분주기는 GD2, GD3, GD4 들을 각각 한 비트 지연시킨 GD5, GD6, GD7 등도 출력하므로 이를 이용하여 네개의 부분 패턴 검출기 DET4로 구성하면 다음과 같다.

$$DET4(case1) + DET4(case5) + DET4(case6) + DET4(case7) \quad (8)$$

여기서 case5, case6, case7 등은 다음과 같이 정의된다.

$$\begin{aligned} case5 &= \{S_{GD1}=dq\} \times \{S_{GD2}=DOP(pd)\} \times \\ &\quad \{S_{GD3}=DOP(qd)\} \times \{S_{GD4}=DOP(pd)\} \\ case6 &= \{S_{GD1}=dp\} \times \{S_{GD2}=dq\} \times \{S_{GD3}=DOP(pd)\} \\ &\quad \times \{S_{GD4}=DOP(qd)\} \\ case7 &= \{S_{GD1}=dq\} \times \{S_{GD2}=dp\} \times \{S_{GD3}=dq\} \times \\ &\quad \{S_{GD4}=DOP(pd)\} \end{aligned}$$

위식을 이용한 구성은 네개의 부분 패턴 검출기에 해당하고, 특히 7 개의 입력에 기인하여 연결선 수가 매우 많다. 논리 신호 지연값이 fanout 수에 비례하

는 관계를 나타내므로^[4] fanout의 수를 최소화시킴으로써 성능 열화를 방지하기 위해서는 구성의 중복 제거가 필요하다. 이를 위해 식 (5)를 만족하는 검출기의 구성을 DET2, DET3, DET4를 조합하여 여러 가지 시도한 결과 가장 간단한 구성은 다음의 식 (9)를 갖게 된다.

$$\begin{aligned} \text{DET}(\text{case1} + \text{case2} + \text{case3} + \text{case4}) = & \\ & \text{DET}[(S_{G01} \cdot dp) + (S_{G02} \cdot dq) + (1 - \text{DOP}) \\ & (S_{G01} \cdot dp) + (S_{G04} \cdot dq) + (S_{G01} \cdot dq) + \\ & (S_{G04} \cdot pd) + (1 - \text{DOP}) (S_{G02} \cdot pd) + \\ & (S_{G03} \cdot qd)] \end{aligned} \quad (9)$$

부분 패턴 검출기 DET2를 이용하여 식 (9)의 프레임 패턴 검출기를 구성한 결과는 그림 4와 같다. 입력 P11, P12, P13, P14, P15 등은 채널 분주기의 출력 GD1, GD2, GD3, GD4, GD7 등을 각각 입력받아 프레임 패턴 신호를 검출한다. 제 1의 경우일 때는 PO1가 1이 되고 PO2, PO3, PO4는 0이 되며, 제 2의 경우일 때는 PO2가 1이 되고 PO1, PO3, PO4는 0이 되며, 제 3의 경우일 때는 PO3가 1이 되고 PO1, PO2, PO4는 0이 되며, 제 4의 경우일 때는 PO4가 1이 되고 PO1, PO2, PO3는 0이 된다. 이 정보는 채널 분리기에 인가된다.

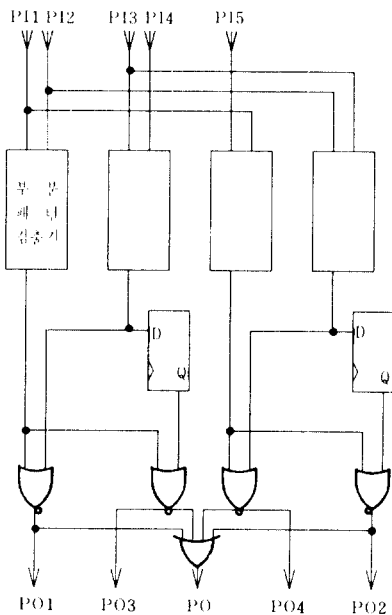


그림 4. 프레임 패턴 검출기의 회로도
Fig. 4. Circuit diagram of the frame pattern detector.

채널 분리기는 프레임 패턴 검출기에서 올바른 프레임 패턴을 검출하였을 때 채널 분주기로부터 출력되는 4분주 스트림들이 각각 정해진 경로로 출력되도록 하는 기능을 담당하며 4개의 4 : 1 다중기 (MUX)를 이용하여 구현할 수 있다. 채널 분주기의 출력 GD1, GD2, GD3, GD4, GD5, GD6, GD7을 인가 받고, 또한 동기 모드 제어기로부터 래치 클럭을 받아 채널 검출 펄스가 발생하는 순간에 채널 분리 정보를 래치한 후 다음 프레임 패턴 검출시까지 이 값을 유지함으로써 채널 분주 기능을 수행한다.

IV. 동기 모드 제어기의 설계

프레임 패턴 검출기의 출력을 받아 동기 알고리즘에 따라 프레임 동기 회로의 동기 상태를 제어하는 동기 모드 제어기는, 비동기 상태에서 일단 검출 펄스를 받은 후 예상되는 다음 프레임 배열 신호 위치 이외의 입력을 차단하는 차단부와 동기 알고리즘에 따라 동기 모드를 결정하는 인식부로 나눌 수 있다.

차단부는 일단 프레임 패턴이 검출되면 프레임 계수기의 출력 신호를 이용하여 한 프레임에 해당되는 분주 후의 위치에서만 패턴 검출기의 출력 신호를 입력받도록 한다. 비동기 상태일 시 프리 세트 상태에 있고, 동기 상태에서는 필요한 순간만 제어 신호를 발생하는 프레임 계수기는 여러가지 방법으로 설계할 수 있으나 본 논문에서는 이의 설계에 대해서는 언급하지 않으며 단지 제어 신호에만 관심을 두기로 한다. 차단부의 설계는 논리합 클럭 입력을 갖는 D 플립플롭을 이용하여 실현할 수 있다.

인식부는 동기 알고리즘을 실현시키기 위해 입력된 패턴 검출 펄스를 유지해야 하며, 동기 알고리즘에 따라 동기 상태에서는 4를 셀 수 있어야 하고 비동기 상태에서는 3을 셀 수 있는 계수가 및 동기 상태를 결정하는 D 플립플롭으로 구성한다. 이에 필요한 D 플립플롭의 수는 $\lceil \log_2 4 \rceil = 2$ 이다. 이러한 기능을 하는 동기 모드 제어기의 회로도를 그림 5에 도시하였다.

동기 모드 제어기의 동작은 동기 상태에서 비동기 상태로의 천이시, 그리고 비동기 상태에서 동기 상태로의 천이 등의 두 종류로 나누어 설명할 수 있으며, 먼저 비동기 상태에서 동기 상태로의 천이시의 동작에 대해 설명하기로 한다. 비동기 상태에서는 프레임 동기 상태를 결정하는 D 플립플롭 (FF5)의 Q 출력이 0이며, 또한 프레임 패턴 검출기로부터 인입되는 프레임 검출 신호를 래치한 출력도 0인 상태에 있다. 따라서 부정 논리합 게이트 (NOR1)의 출력 즉 프레임 계수기의 세트/리세트 제어 신호는 1이 되므로 프레임 계수기는 프리 세트 상태에 있으며

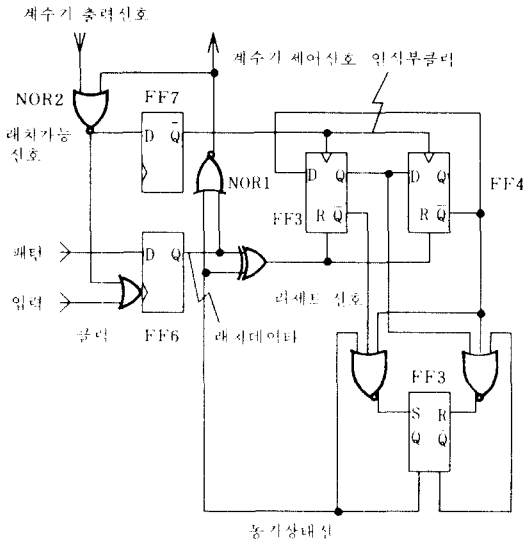


그림 5. 동기 모드 제어기의 회로도
 Fig. 5. Circuit diagram of the sync mode controller.

이 때 프레임 계수기의 출력은 0 이 되어 동기 모드 제어기의 차단부에 인가된다. 차단부의 D 플립플롭 (FF6) 은 프레임 패턴 검출 펄스가 인입되기를 기다린다.

일단 프레임 패턴 검출 펄스가 들어오면(FF6) 의 출력 Q가 1 이 되며 따라서(NOR1) 의 출력이 0 으로 되어 프레임 계수기는 동작을 시작한다. 이 때는 여전히 프레임 계수기의 출력은 0 이 되므로(NOR2) 의 출력은 1 이 된다. 따라서 차단부의 D 플립플롭 은 클럭 신호가 1 이 된 상태에서 오름 전이가 없으므로 래치한 값을 유지하게 된다. 또한(FF6) 의 출력 Q가 1 이 되는 순간 배타적 논리합 게이트의 출력은 0 이 됨으로써 인식부의 D 플립플롭들의 리셋을 해제하고 차단부의 제어 신호를 한 비트 지연 시킨 클럭 신호에 검출 신호의 횡수를 세게된다. 프레임 계수기는 이 때부터 한 프레임을 센 후에 예상되는 프레임 패턴 검출 신호의 위치에서 차단부의 래치가능 입력 신호를 1로 만드므로, (NOR2)의 출력이 1 이 되어 다음 검출 펄스를 래치하게 된다. 이 때 래치되는 값이 프레임 검출값인 1을 나타내면 인식부의 계수값을 증가시키게 되며 만일 래치되는 값이 0을 나타내면 배타적 논리합 게이트의 출력이 1 이 됨으로써 인식부의 모든 D 플립플롭들을 리셋시키고 또한 (NOR1)의 출력을 1로 만들어 프레임 계수기를 초기 상태로 프리 세트 시킨다. 프레임

패턴 검출 값이 연속해서 세번 인입되는 순간 인식부의 모드 결정 D 플립플롭의 출력을 1로 만듦으로써 동기 상태로 천이하게 된다. 이상의 설명한 동작의 타이밍 다이어그램을 그림 6에 도시하였다.

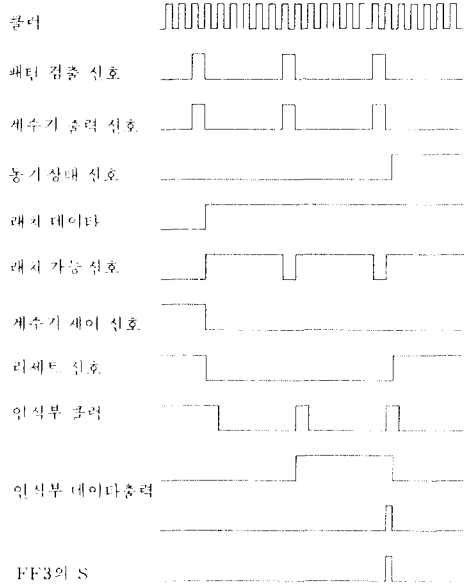


그림 6. 비동기 상태에서부터 동기 상태로의 천이시각부에 나타나는 타이밍 다이어그램
 Fig. 6. Transition timing diagram from in-frame mode to out-of-frame mode.

다음으로 동기 상태에서 비동기 상태로의 천이에 대해 설명한다. 동기 상태에서는(FF5) 의 출력이 1 이므로(NOR1) 의 출력은 항상 0 이 되어 프레임 계수기는 동작한다. 따라서 한 프레임마다 예상되는 프레임 배열 신호의 위치에서 한 비트 시간 동안 차단부의 클럭을 열어주므로 D 플립플롭(FF6) 에서 프레임 패턴 검출 신호의 인입을 가능하게 만든다. 래치값이 0 일 경우(FF6) 의 출력이 0 이 되며 따라서 배타적 논리합 게이트의 출력은 0 이 되어 인식부의 모든 D 플립플롭들의 리셋 상태를 해제하고 차단부의 제어 신호를 한 비트 지연시킨 클럭 신호에 검출 신호의 횡수를 세게된다. 프레임 계수기의 출력에 의해 결정되는 다음 프레임에서의 래치 시간에 역시 검출값이 0 이 되면 인식부의 계수값을 증가시키게 된다. 만일 이 때 프레임 패턴 검출값이 올바르게 들어오지 않을 경우 주 1 이 되면 배타적 논리합 게이트의 출력이 1 이 되어 인식부의 모든 D 플립플

롭들을 리셋트 시킴으로써 초기 상태로 돌아간다. 연속해서 0 이 네번 검출될 경우 (FF5) 의 출력이 0 이 되어 비동기 상태로 천이하게 된다. 이상 설명한 동작의 타이밍 다이어그램을 그림 7 에 도시하였다.

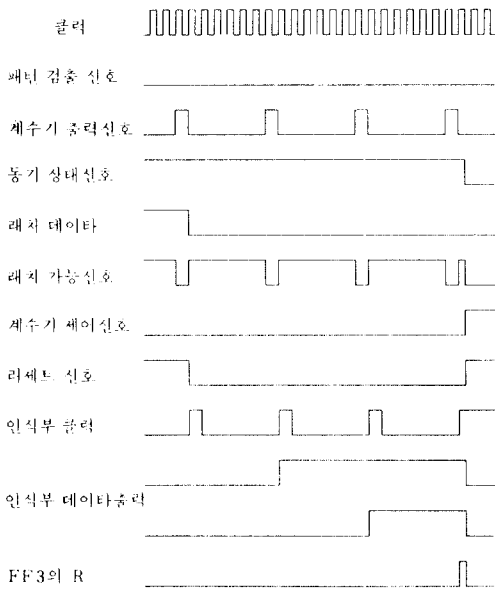


그림 7. 동기 상태에서 비동기 상태로의 천이시 각부에 나타나는 타이밍 다이어그램

Fig. 7. Transition timing diagram from out-of-frame mode to in-frame mode.

V. 검 토

프레임 패턴 검출기는 프레임 패턴 발생기를 이용하지 않고 D 플립플롭을 이용하여 4분주 데이터를 지연시킨 후 각각의 프레임 패턴을 만족할 때 논리 신호를 발생시키는 구성도 가능하나 선연결의 수가 많은 단점이 있다. 또한 프레임 동기 모드 제어기의 차단부를 S-R D 플립플롭을 이용하여 실현할 수도 있다. 프레임 동기 시스템의 성능을 나타내는 특성 변수로는 평균 동기 상실 구간, 최대 평균 동기 회복 시간등이 있으며¹⁵⁾ 이론적인 해석치는 각각 BER = 10^{-4} 에서 26.5일, 26.9 μ sec 가 된다.¹⁶⁾ 이중 동기 회복시간에 대한 실험치는 평균값이 6.9 μ sec, 표준편차가 5.8 μ sec, 그리고 31번의 측정치의 최대값이

22.3 μ sec 이었다. 특히 시스템 운용의 관점에서 최대 동기 회복 시간의 최소화는 운용 판단 시간의 결정과 관계되며 최대 동기 회복 시간은 동기 알고리즘으로부터 얻을 수 있는 최소의 값이 되므로 요구조건을 충분히 만족하게 된다. 또한 CAD (computer aided design) 시뮬레이션도 병렬 수행하였으며 이에 대한 결과도 올바른 동작을 보여 주고 있음을 확인하였다.

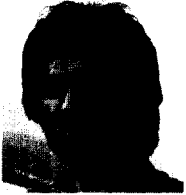
VI. 결 론

본 논문은 병렬 검출 방식을 이용하여 프레임 동기 시스템을 설계함으로써 동작 속도를 141.248MHz 이하로 동작시켜 타이밍 문제를 완전히 제거한 프레임 동기 시스템의 설계에 관해 기술하였다. 특히 프레임 패턴 검출기의 설계 및 동기모드 제어기의 설계시 선연결의 최소화 및 구성 소자의 최소화의 관점에서 설계하였으며, 설계된 동기 시스템을 상용 IC 로 실현하여 실험한 결과 만족할만한 동작을 얻을 수 있었다. 현재는 Gb/s 데이터 전송 시스템에 대한 기초 연구를 하고 있으며 이에 대한 다중화 프레임 구조 등에 대해 결정된 바 없으나 분산식 프레임 구조로 가정할 경우 본 논문에서 서술된 설계 기법을 그대로 적용할 수 있다.

參 考 文 獻

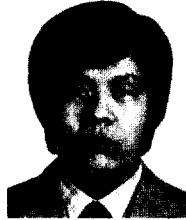
- [1] 신동관의, "565Mb/s 다중화/역다중화기," 통신학회 학술발표 논문집, vol. 6 no. 1, pp.72-74, 5월 1987.
- [2] CCTTT Rec. G.701, 1984.
- [3] CCTTT Rec. G.954, 1984.
- [4] Motorola, MCA800ECL, MCA2500ECL Macrocell Array, pp. 19-20, 1986.
- [5] 신동관, 이만섭, 김용환, "90Mb/s 광전송 시스템의 프레임 동기 방식에 관한 성능 개선," 전자공학회지, 제24권 제2호, pp. 1-7, 3. 1987.
- [6] 고정훈외, "140Mb/s 와 565Mb/s 다중화/역다중화기의 프레임 동기 성능 해석," 전기·전자공학 학술발표대회 논문집, pp. 933-935, 7. 1987.
- [7] Zvi Kohavi, Switching and Finite Automata Theory, McGraw Hill Book Comp.

著 者 紹 介



申 東 官(正會員)

1958年 7月 14日生. 1981年 연세대학교 전자공학과 졸업. 1984年 한국과학기술원 전기 및 전자공학과 졸업. 현재 한국전자통신연구소 광통신연구실 연구원, 주관심분야는 디지털 전송시스템에서의 비트타이밍 및 프레임타이밍, 동기식 다중화 방식, 정보 이론 등임.



李 晚 燮(正會員)

1952年 12月 25日生. 1976年 부산대학교 공과대학 전자공학과 졸업. 1978年 부산대학교 대학원 전자공학과 졸업. 1979年~현재 한국전자통신연구소 광통신연구실 연구원. 1982年~현재 한국과학기술원 전기 및 전자공학과 박사과정 재학중. 주관심 분야는 광통신, 영상 통신, 통신 이론 등임.



高 楨 勳(正會員)

1958年 6月 5日生. 1981年 2月 한국항공대학 전자공학과 학사학위 취득. 1983年 2月 연세대학교 전자공학과 석사학위 취득. 1983年~현재 한국전자통신연구소 광통신연구실 연구원. 주관심분야는 고속 전송시스템의 clock recovery, 디지털 영상처리 등임.



沈 昌 燮(正會員)

1952年 5月 6日生. 1975年 2月 서울대학교 응용물리학과 학사 학위 취득. 1975年 3月~1982年 12月 국방과학연구소. 1983年 3月~현재 한국전자통신연구소 광통신연구실 근무, 광통신연구실 실장. 1988年 3月~현재 한국과학기술원 전기 및 전자공학과 박사과정 재학중. 주관심 분야는 광전송 시스템, 광신호 처리 등임.